

# FPGA を利用したシステムプログラミングの学習環境の実現 Implementation of an environment with FPGA for learning systems programming

N-24

下川 智士† 早川 栄一‡ 高橋 延匡‡  
Satoshi Shimokawa Eiichi Hayakawa Nobumasa Takahashi

## 1. はじめに

情報工学を学ぶ学生にとってハードウェアとソフトウェアの共通理解は困難である。なぜなら共通理解するために計算機システムについて広く、深い知識が必要だからである。ハードとソフトを区別せず、一つの計算機システムとして理解ができる学習環境があれば、一貫した計算機動作の理解に役立つはずである。

現在、FPGA をアーキテクチャなどの教育に用いる研究が進められている[1][2][3]。これらの研究によって、アセンブリ言語レベルでの学習環境では完成度の高いものが実現されている。これに対して、本研究では OS、コンパイラ、アーキテクチャの相互関係に着目し、システムプログラミング側からの計算機システムの学習環境を作成するものである。また、取り掛かるまでが大変なシステムプログラミング学習の統合環境を実現する。

本研究室では、OS、コンパイラ、ハードウェアアーキテクチャに着目したシステムソフトウェア教育支援環境の開発プロジェクトの下、現在は OS の教育支援システムの開発[4]を行っている。本研究の位置付けとしては、システムソフトウェアと CPU アーキテクチャの関係に着目したシステムプログラミングの学習支援を提供するものである。

本システムを利用すれば、実機環境で動作確認ができる。また、外部からの制御可能な環境を提供することで、計算機システムにおけるシステムプログラミング学習ができる。

## 2. コースウェア

本システムの学習フローを図1に示す。

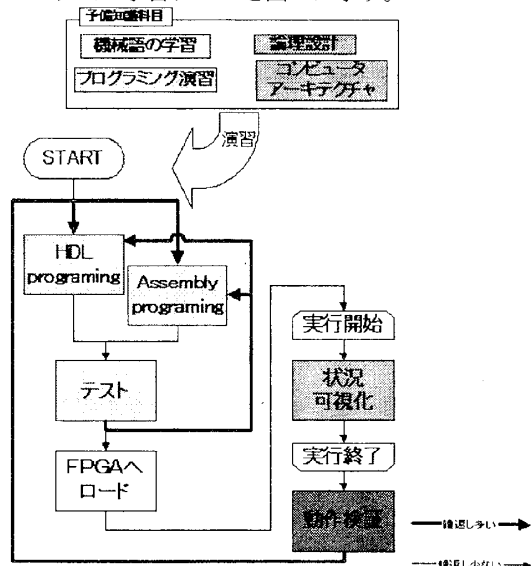


図1 学習フロー

† 拓殖大学大学院工学研究科

‡ 拓殖大学工学部

本システムは、あらかじめソフトウェア、ハードウェアの知識を前提に演習を行う。予備知識として必要な科目は、ソフトウェアとしては機械語の学習、プログラミング演習であり、ハードウェアとしては論理設計、コンピュータアーキテクチャなどを想定している。

本学習は従来のソフトウェア学習とは異なる。動作検証を元にソフトウェアの改良だけでなく、ハードウェアの改良を行える学習環境である。ソフトウェアと共にハードウェアの改良を行うことで、よりハードウェアとソフトウェアの協調動作を理解することが可能になると考えられる。

演習として想定しているものには

- 命令の追加
- コンパイラの作成
- OSの機能変更、追加

などを想定している。本研究ではこれらを単体で学習するのではなく、相互の関連を意識させるため、機能の追加や変更に伴って発生する問題をハードウェアレベルとソフトウェアレベルの両方で変更できる環境を提供する。下に演習の例を記す。

- 1) 乗算命令の追加を複数方法で実装、比較  
→ソフトウェアによるエミュレーション  
+コンパイラ変更  
→ハードウェアによる実装+コンパイラ変更
- 2) コンテキストスイッチをサポートする命令の追加  
→OSの変更、割り込み処理

計算機システムにおける問題解決の答えは一つだけではない。このような演習を行うことで、様々な問題に対する解決手段や可能性を考え出す練習になるはずである。

## 3. 設計方針

本学習システムを実現するための設計方針を次に述べる。

### 3.1 FPGAの利用

オリジナルハードウェアを構築するためにFPGA(Field Programmable Gate Array)を利用する。FPGAを利用することで、プロセッサを短時間で作成、動作確認を繰り返し行うことができる。そして、実機でありながら柔軟な学習環境を構築することができる。

### 3.2 ハードウェアモニタの組み込み

CPU動作の学習のために、CPUの中身や動作ログを見られる環境を構築する。FPGA上でCPUを作成する際、レジスタ情報を外部に出力する回路を組み込む。これによってCPUが実際に行った動作を外部でトレースすることができる。

### 3.3 2種類の動作学習環境の提供

FPGAボード上で動作確認する実機環境と、ハードウェアモニタによって得たデータをもとに動作確認するソフトウェア環境の2種類を提供する。これによって、実機でしか得られない速度と、ソフトウェアの柔軟なデータ解析とユーザインタフェースを得ることができる。

## 4. 全体構成

本システムの構成図を図2に示す。

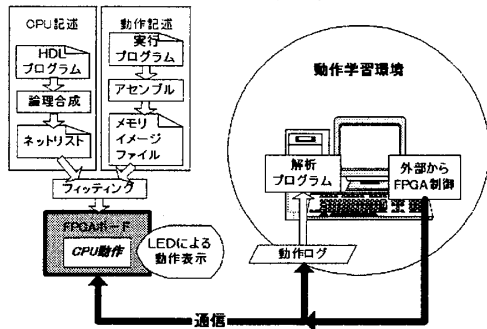


図2 構成図

### (1) CPU 記述

FPGA で CPU を作成する場合、HDL(Hardware Description Language)を使って記述する。その HDL コードを論理合成しネットリストを生成する。

### (2) 動作記述(アセンブリ言語プログラミング)

FPGA で作成した CPU を動作させるプログラムをアセンブルし、FPGA のメモリイメージファイルフォーマットに対応させる。

### (3) CPU、プログラム実装

前述したネットリスト(CPU)とイメージファイル(プログラム)を FPGA にフィッティングすることで FPGA 上に CPU を実現する。この時点で FPGA が単体で動作を行えるようになる。動作中は LED など動作表示を行うので、動作状況を確認することができる。

### (4) 通信

本研究ではハードウェアモニタを CPU に組み込んであるので、外部 PC と通信を行うことができる。

### (5) 動作学習環境

この外部 PC で、動作ログの解析と外部からの FPGA 制御を行う。

## 5. 設計

### 5.1 CPU 構成

本 CPU はシステムプログラミングの学習のために作成したオリジナル CPU である。学習者が Verilog-HDL を使って自由に書換え可能であるだけでなく、いくつかの工夫がしてある。

#### 5.1.1 命令セット

学習者にとって身近である CPU の一つに、情報処理技術者試験用に開発された COMET II [5]がある。COMET II は仕様が手に入れやすく、学習者が多い。そこで、本環境で作成する CPU は COMET II をベースに開発を行った。また、システムプログラミングを可能にするため、割込み関連の命令を追加した。

#### 5.1.2 命令フォーマット

機能的にはコンパクトに、しかし、後にカスタマイズしやすいように、空きを十分作った命令フォーマットにした。

#### 5.1.3 Intビット

本 CPU では、ソフトウェアでのデバッグがしやすいように命令フォーマットに割込みビットを用意している。こうすることで、命令セットを保ったままソフトウェアに移行ができる。また、サブルーチンではなく、ソフトウェア割込みを全命令で行うことができる。

### 5.2 動作環境

ここでは前述した実機環境と、ソフトウェア環境の2種類の動作環境について述べる。

#### 5.2.1 実機環境

実機上で動作するときは、FPGA 上の外部クロックで動作するか、ボタンによるステップ入力のどちらかで動作させる。本研究では CQ 出版の Spartan-II 評価キットを利用して開発を行っている。7セグメント LED×4、プッシュボタン×4、8ビット LED などのインタフェースを持つ。

ボタン入力によるステップ処理の場合には FPGA ボードのインタフェース以外にも外部から通信による制御が可能である。

#### 5.2.2 動作ログ解析環境

FPGA と外部 PC の通信により、FPGA から外部 PC にログを送る。受けとったログを元にプロファイリングやトレースを行う。

図3は、ステップ毎のプロセッサの状態を表示できるトレース環境である。この他に、OS の動作を元に命令回数をカウントする命令カウンタや、命令がどのような組合せで動くことが多いのか調べるパターン解析や、実行中にどれだけ割り込みが起こったのかをカウントする割り込みカウンタを提供する。

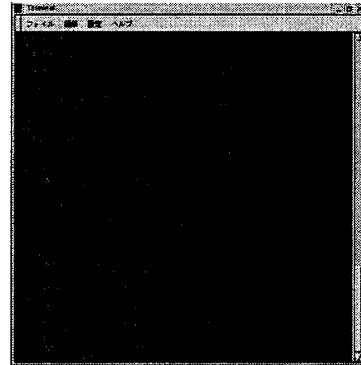


図3 トレース画面

## 6. おわりに

本稿では、FPGA を利用したシステムプログラミングの学習環境について述べた。現在、オリジナル CPU 上でアセンブリ語プログラムが実行でき、動作ログを解析できる環境が実現できた。今後の予定としては、他のシステムソフトウェア学習環境と連動し、OS などの動作も学習できるようにしていく。

### 参考文献

- [1]末吉敏則、久我守弘、柴村英智：「KITE マイクロプロセッサによる計算機工学教育支援システム」電子情報通信学会論文誌 D-1 Vol.J84-D-I No.6 pp.917-926 (2001)
- [2]美馬和夫、田中康一郎、佐藤寿倫、有田五次郎：「計算機教育向けシステム KERNEL1 の設計」第 64 回情報処理学会全国大会 1ZB-02(2002)
- [3]迫謙太郎、田中康一郎、佐藤寿倫、有田五次郎：「OS 教育用計算機 KERNEL2 の実装」第 64 回情報処理学会全国大会 1ZB-02(2002)
- [4]西野洋介、早川栄一、高橋延匡：「OS 概念の教育支援システムの開発と評価」第 63 回情報処理学会全国大会 3T-1(2001)
- [5]情報処理技術者試験センター  
<http://www.jitec.jp/dec.or.jp/index.html>