

並列位相シフトデジタルホログラフィのための 位相シフト干渉法の計算回路の設計

Design of Computational Circuit for Calculation of Phase-Shifting Interferometry
in Parallel Phase-Shifting Digital Holography

的場 駿介[†] 増田 信之^{††} 角江 崇[†] 下馬場 朋禄[†] 伊藤 智義[†]
Shunsuke Matoba Nobuyuki Masuda[†] Takashi Kakue Tomoyoshi Shimobaba Tomoyoshi Ito

1. はじめに

デジタルホログラフィ[1]は、物体の 3 次元情報が含まれているホログラムを撮像素子で撮影し、計算機内部に保存することで、物体の 3 次元情報をデジタル処理できる 3 次元計測技術である。この技術では一般に、物体を撮影するのに要する時間に比べ、計算機内部の計算処理によりホログラムから 3 次元情報を再生する際にかかる時間の方が長い。そこで本研究グループでは、像再生計算を高速に行うために、デジタルホログラフィ専用計算機 FFT-HORN の開発を行っている[2]。

デジタルホログラフィには、所望の像のほかに 0 次回折光や共役像などの不要な像も再生像に含まれる問題がある。これは撮像素子の性能不足が原因であり、ホログラム記録の際に、物体の情報を有する物体光と参照光とをともに撮像素子に対してほぼ垂直に照射しなければならないことに起因する。0 次回折光や共役像などの不要な像を除去する手法の 1 つとして、位相シフトデジタルホログラフィ[3]がある。位相シフトデジタルホログラフィは参照光の位相が異なる複数枚のホログラムを使用して、位相シフト法と呼ばれる計算処理によって所望の像のみの情報を得る手法である。しかし、複数枚のホログラムを使用するために、機械的な走査処理や複数回の撮影を要する。そのため、動体への適用が困難であった。動体の計測を可能にする位相シフトデジタルホログラフィとして、並列位相シフトデジタルホログラフィ[4]が提案された。並列位相シフトデジタルホログラフィでは、位相シフト法に必要な複数枚のホログラムの情報が空間的に多重化された 1 枚の画像を記録するので、観測物体の撮影を一度行うだけで、位相シフト法の計算処理により 0 次回折光や共役像のない鮮明な再生像を得ることができる。1 度の撮影で済むため動体を計測できるようになるが、位相シフト法には必要のない、欠落画素の補間などの計算処理が必要となってしまう。ゆえに、高速度イメージングのような多数のホログラムを処理する場合にはその計算時間は膨大となり、撮影してから観察するまでに多くの時間がかかってしまう。多数のホログラムを撮影した後、瞬時に不要な像を含まない鮮明な再生像を得るためには FFT-HORN による像再生計算の高速化に加え、並列位相シフト法の計算の高速化も必要となる。しかし、並列位相シフト法のための計算回路の設計については未着手であった。

本研究では、並列位相シフトデジタルホログラフィにおける、並列位相シフト法の計算を高速化するための計算回路を設計する。今回は、回路設計シミュレーションにより計算高速化の可能性を確認したので報告する。

2. 並列位相シフトデジタルホログラフィ

2.1 デジタルホログラフィ

ホログラフィ[5]は観測物体の 3 次元情報を瞬時に記録できる技術である。しかし、その情報記録媒体であるホログラム感光材料は一般に、記録後に暗室における化学薬品を用いた湿式の現像処理を要する。これはその場計測が困難であることを意味し、動体の記録および計測も困難であった。そこで、CCD や CMOS などの撮像素子でホログラムを撮影し、デジタルデータとして計算機に保存するホログラフィを、デジタルホログラフィと呼ぶ。図 1 にデジタルホログラフィにおける記録の概略図を示す。干渉性のよいレーザー光を光源として、その光を顕微鏡対物レンズで広げ、レンズによって平行光にする。次にビームスプリッタ等を用いて二方向に分け、分けられたレーザー光のうち一方は記録する物体に当てる。そうして物体表面を反射して空間を進む光は物体の情報を持ち、物体光と呼ばれる。もう一方のレーザー光は、参照光と呼ばれ、図 1 のように撮像素子に到達させる。物体光と参照光が干渉してできる干渉縞を CCD や CMOS などの撮像素子で撮影し、デジタルホログラムとして保存する。デジタルホログラフィでは、記録したホログラムに対して、光の伝播計算を計算機内でシミュレートすることにより、物体の 3 次元情報を数値再生する。デジタル処理が可能のため、所望の奥行き位置に焦点を合わせた画像が得られ、機械的な走査による合焦処理が不要である特長を有する。

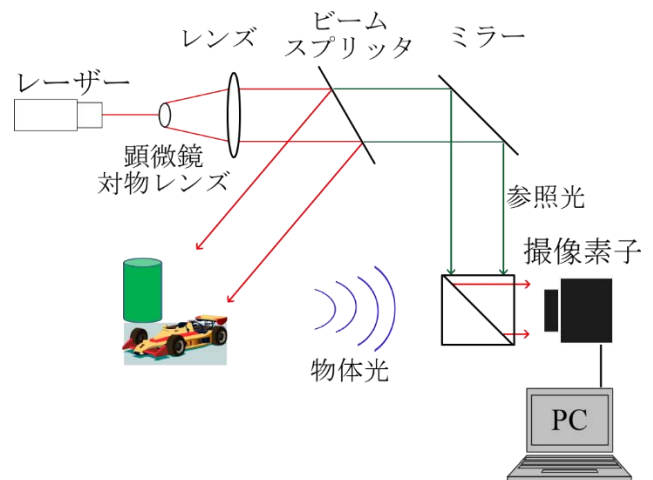


図 1 デジタルホログラフィの概略図

[†] 千葉大学大学院工学研究科, Graduate School of Engineering, Chiba University

^{††} 東京理科大学基礎工学部, Department of Applied Electronics, Tokyo University of Science

デジタルホログラフィは、物体の3次元情報の記録および定量的な解析が可能である。しかし、現在利用可能な撮像素子の画素間隔は数 μm 程度である。この画素間隔は、従来のホログラム感光材料解像力に比べて桁ほど大きい。そのため、撮像素子ではこのような干渉縞を十分に記録することが難しい。そこで主に研究されているものが軸上ホログラフィである。軸上ホログラフィでは、物体光と参照光を撮像素子に対してほぼ垂直に照射する。干渉縞の細かさは、物体光と参照光とがなす角度に比例するため、軸上ホログラフィにより撮像素子の画素間隔と干渉縞の間隔とによる制約の影響を低減できる。撮影した1枚のホログラムから、空間における光の伝播計算を行うことで、任意の距離だけ離れた面での再生像が得られる。1枚のホログラムで再生像が得られるため、静止した物体だけでなく、動体の3次元情報取得にも適用できる。ところが、軸上ホログラフィでは、その記録原理に起因して、再生像には所望する像の他に、不要な0次回折光と共役像が重畳してしまうためノイズが多いという問題がある。

2.2 位相シフトデジタルホログラフィ

位相シフトデジタルホログラフィの概略図を図2に示す。

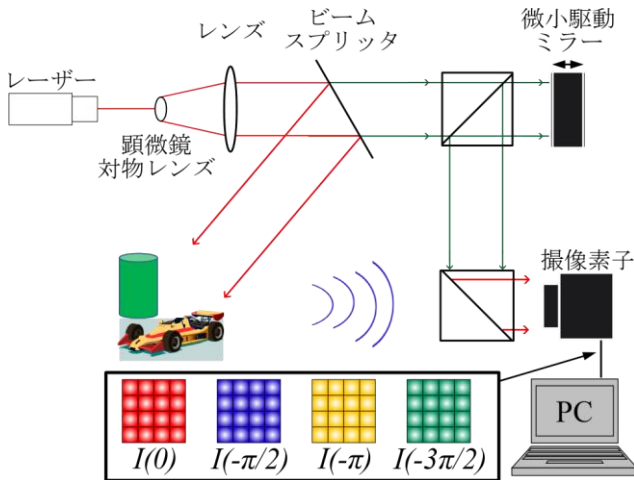


図2 位相シフトデジタルホログラフィの概略図

位相シフトデジタルホログラフィでは、再生像を得るためにホログラムを1枚ではなく、一般には3枚以上を使用する。図2では、4枚の場合を示している。使用する4枚のホログラムは、それぞれ参照光の位相情報を0, $-\pi/2$, $-\pi$, $-3\pi/2$ と変化させて撮影したものである。参照光の位相は、例えば微小駆動ミラーを使用してシフトさせる。物体光および参照光は式(1)で表され、 A_o は物体光の振幅、 A_R は参照光の振幅である。式(1)を踏まえると4枚のホログラムはそれぞれ式(2)のように表せる。

$$\begin{cases} U_o = A_o \exp(i\theta_o) \\ U_R = A_R \exp(i\theta_R) \end{cases} \quad (1)$$

$$\begin{aligned} I(0) &= |A_o|^2 + |A_R|^2 + A_o A_R \exp(-i\theta_o) + A_o A_R \exp(i\theta_o) \\ I(-\frac{\pi}{2}) &= |A_o|^2 + |A_R|^2 + i A_o A_R \exp(-i\theta_o) - i A_o A_R \exp(i\theta_o) \\ I(-\pi) &= |A_o|^2 + |A_R|^2 - A_o A_R \exp(-i\theta_o) - A_o A_R \exp(i\theta_o) \\ I(-\frac{3\pi}{2}) &= |A_o|^2 + |A_R|^2 - i A_o A_R \exp(-i\theta_o) + i A_o A_R \exp(i\theta_o) \end{aligned} \quad (2)$$

式(2)のそれぞれに共通項が含まれていることに着目すると、式(3)が得られる。

$$\begin{aligned} \text{Re}[U_o] &= A_o \cos \theta_o = \frac{I(0) - I(-\pi)}{4A_R} \\ \text{Im}[U_o] &= A_o \sin \theta_o = \frac{I(-\frac{3\pi}{2}) - I(-\frac{\pi}{2})}{4A_R} \end{aligned} \quad (3)$$

以上のように、参照光の位相が異なる複数枚のホログラムを利用して、撮像素子上での物体光だけの複素振幅分布を得ることができる。したがって、複素振幅に対する伝播計算により、不要な像を含まない鮮明な再生像が得られる。しかし、この手法は複数回の撮影が必要である。つまり位相がシフトされたそれぞれのホログラムでは撮影された時刻が異なるため、動く物体への適用が困難である。

2.3 並列位相シフトデジタルホログラフィ

動く物体への適用に対して、一度の撮影で位相シフト法を達成する手法が研究されている。そのひとつに並列位相シフトデジタルホログラフィがある。

従来の位相シフト法では、参照光の位相がそれぞれシフトされたホログラムを複数枚用意するために、それと同じ回数回の撮影を必要とする。一方、並列位相シフト法では複数の位相シフト量が空間的に多重化された画像を1枚撮影するだけでよい。そのため、動く物体への適用が可能となる。参照光の位相分布を撮像素子の各画素に対応させて撮影するには位相シフトアレイデバイスと呼ばれる素子を使用すればよい。位相シフトアレイデバイスとしては、微小偏光子アレイなどが用いられている[6]。

並列位相シフトデジタルホログラフィの概略図を図3に示す。まず、撮影されたホログラムから同じ位相シフト量をもつ画素のみを抽出し、それらを新たなデジタル画像としてそれぞれ再配置する。次にデータを持たない画素については周囲の画素値を利用してそれぞれ補間処理を施して、位相シフト法で必要とした複数枚のホログラムを生成する。そしてこれらのホログラムから位相シフト法を行い、物体光の複素振幅分布を計算する。

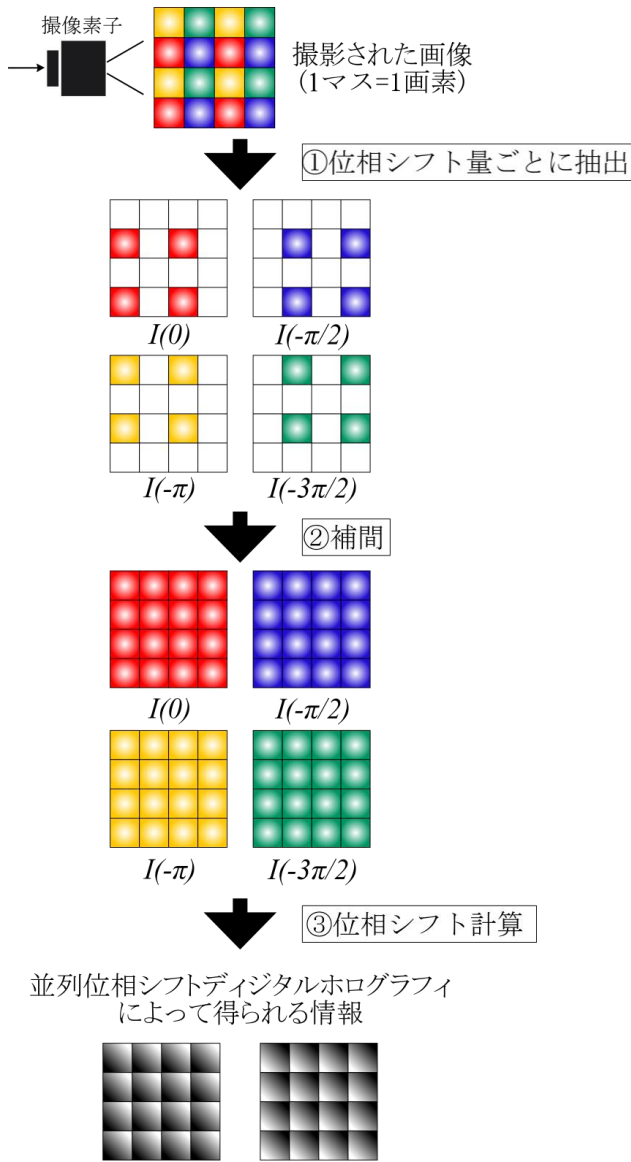


図3 並列位相シフトデジタルホログラフィにおける計算処理の概略図

3. 設計回路の構成と動作

図3に示した、並列位相シフト法の計算処理を実行する計算回路を設計した。本回路は大きく分けて3つの処理回路に分けられる。その構成図が図4である。今回は4段階位相シフト法を対象とした。並列位相シフト法を行う本回路には、参照光の位相がシフトした4枚のホログラムが空間的に多重化された1枚の画像が入力される。まず、入力画像から参照光の位相シフト量ごとにホログラムを抜き出す。抜き出した画像をバイリニア法で補間し、4枚のホログラムを作成する。これらのホログラムに位相シフト法を適用して、撮像素子面での、物体光の複素振幅を得る。この複素振幅に光の伝播計を適用することで再生像が得られる。

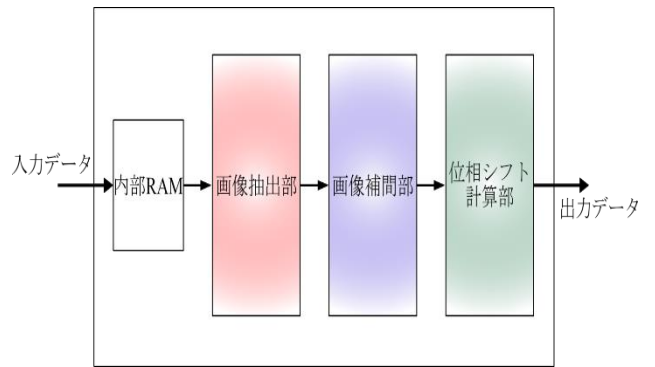


図4 本回路の構成

3.1 画像抽出部

入力されたホログラム画像は1度内部RAMに格納される。4段階に位相をシフトさせて撮影された入力画像の各画素は図5に示すように配置されている。以後、それぞれの位相シフト量をA, B, C, Dと表記する。図中のXおよびYの値は画素値の横方向、縦方向へのそれぞれのアドレスを表している。

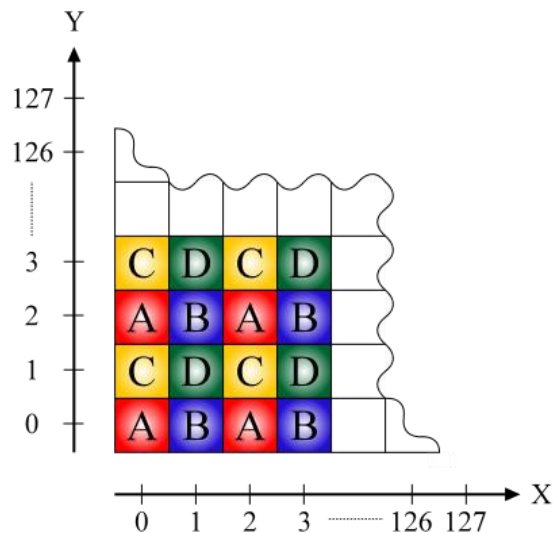
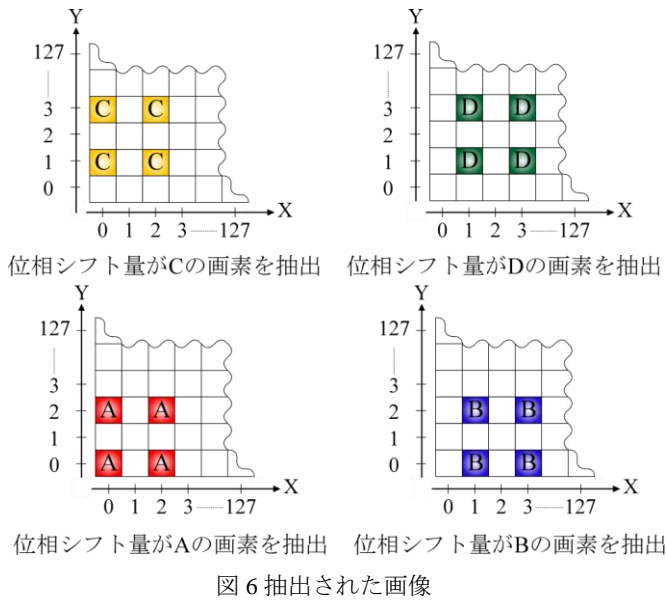


図5 入力画像の画素配置

図5における(0,0)にある画素値から順次(0,0), (1,0), ..., (0,1), ..., (127,127)と1つずつ分類していく。分類した画素値は、新たな画素配列としてそれぞれ次の内部RAMに格納する。画像抽出回路部の処理で図5の状態から図6に示す状態になる。



3.2 画像補間部

位相シフト量ごとに抽出された画素値のみでは位相シフト法を適用するには画像として不十分である。したがって足りない画素データは、その周辺の画素値を用いて補間する必要がある。今回は例として、位相シフト量 A を持つ画素配列での補間処理のイメージを図7に示し、図7に沿って補間処理を説明する。図7(a)において、色の付いた画素が前段の抽出回路部の処理で抽出された画素である。画像補間部では一度の補間計算で6画素使用する。図7(a)の場合、1~6が補間に使用する画素で、7~14がデータを補間される画素である。補間に使用するために前段のRAMから呼び出された画素値は、一時的にレジスタにて保持される。6画素分の画素値が揃うと補間計算が実行される。今回の回路はバイリニア法を適用した。補間計算が完了すると1~4に加えて8~14の画素も8-bitのデータを持つことになる。そして、1~4および8~14を4画素ずつにまとめて、32-bitのデータをRAMに格納する。4画素ずつにまとめてRAMへ格納することで、6画素分のデータを呼び出すのに必要とする時間と、補間計算をしてその結果をRAMに格納し終わるのに要する時間が等しくなる。これにより、画素値の呼び出しと補間計算を並列化することで、一連の補間処理を遅延なく行うことができる。4画素のまとめ方が図7(c)である。以上の補間処理を全ての画素が値を持つように実行する(図7(d))。

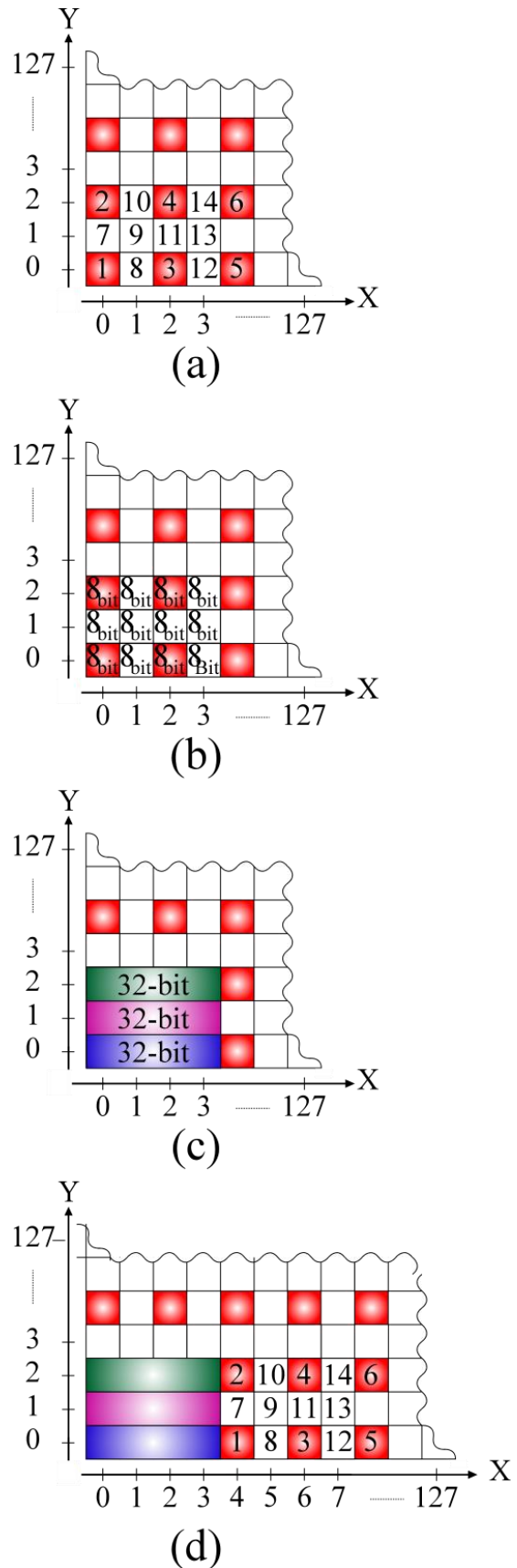


図7 補間処理のイメージ図

3.3 位相シフト計算部

これまでの回路動作によって位相シフト法を適用するための準備が完了する。最後に、ここの回路で位相シフト法を行い、その結果を回路出力とする。位相シフト計算は 1 画素ごとに行う。位相シフト量 A~D の画像からそれぞれ相当する画素値を呼び出して順次計算する。注意すべき点は、前段の回路処理によってデータ幅が 32-bit となっている点である。32-bit のデータから、計算に必要なとなる画素値である 8-bit を呼び出す必要がある。

A~D よりそれぞれ画素値を呼び出した後、前章に示した式(2)の計算を行う。しかし、この式における分母での除算を含めてハードウェアに設計することはハードウェアの計算処理の観点からは好ましくない。ここで、同式の分母の A_R は参照光の振幅を表しているが、平面波を扱う今回の場合は定数とみなしてよい。したがって、分母の除算は本質的に必要ない。以上の理由から本回路での位相シフト計算は分子の減算部分だけとした。その計算式は、呼び出した位相シフト量が A~D それぞれの画素値を $I(A)$, $I(B)$, $I(C)$, $I(D)$ とすると、その計算式は次式となる。

$$\text{Re} = I(C) - I(B) \quad (4)$$

$$\text{Im} = I(A) - I(D) \quad (5)$$

また、回路出力となる Re と Im は符号ビットを 1-bit、データ幅が 8-bit の計 9-bit である。

以上の処理を終えると、1 画素あたり 9-bit で、128×128 画素分の大きさを持つ物体光の複素振幅の実部と虚部が得られる。

4. 性能評価

本研究においては回路合成および配置配線を行い、それをシミュレーションすることにより設計した回路の評価を行った。本回路はターゲットデバイスとして Xilinx Virtex-7 VC707 Evaluation Kit を使用する。これは、Xilinx 社の FPGA で、Virtex-7 のシリーズの XC7VX485T-FFG1761-2 を搭載している評価用ボードであるソフトウェアの開発環境および本回路のシミュレーションを行った環境を表 1 に示す。

表 1 開発環境

OS	Windows 7 Professional
CPU	Intel Core i7-870 2.93 [GHz]
メモリ	4.00 GB
コンパイラ	Microsoft Visual C++ 2010
ソフトウェア開発言語	C 言語

回路合成を行った結果、最大動作周波数は 300.869 [MHz] であった。また、FPGA の回路リソースの使用量を表 2 にまとめた。表 2 より、本回路の回路規模は FPGA の回路リソースを 1~2 [%] 程度の非常に小さいものであることがわかる。

表 2 本回路の回路規模

	使用量	最大容量	使用率
スライスレジスタ	2,125	607,200	1%
スライス LUT	2,132	303,600	1%
ブロック RAM/FIFO	24	1,030	2%

次に、本回路の処理時間を評価するため、128×128 画素のホログラム画像を入力してシミュレーションを行い、ソフトウェアの結果と比較した。その結果が表 3 である。なお、設計回路の動作周波数は最大動作周波数の 300.869 [MHz] に設定している。

表 3 処理時間の評価

	ソフトウェア [μs]	本回路 [μs]	高速化比
画像抽出	117.6	54.5	2.2
画像補間	666.2	43.9	15.2
位相シフト計算	217.2	54.5	4.0
合計時間	1062.4	152.8	7.0

本回路において最も計算負荷のある部分は画像補間部であるが、その処理速度は、ソフトウェアに比べておよそ 15 倍となった。また、回路全体では 7 倍の高速化を達成でき、ホログラムに対して従来よりも高速な位相シフト計算が可能となった。

処理精度の評価は次のように行った。それぞれ 128×128 画素の図 8(a),(b)の強度および位相情報をもつ、図 8(c)のホログラム画像を本回路に入力した。そして、本回路の出力結果を PC による伝播計算により再生した結果が図 9 である。同様に図 8(c)を入力画像として PC のソフトウェアで計算し、その出力結果を伝播計算により再生した結果が図 10 である。これらの本回路とソフトウェアの処理結果を比較する。再生条件は表 4 にある通りである。

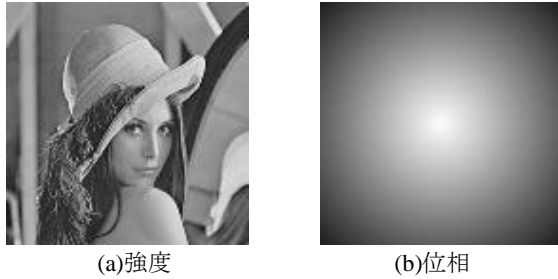
表 4 再生条件

再生距離	200 [mm]
記録波長	532 [nm]
画素ピッチ	20 [μm]

ソフトウェアは単精度で計算している。ソフトウェアの計算結果に対する本回路の計算結果との SN 比を算出した結果を表 5 に示す。図 9, 10 を比較したところ、人の目では両者の間に処理精度の問題点は見られない。SN 比からも 30 [dB] 以上の良好な値が得られている。

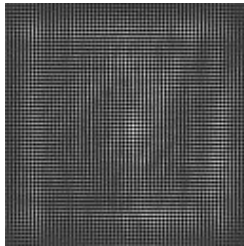
表 5 処理精度の評価

	SN 比 [dB]
強度	38.2
位相	37.3



(a)強度

(b)位相



(c) ホログラム画像

図 8 入力画像

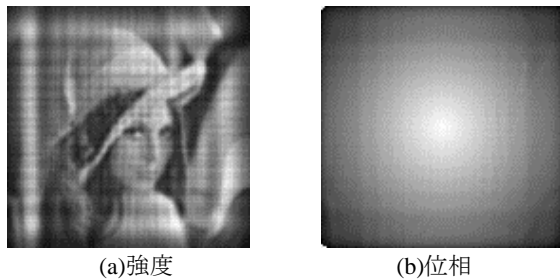
本回路に加え、PCI Express 用インターフェースを加える必要がある。

謝辞

本研究は JSPS 科研費 25240015, 24860016 の助成を受けたものです。

参考文献

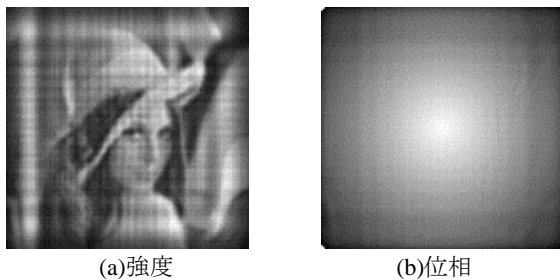
- [1] J. W. Goodman and R. W. Lawrence, "Digital image formation from electronically detected holograms," *Appl. Phys. Lett.* Vol. 11, 77 (1967).
- [2] K. Kamegai, N. Masuda, T. Kakue, T. Shimobaba, and T. Ito, "Simulation of the special-purpose computer for high-speed imaging by digital holography," *International Symposium on Three Dimensional systems and Applications (3DSA) 2013*, pp. 4-9, Osaka, Japan, June 2013.
- [3] I. Yamaguchi and T. Zhang, *Opt. Lett.* Vol. 22, 1268 (1997).
- [4] Y. Awatsuji, M. Sasada, and T. Kubota, "Parallel quasi-phase-shifting digital holography," *Appl. Phys. Lett.*, vol. 85, pp. 1069-1071, (2004).
- [5] D. Gabor, "A new microscope principle," *Nature (London)* vol. 161, 777 (1948).
- [6] T. Kakue, S. Itoh, P. Xia, T. Tahara, Y. Awatsuji, K. Nishio, S. Ura, T. Kubota, and O. Matoba, "Single-shot femtosecond-pulsed phase-shifting digital holography," *Opt. Express* Vol. 20, pp. 20286-20291 (2012).



(a)強度

(b)位相

図 9 本回路の出力結果の再生像



(a)強度

(b)位相

図 10 ソフトウェアの出力結果の再生像

5. まとめ

並列位相シフト計算を行う回路を設計し、シミュレーションを行った。その結果、非常に小さい回路規模で、PC によるソフトウェア計算と比較して約 7 倍の処理速度と同等の処理精度とを達成した。今後は FPGA ボードへの実装およびデジタルホログラフィ専用計算機 FFF-HORN へ導入を目指す。まず FPGA ボードへ実装するにあたって、本回路へのデータ通信はホスト PC を介して行われるため、