

学習型超解像による 4 倍拡大映像出力ハードウェアの実現と 辞書探索回路の規模削減

A Hardware Architecture for Learning-Based 4x Super-Resolution Using Compact Dictionary Search Circuit

松塚 凌[†], 切山亜弓[†], 道嶋昂平[†], 雫 譲[†], 廣瀬哲也[†], 黒木修隆[†], 沼 昌宏[†]
Ryo Matsuzuka[†], Ayumi Kiriya[†], Kohei Michibata[†], Yuzuru Shizuku[†],
Tetsuya Hirose[†], Nobutaka Kuroki[†], and Masahiro Numa[†]

1. まえがき

近年, 表示機器の大画面化・高精細化 [1] が進んでおり, 一般に“4K パネル”とも呼ばれる QFHD サイズのパネルも実用化されている。これらの高精細表示機器において, 低解像度映像についても高画質表示を可能とするために, 辞書と呼ばれる事前に生成したデータベースを用いて高解像度画像を推定・復元する学習型超解像 [2] が注目されている。これまでに, 二分木辞書に基づく学習型超解像に基づき, 2 倍拡大をリアルタイム処理可能とするハードウェア・アーキテクチャ [3] が提案されているが, 低解像度の映像を高解像度の機器に表示させるためには, さらに高い拡大倍率が必要である。また, 2 倍を超える拡大倍率を実現するためには, 回路面積が膨大になるという問題点がある。

そこで本稿では, 学習型超解像による 4 倍拡大映像出力を実現するアーキテクチャを提案するとともに, 特に多くのレジスタを必要とする辞書探索回路 [4] の規模を削減する手法を提案する。

2. 提案アーキテクチャ

2.1 学習型超解像による 4 倍拡大映像出力を実現するアーキテクチャ

図 1 に, 提案する 4 倍超解像映像出力を実現するアーキテクチャを示す。SRC (Super Resolution Circuit) を 2 段用意し, 2 倍超解像処理を 2 回適用することで 4 倍超解像を実現する。また, ディスプレイへの映像表示に必要なクロック信号について, 映像の解像度ごとに異なる周波数が必要となるため, PLL (Phase Locked Loop) を内蔵した周波数変換回路を用意する。

2.2 辞書探索回路の規模削減手法

二分木辞書の探索を行う辞書探索回路は, 辞書の深さに合わせて $D_0 \sim D_{15}$ の探索回路に分割されており, SSD (Sum of Squared Difference) に基づき左右どちらの枝に分岐するかを判定する。図 2 に, 提案する探索回路の深さ D_k における内部構成を示す。従来回路では, メモリの競合を防ぐために, 辞書データ読み出し部と演算部を分離し, それぞれ 16 clock で動作させていた。一方, 提案回路では, メモリの競合を防ぎつつ, 各探索回路が 1 clock で辞書データを読み出せるようにタイミングを制御することで, 読み出しと演算を 16 clock で完了させることを可能にした。この回路構成の変更により, 従来回路において, 辞書データを読み出すまでデータ保持していたレジスタを削減することが可能となり, 回路規模の削減を実現した。

3. 実験と考察

3.1 Verilog HDL による設計と動作確認

提案した学習型超解像による 4 倍拡大映像出力回路を Verilog HDL により設計し, 動作確認を行った結果, 図 3 に示す 4 倍超解像映像が得られた。パイ・キュービック法による拡大映像と比較した結果, 鮮鋭感が増していることが確認できた。

3.2 回路規模評価

提案した辞書探索回路を Verilog HDL により設計し, FPGA (Field-Programmable Gate Array) へのマッピングを行うことで, 回路規模の評価を行う。タイミング制約は 150 MHz とし, Altera 社の Stratix IV EP4SGX230C2 へマッピングを行う。表 1 および表 2 にマッピング結果を示す。辞書探索回路単体に関して, 提案手法を用いることで, レジスタを 18.6% 削減可能であることが

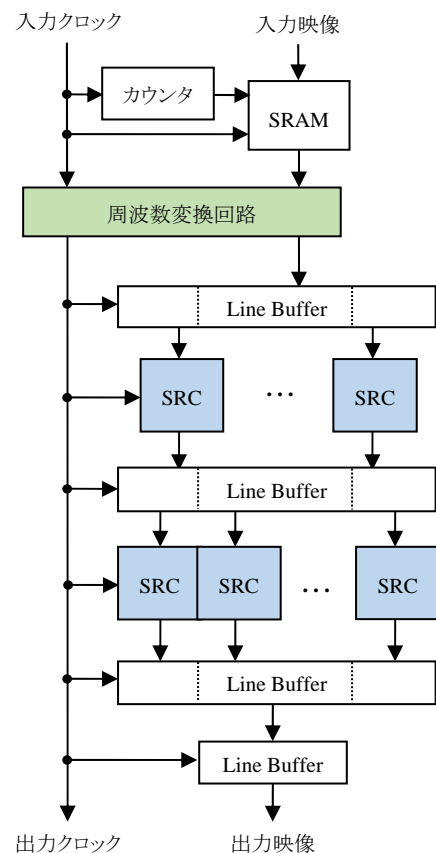


図 1 提案する 4 倍超解像アーキテクチャ

[†] 神戸大学, Kobe University

表 1 辞書探索回路単体の FPGA へのマッピング結果

| 手法 | 従来 | 提案 | 提案／従来 |
|------|--------------------|--------------------|-------|
| レジスタ | 1.05×10^4 | 8.55×10^3 | 0.814 |

表 2 超解像回路全体の FPGA へのマッピング結果

| リソース | 搭載数 | 従来 | | 提案 | |
|-----------|--------------------|--------------------|---------|--------------------|---------|
| | | 利用数 | 利用率 [%] | 利用数 | 利用率 [%] |
| ALUT | 1.82×10^5 | 1.01×10^5 | 55.5 | 9.62×10^4 | 52.9 |
| レジスタ | 1.82×10^5 | 1.80×10^5 | 98.9 | 1.61×10^5 | 88.5 |
| メモリ [bit] | 1.46×10^7 | 1.24×10^7 | 84.9 | 1.24×10^7 | 84.9 |

確認できた。6 台の辞書探索回路を並列動作させる超解像回路全体については、提案した辞書探索回路を適用した場合、従来の辞書探索回路を適用した場合と比較して、ALUT を 5.2% ，レジスタを 10.4% 削減する効果を確認した。また、マッピング後のタイミング解析を行った結果、タイミング制約違反は存在せず、150 MHz での動作が可能であることを確認した。

4. まとめ

本稿では、学習型超解像による 4 倍拡大映像を実現するアーキテクチャを提案するとともに、辞書探索回路の規模を削減する手法を提案した。提案回路を設計して FPGA に実装した結果、超解像による 4 倍拡大映像をディスプレイに表示できることを確認した。また、FPGA へのマッピング結果をもとに、回路規模に関する評価を行った結果、提案手法により、辞書探索回路単体ではレジスタを 18.6% ，超解像回路全体については ALUT を 5.2% ，レジスタを 10.4% 削減する効果を確認した。また、タイミング解析によって、150 MHz での動作が可能との評価結果を得た。

今後の課題として、様々な解像度に対応した学習型超解像回路を設計することが挙げられる。

参考文献

- [1] 日経 FPD2007 テレビ技術編, 日経 BP 社, 2007.
- [2] W. Freeman, E. Pasztor, and O. Carmichael, "Learning low-level vision," International Journal of Computer Vision, vol. 40, no. 1, pp. 25-47, 2000.
- [3] 道島昂平, 切山亜弓, 北山貴彦, 零 譲, 廣瀬哲也, 黒木修隆, 沼 昌宏, "二分木辞書を用いた学習型超解像のストリーム処理型アーキテクチャ", DA シンポジウム 2012, pp. 31-36, 2012 年 8 月.
- [4] A. Kiriyama, R. Matsuzuka, K. Michibata, T. Kitayama, Y. Shizuku, T. Hirose, N. Kuroki, and M. Numa, "A memory-saving technique for 4K super-resolution circuit with binary tree dictionary," The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2013), pp. 360-365, Oct. 2013.

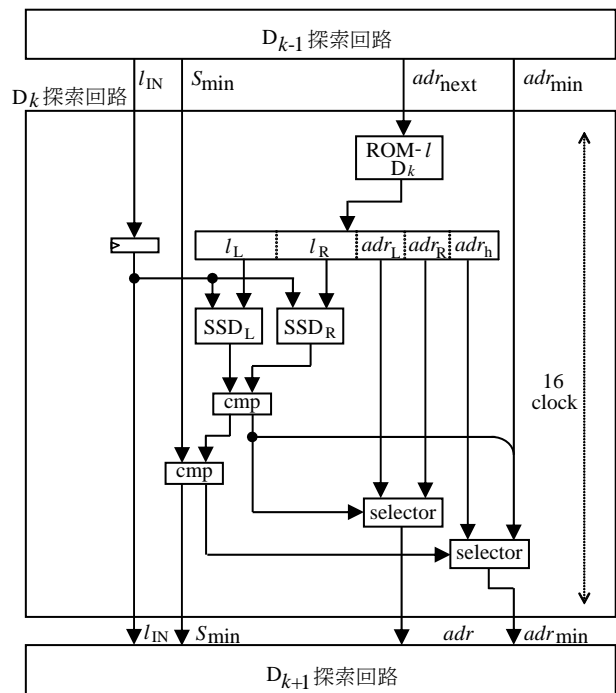


図 2 提案する D_k 探索回路の内部構成

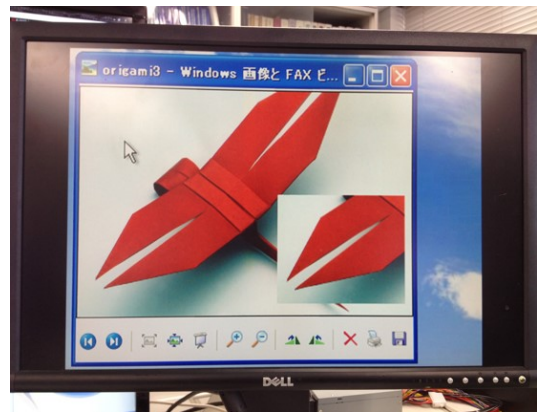


図 3 4 倍超解像映像処理後の映像