

VLSI レイアウト設計のための統合化支援システム†

神戸 尚志^{††} 谷 貞 宏^{†††} 小 嶋 格^{††††}
富田 常雄^{††} 森本 清巳^{††††}

VLSI のレイアウト設計を効率化するために、各種の自動設計手法が研究・実用化されているが、引続き人手設計に依存する部分が多く残され、期間短縮の障害となっている。この問題を解決するために、筆者らは、自動設計ツールと会話型ツールを一体化したレイアウトシステムを開発した。このシステムは、以下の特徴を持つ。(1) 自動設計ツールと会話型ツールをすべて一つのデータベースに結合している。データベースは、マスクパターンだけでなく、トランジスタ、配線、端子等の素子情報や接続情報を持ち、レイアウト検証や自動設計の直接的適用および高速化を可能としている。(2) 各設計ツール、特に自動設計ツールがマスクレベルの情報も考慮して動作するよう機能拡張されているので、デジタル VLSI だけでなく、アナログ LSI の設計自動化も可能となっている。本文では、まず現在の VLSI におけるレイアウト設計上の問題を指摘し、これを解決するために開発した本システムの特徴を述べる。次に、システム構成およびデータベース構造について明らかにしたのち、設計段階ごとにレイアウトツールを紹介し、幾つかのツールについて従来手法と比較し、性能評価を行う。最後に、本システムを実際に LSI 設計に適用した事例を上げ、システムの有効性を確認する。

1. ま え が き

近年、セミカスタム VLSI の自動配置配線技術の実用化やモジュールコンパイラの研究など VLSI のレイアウト設計の自動化が急速に進行している。しかし、チップコストの問題や自動設計適用可能なレイアウトモデルに対する制限などから、自動設計ができない場合もまだ多く存在している。また、設計自動化システムを利用する場合でも、セルライブラリの開発など人手に多く依存する部分はまだ残されている。このため、現状では VLSI のレイアウト設計のために自動設計システムと会話型設計支援システムを両方用いざるをえず、要求されている設計期間短縮のネックとなっている。

こうした状況下において、各種 VLSI におけるレイアウト設計の効率化を図るためには、会話型設計ツールと自動設計ツールの一体化を実現することにより、VLSI のレイアウト設計を総合的に支援する環境の構築が有効かつ実用的な対策と考えられる。

本文では、この目的で開発したシステムの構成、各種レイアウトツールの一体化を実現するためのデータベース構造、およびこのデータベース上で実現されたレイアウトツールの概要とその有効性を確認した実験結果について述べる。

2. VLSI のレイアウト設計における諸問題

VLSI 製造技術の急速な進歩により、VLSI の設計複雑度が飛躍的に増大している。しかし、一方で製品の短命化により VLSI の設計期間短縮が強く望まれている。VLSI 設計の各設計段階の中で、レイアウト設計が全体の設計期間に大きく影響する段階のひとつであり、レイアウト設計の期間短縮を目的としてこれまで自動配置配線やモジュールコンパイラなど多くの自動レイアウト手法が提案されて実用化されてきた¹⁾。

しかし、こうした設計自動化技術を用いても以下に述べる理由から人手によるレイアウト設計が引き続き必要とされている。

- (1) 自動設計手法を用いた場合、人手設計同等のチップ面積を得ることは現状では困難であり、大量生産されるメモリやマイクロプロセッサなどコストダウンが要求される VLSI では引続き人手による高密度レイアウト設計が必要である。
- (2) 自動レイアウト手法が適用できる VLSI はレイアウトモデルや電気的特性面で制約される。例えば、アナログ回路は、引続き人手レイアウト設計が必要とされており、システムオンチップ

† An Integrated Layout System for VLSI by TAKASHI KAMBE (Research Department 2, Computer System Laboratories, Corporate Research and Development Group, SHARP Corporation), SADAHIRO TANI, ITARU KOJIMA (Research Department 3, Computer System Laboratories, Corporate Research and Development Group, SHARP Corporation), TSUNEO TOMITA (Research Department 2, Computer System Laboratories, Corporate Research and Development Group, SHARP Corporation) and KIYOMI MORIMOTO (Department 8, IC Technical Center, IC Group, SHARP Corporation).

†† シャープ(株)技術本部コンピュータシステム研究所第2研究室

††† シャープ(株)技術本部コンピュータシステム研究所第3研究室

†††† シャープ(株)IC事業本部IC技術センター第8技術部

プを実現するうえで、設計効率化のネックとなる。

- (3) 自動レイアウト技術を用いても、基本セルライブラリは人手により準備されなければならない。これは絶えず変化する製造技術に伴い、常に再設計が必要であり、その開発は膨大な作業となっている。

このような問題点から VLSI 設計者は自動設計ツールだけでなく、同時に会話型的设计ツールをも利用できる総合的なレイアウト設計環境を必要としている。

このような問題を解決し、総合的なレイアウト設計環境を実現するために、筆者らは、会話型設計ツールと自動設計ツールを一体化し、かつデジタル LSI だけでなく、アナログ LSI をも同様の環境上で設計自動化を図るレイアウトシステムを構築した。

本システムは次の特徴を持つ。

- (1) データの一貫性を保持するために、すべてのレイアウトツールは単一のデータベース上で一体化されている。また、データベースは、レイアウトパターン情報以外にトランジスタ、抵抗などの素子情報や接続情報、さらに端子情報などを持ち、レイアウト検証の高速化、自動レイアウトツールの適用を可能としている。
- (2) 各ツールは、デジタル VLSI だけでなく、アナログ LSI の設計自動化にも用いることができる。例えば、会話型自動配線やレイアウトコンパクト化では、マスクレベルのデータを考慮することにより、各種のレイアウトパターンが処理可能となっている。
- (3) レイアウトエディタはレイアウトパターン編集機能だけでなく、他の各種のレイアウトツールを利用するときのユーザインタフェース機能を持つ。これにより、設計者は基本セルからチップ全体のレイアウトパターンに至るまで、一つのデータベース上で、かつ共通のマンマシンインタフェースを用いて、自動的にもしくは会話的に設計することが可能である。
- (4) 本システムは、VLSI 製造に関する情報をシステムから独立させて、テクノロジーファイルとして保持しているので、素子抽出規則、素子特性計算規則、設計規則などが登録、変更可能であり、ツールの仕様に影響しない。

以下、本文では、第 3 章でシステムの概要とデータベース構造を述べたのち、第 4 章でレイアウト設計用

ツールの概要とデータベースの特徴を用いて実現された幾つかのツールについて性能評価を行う。最後に本システムを用いて設計した事例を示し、システムの有効性を確認する。

3. システム構成

本章では、本システムのハードウェア、ソフトウェア構成およびデータベース構造について述べる。

3.1 ハードウェア構成

本システムは 3 種類のハードウェア上で実現されている。第 1 は直接設計者が使用するエンジニアリングワークステーションであり、主に会話型の処理が行われる。第 2 はスーパーミニコンピュータであり、セルライブラリ管理、データベース管理、ネットワーク管理などを行う。第 3 は汎用大型計算機で、自動レイアウトなど大規模データ処理を行うバッチジョブを主な対象としている。そしてこれらはローカルエリアネットワークにより、相互に接続されている。

3.2 ソフトウェア構成

本システムは単一のデータベースのもとに、セル設計からマスクデータ作成に至るまでのレイアウト設計の各段階を支援するツール群がすべて一体化されている(図 1)。設計者が最もなじみやすいレイアウトエディタをユーザインタフェースとしており、各ツールをエディタ上のコマンドを介して利用できるようになっている。実際にはすべてのツールを一つのプログラムに組み込むことは実行モジュールのサイズの問題があり不可能であるため、各ツールのサイズ、処理時間に応じて次の 3 通りの方法を用いて結合している。

- (1) レイアウトエディタ中に直接組み込む。

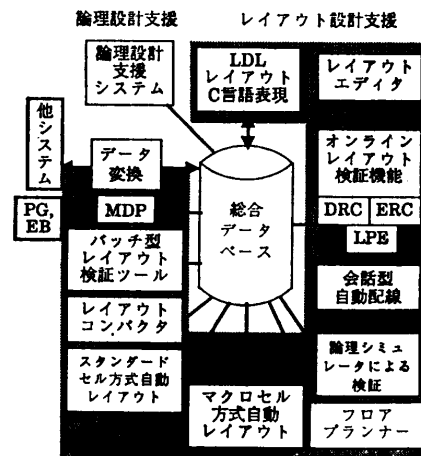


図 1 システムのソフトウェア構成
Fig. 1 Software configuration of system.

- (2) 子プロセスとして独立に実行させ、終了時に親プロセスであるレイアウトエディタに、インタラプトをかけ、結果を受け入れるか取り消すかの選択を設計者が行う。
- (3) バッチジョブとして必要に応じた規模の計算機上で実行させる。

3.3 データベース構造

本システムのデータベースの特徴は、素子情報、接続情報や端子情報を含んだレイアウトデータを保有している点にある。従来のレイアウトデータベースは、単にマスクデータを作成するための図形データの集まりであったが、本システムでは素子として意味を持つ図形データの集合をレイアウトの単位とし、これに素子情報を属性として持たせ、回路認識を効率化させレイアウト検証の高速化を図っている。さらに端子情報や接続情報を用いて、設計自動化ツールの直接的な適用を可能としている。データベースの論理的構造は、以下の項目で表されている (図 2)。

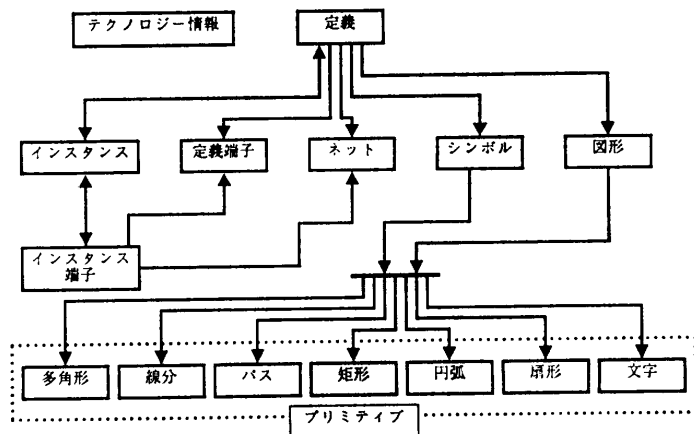


図 2 データベースの論理的構造
Fig. 2 Logical structure of data base.

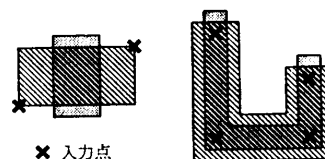


図 3 Sコンポーネントの例
Fig. 3 Example of S component.

(1) 定義情報

定義には、コンポーネントとセルの2種類がある。コンポーネントとは、素子として意味を持つレイアウトの最小単位である。素子としてトランジスタ、コンタクト、配線などが上げられる。また、セルとは回路としての機能を持つレイアウトパターンの単位であり、コンポーネントおよびセルから構成される。

定義情報は、各セルおよびコンポーネントについて設計情報を管理する。設計情報として、図形情報、インスタンス情報、シンボル情報、ネット情報、端子情報、および定義自身の属性情報を持つ。属性としては、定義の種類、構成するデータを囲む最小の最外殻、使用しているマスク層、バージョンなどがある。

コンポーネントは、特に素子情報をその属性として保有する。また、コンポーネントは、伸縮仕方についての属性を持ち、基本形状を保持しながら、配置された座標により大きさや形状を変化させることができる (以下、これをSコンポーネントという、図 3)。

(2) 図形情報

図形情報は、コンポーネントのレイアウトパターンを与える。

(3) インスタンス情報

インスタンス情報は、セルを構成する子セルやコンポーネントの配置情報などを持ち、セルの階層やアレ

イ構造などを表現する。コンポーネントの場合は、属性として接続情報を持つ。

(4) シンボル情報

シンボル情報はシンボリックレイアウトなどの場合のシンボルデータを格納するためにある。

(5) 端子情報

端子情報は、定義ごとに存在する「定義端子」と、インスタンスごとに存在する「インスタンス端子」がある。定義端子は、定義外とのネット情報を管理し、インスタンス端子は、インスタンスを構成要素として持つ定義内でのネット情報を管理する。また、インスタンス端子は、属性として接続情報を持つ。

(6) ネット情報

各定義ごとに信号名を管理し、定義端子、インスタンス端子から参照される。ネット情報は、同電位に配線する要求を信号名により表しており、一方接続情報は、実際に要素間の接続状態を表すものである。

(7) プリミティブ

プリミティブには、多角形、線分、パス、矩形、円弧、扇形などがあり、シンボル情報や図形情報の構成要素となる。

(8) テクノロジー情報

設計規則、素子抽出規則、素子特性計算規則などが記述されており、データベースに付随する製造情報を

表す。

本システムでは、以上のデータ構造により、図形情報、接続情報、階層情報および素子情報が統一的に、矛盾や冗長なく表現されている。

4. レイアウト設計ツール

本章では、レイアウト設計の各段階における、本システムの設計支援ツールの概要を示すとともに、3.3節で述べたデータベース構造を用いて、特に検証の効率化や自動レイアウトとの一体化を図った幾つかの設計ツールの機能について、従来手法と対比しながら述べ、性能評価を行う。計算機はマイクロ VAX2 (0.9 MIPS) を用いた。

VLSI におけるレイアウト設計は、次の3種類の場合に大別することができる。

- (A) プリミティブを用いて小規模回路を高密度にレイアウト設計する場合。
- (B) シンボリック設計手法を用いて短期間に比較的高いレイアウト設計を行う場合。
- (C) 大規模回路を自動レイアウトツールを駆使してレイアウト設計を行う場合。

以下では、上記の設計目的ごとに、ツールの説明を行う。

4.1 小規模回路設計用レイアウトツール

(A)のレイアウト設計では、デザインルールを守りつつ最小の領域に納まるようにレイアウトパターンが作成され、かつそのパターンを実際に製造したときに得られる回路の特性が重視される。本システムではこの段階は会話的設計を主体と考え、これを支援するレイアウトエディタと、デザインルールや回路特性に関する検証を効率化させるオンラインレイアウト検証ツールを準備している。

レイアウトエディタは、円滑なレイアウト設計を行うための次のような機能をユーザインタフェースとして備えている(図4)。

- (1) マルチウィンドによる複数セル同時修正
- (2) メニュー、キーボード、ファンクションキー、シンボルコマンドなどを用いた多入力方式
- (3) 階層設計のサポート
- (4) レイアウト設計中の論理回路図参照

レイアウト検証はこれまで、レイアウト設計完了後にバッチ処理で行われていた。しかし、レイアウト設計が完了した時点で設計ミスが発見された場合、膨大な修正作業を発生させることが多く、設計期間の長期化の大きな要因であった。本システムではオンラインで動作する設計検証ツールを持つ。すなわち、設計途中に設計中の一部のデータに対してのみレイアウトエ

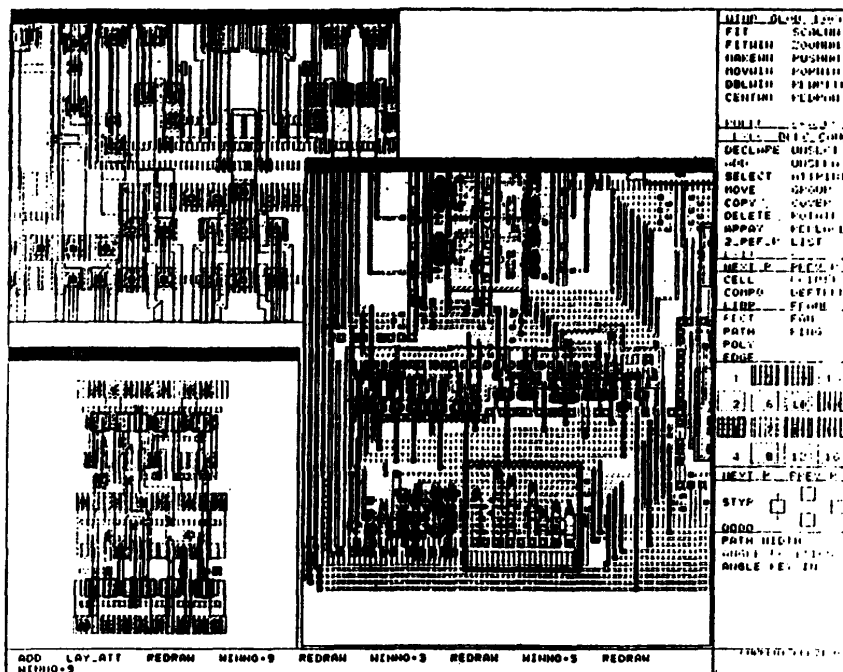


図4 レイアウトエディタ

Fig. 4 Layout editor.

ディタのコマンド形式でデザインルールチェック、電気的ルールチェック(図5)、レイアウトパラメータ抽出などの検証を高速に実行し、結果として得られた誤り箇所をグラフィックディスプレイに表示し、設計者に修正を促すものである。これにより、早期に設計誤りを発見修正でき、全体レイアウト完了後の詳細な検証時の誤り箇所を大幅に削減できる。

ここでは特に、ERC(電気的ルールチェック)について特徴を述べ、その性能評価を示す。

ERCは、従来、次の手順で処理される。

- (1) マスクデータ間の図形演算により、素子認識を行う。例えば、ポリシリコン層と拡散層の交差部分を見つけ、その部分をMOSトランジスタのゲートとする。
- (2) 次に、素子間の接続を抽出する。これは、図形間の接続関係を調べることで、全図形を等電位図形群(ノード)に分類し、ノード番号付けを行う。
- (3) 得られたノード番号をもとにして、ショート、オープンなどの電気的ルール検査を行う。

従来手法では、以上の処理がマスクデータに修正があるごとに、すべて行われる必要があり、膨大な処理時間を要していた。本システムでは、以下に示す実現方法を取ることで、大幅に高速化され、オンライン処

理が可能となっている。

- (1) 素子認識は、各コンポーネントの持つ素子情報を用いて行われ、図形演算を不要としている。
- (2) 接続抽出も、コンポーネントやセルの端子との間で行われ、一度得られた接続情報は、セルないしコンポーネントが修正されない限り、データベース中に記憶される。
- (3) 接続情報は、端子およびコンポーネント単位で記憶されているので、階層的に利用できる。

表1に、幾つかのセルに対して行った接続抽出の処理時間を示す。この表からわかるように、中規模のセ

表1 接続抽出の実験結果
Table 1 Experimental results of ERC.

コンポーネントより構成されるセルの場合	セルA	セルB
トランジスタ数	22	62
CPU TIME	0'21"27	1'41"14
子セルより構成されるセルの場合	セルC	セルD
ネット数	68	516
インスタンスセル数	28	440
CPU TIME	0'17"50	4'19"18

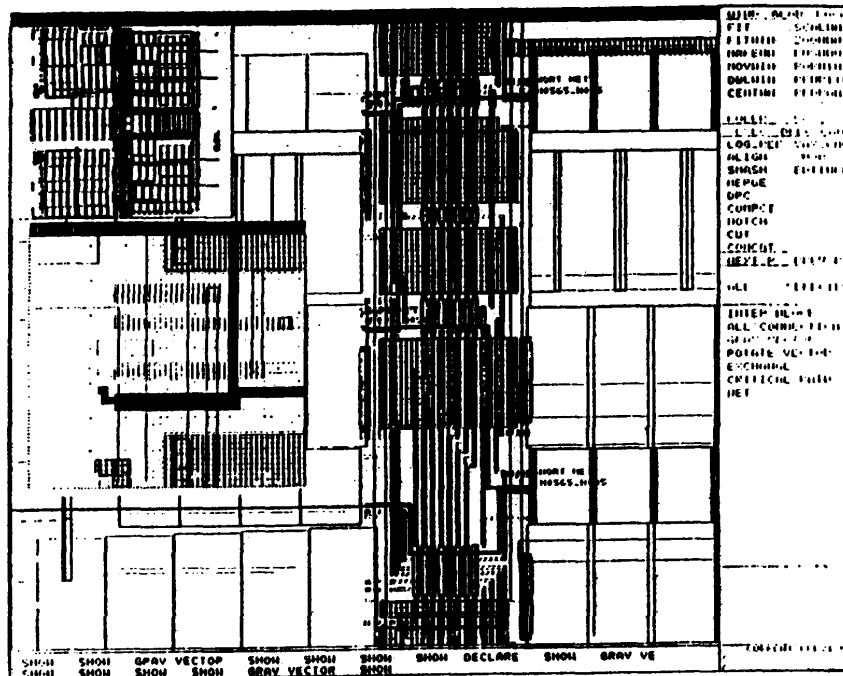


図5 オンラインERCの実行例
Fig. 5 Example of on-line ERC.

ルに対しても短時間で接続情報が得られ、オンライン化が可能となっていることがわかる。

4.2 中規模回路用レイアウトツール

(B)では、論理的に誤りのないレイアウト設計を短い期間で完成させることが要求される。本システムではこのために、扱えるシンボルやコンパクション手法を機能拡張したシンボリックレイアウト機能を有している。また、論理動作については、レイアウトパターンから接続情報、レイアウトパラメータを抽出し、これをゲート論理に変換し、論理シミュレーションを実行させることができる。設計者は波形で表示されたシミュレーション結果を確認するか、論理設計時に得られたシミュレーション結果と比較することで動作検証を行うことができる²⁾。

ここでは、特にレイアウトコンパクションについて、特徴を述べ、性能評価を行う。

従来、開発されたシンボリックレイアウト手法は、以下に示す理由から、実用化されたものは少ない。第1に、コンパクトにおいて、扱うことができるレイアウトデータが、マスク図形レベルのレイアウト設計に比較して、かなり制限されている。例えば、シンボルは形状が異なれば、新たに定義を必要とし、シンボル間の接続位置も、固定的に定められている。第2に、シンボリックレイアウトツールとマスクレベルのレイアウトツールが独立して存在し、両者間ではデータ変換が必要である。

これに対して、本システムのコンパクトは次のような機能拡張がなされている。

(1) Sコンポーネントへの対応

本コンパクトでは個々の素子をSコンポーネントを用いて定義することができる。コンパクションは配線以外のSコンポーネントに対しては識別し、大きさ、形状を変えない。これは素子の特性を保持するためである。

(2) 素子の認識

本コンパクトは、あらかじめ指定したコンポーネントの組み合わせに対して、特定の位置関係制約を設定することができる。例えば、トランジスタ素子をゲートコンポーネントと配線コンポーネントとの組み合わせで定義できるが、この場合、コンパクトは両者の相対位置関係を変えない。これによって、コンポーネントの重ね合わせによって、素子を構成するレイアウト設計に対しても、コンパクションを適用で

きる。これはテクノロジーファイルの記述に基づき、コンポーネント間で図形演算処理を行うことで実現される。

(3) マスクレベルの考慮

本コンパクトは、シンボリックレイアウトに対して適用するが、コンポーネント間のスペーシングや接続関係の判定は、実際のマスク図形の位置に基づいており、コンポーネント間の位置関係を与えるためのルールは、特に作成する必要がない。また、コンポーネント間の接続もマスクレベルの図形の重なりから、自動的に検出される。

(4) エディタに対する考慮

本コンパクトは、データベース中にコンパクション用の特別なデータを、加える必要がない。コンパクションの実行は子プロセスを生成して行われるため、実行中も他セルの編集が可能である。

表2に本コンパクトによるセル圧縮の例を示す。幾つかの機能拡張を行っているにもかかわらず、実験結果は短時間で高い圧縮率を示している。面積比は人手がオングリッドでシンボリックレイアウトを行ったサイズに対する比較である。

4.3 大規模回路用レイアウトツール

(C)では、自動レイアウトツールとしてスタンダードセル方式レイアウト用自動配置配線³⁾、マクロセル方式レイアウト用の自動配置配線などがあり、さらに階層的レイアウト設計を最適化するためにルールベースを用いたフロアプランニング機能が用意されている⁴⁾。

また、モジュール自動生成機能としてレイアウト記述言語 (LDL) を備えている。本システムのレイアウトデータを LDL 表現に自動変換したのち、座標値な

表2 コンパクションの実験結果
Table 2 Experimental results of layout compactor.

	データ1	データ2	データ3
データサイズ	MOS トランジスタ 16	MOS トランジスタ 22	マクロセル 4個 スタンダード セル 100個
コンパクション方向	下方向 +左方向	左方向 +下方向	上方向 +左方向
面積比	52.4%	46.0%	84.6%
処理時間	35'28	2'15"28	50'06"45

どの変数化を行った LDL 記述を作成し、それをモジュール自動生成機能のソースコードとするという機能である⁵⁾。

4.4 会話型自動配線

(A), (B), (C)の各場合に共通する問題として配線作業の効率化がある。一般に配線作業は単調で多くの時間を要する作業であり、特に遠距離配線を行う場合、折れ曲がり点の座標の確認、デザインルールへの考慮など入力編集が時間を要し、誤りが生じやすい。本システムではこうした人手による配線作業を支援する目的で会話型自動配線機能を実現している。

本機能は次のような会話型機能を装備している。

- ① 配線経路の指針となる中間点指定、
 - ② 設計者が意図する配線を選択可能とするための経路複数出力、
 - ③ 配線不可能な場合の探索済み領域表示、
 - ④ 2点間、点对ネット、ネット全体などの配線方法の選択、
 - ⑤ 1層、2層配線の選択、
 - ⑥ 配線経路改善機能
- などである。

特に、配線経路改善機能は、一般に、ネットごとに配線を順次行う場合、以前に行った配線が、次の配線

表 3 会話型配線の実験結果

Table 3 Experimental results of interactive router.

データ	障害物数	トランジスタ数	LSI の種類	CPU TIME (秒)
データ 1	7,324	10K	CMOS 8BIT CPU	8
データ 2	4,412	40K	CMOS 信号処理	35
データ 3	5,838	4K	I ² L コントローラ	2

時に障害となることがあるので、こうした事態を削減する目的で、配線済みの経路を設計者の指定する方向(上下左右)に、デザインルールの範囲で、最大限に移動させることができるものである。

自動配線は、次のような手法を用いている。人手設計の場合、マスクパターン中に斜めを含む任意形状の多角形を含むことが多い。そこで、本システムの会話型自動配線は、基本的にコンポーネント、セルを対象としているが、斜め図形が存在しても配線可能とするために、障害物との最小間隔を、探索領域中に存在するすべてのプリミティブを矩形に分解している。

配線アルゴリズムは、高速性と使用メモリへの考慮から線分探索法⁶⁾を採用している。処理の高速化と、遠回りの配線経路の発生を極力防ぐ目的で、探索領域、探索方向を段階的に制御している。すなわち、第1段階では始点終点を囲む最小矩形領域内でのみ経路探索を行い、経路が発見できない場合、順次この制限

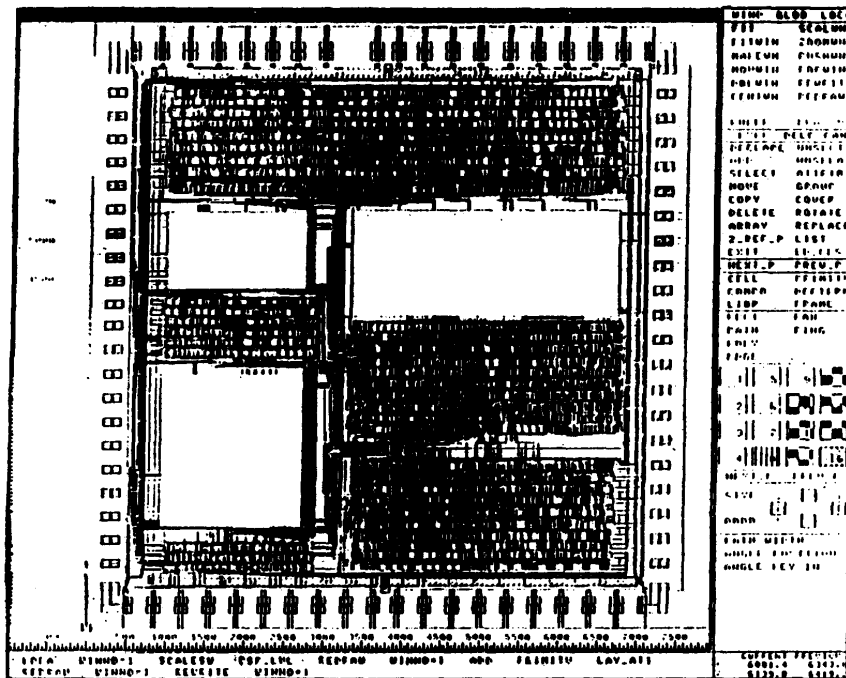


図 6 CMOS カスタム VLSI のレイアウト結果
Fig. 6 Layout example of CMOS VLSI.

を緩める方法を用いている。

表 3 に、幾つかのデータに対する経路探索時間を示しているが、結果は十分な高速性を示している。

5. システムの設計適用例

本システムは、実際に VLSI 設計に利用されており、設計の効率化、期間短縮に貢献している。

8ビットの CPU コア、ROM、RAM、信号処理機能ブロック (約1万ゲート) と入出力処理ブロックからなる CMOS カスタム VLSI の例では、多くのブロックのセルはシンボリック設計、ブロックおよびチップは自動配線によりレイアウト設計が行われ、得られた VLSI のチップサイズは、人手設計を行った場合の見積もりに比べ数%増大したが、セルライブラリ開発後のレイアウト設計期間は検証を含め約 1.2 カ月で完了することができた (図 6)。

バイポーラアナログ LSI のブロック設計への適用例として、トランジスタ数 25 個、抵抗数 11 個のテレビ用アナログスイッチで、以下の手順で設計された。

- (1) 論理回路設計支援システムを用いて、上記の回路が設計される (図 7)。
- (2) 論理回路データベースからレイアウトデータベースに素子および接続情報が自動変換される。ここで各素子是对应するレイアウトコン

ポーネントを変換時に指定されている。また、ネット情報は、レイアウトコンポーネント中の端子に信号名として与えられる。配置は回路図の相対配置を保存し、かつカレントミラー回路などを構成するトランジスタについては自動的に認識されグループ化され、隣接配置される。

(3) レイアウトコンパクションおよび配置改善が会話的に行われる。

(4) 素子間配線は会話型自動配線機能を用いて行われる。ネット全体の自動配線をまず行い、配線できない部分に対して会話型配線機能を用いて接続される。

本モジュール設計ではほぼ人手同等の面積を持つモジュールを約 1/2 のレイアウト設計期間で完了することができた。レイアウト結果を図 8 に示す。

6. おわりに

本システムは、データベースに図形情報以外に素子情報、端子情報などを持つことにより、会話型設計ツールと自動設計ツールの一体化を実現した。また、シンボリックレイアウトや会話型自動配線などにおいてマスク図形レベルでの接続、非接続などの考慮を付加し、デジタル LSI だけでなく、複雑なマスク図形を用いるアナログ LSI のレイアウト設計の自動化/効

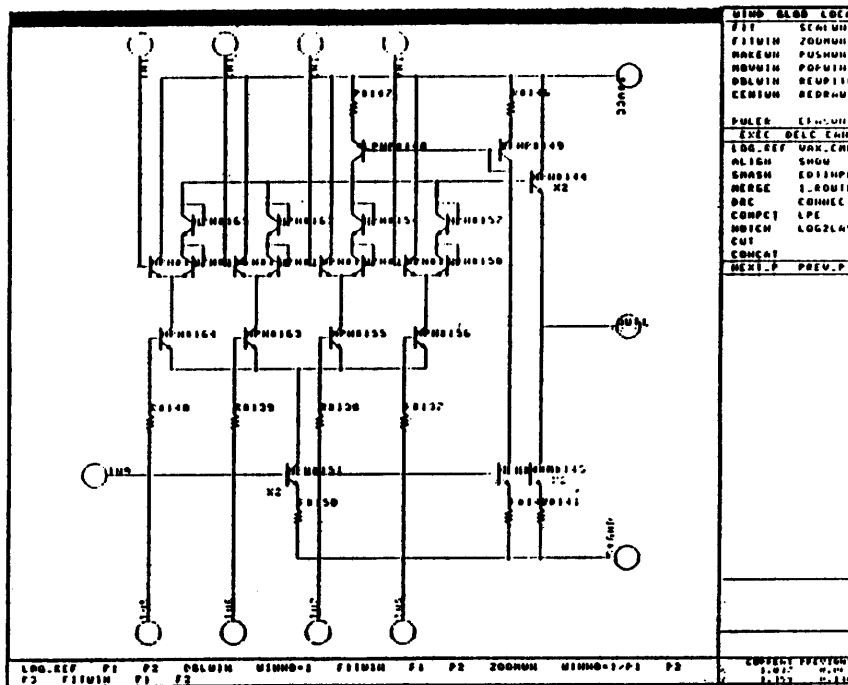


図 7 トランジスタ回路の例
Fig. 7 Example of transistor circuit.

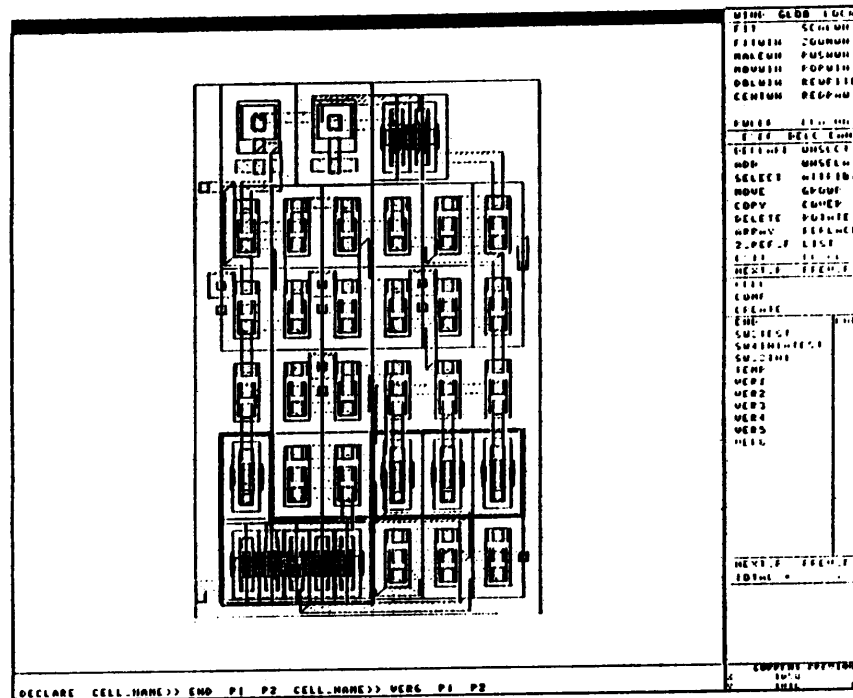


図 8 アナログモジュールのレイアウト例
Fig. 8 Layout example of analog module.

率化をも可能とした。本文では、レイアウト設計を総合的に支援するために開発した本システムの概略について述べた。また、実際に設計に適用した結果、本システムにより VLSI のレイアウト設計が従来の設計に対して、得られるレイアウト面積はほぼ同等で、レイアウト設計期間では、セル（マクロセルを含む）設計およびその検証において約 30~50%，チップ設計およびその検証において約 50~70%，全体として約 40~60% 削減できることがわかり、会話型設計に対して自動化ツールを結合させ、配線処理などを効率化したことや、オンライン検証により設計誤りに対する早い段階でのフィードバックを可能にしたことによる、設計効率化に対する本システムの有効性を確認した。

謝辞 本システムの開発のために尽力頂いたシャープ株式会社技術本部コンピュータシステム研究所第 2 研究室および IC 事業本部 IC 技術センター第 8 技術部の皆さんに心から感謝します。

また、本研究に多大なご指導、ご援助頂いた大阪大学工学部教授白川功先生に深謝します。

参 考 文 献

1) 平井: ASIC の展望, 電子情報通信学会誌, Vol. 71, No. 2, pp. 172-180 (1988).

- 2) 藤本, 山内, 西本, 神戸: 論理シミュレーションによるレイアウト検証, 昭和 62 年電子情報通信学会全国大会, pp. 2-147 (1987).
- 3) 神戸, 藤原, 岡田, 小嶋, 西岡: ビルディングブロック型スタンダードセル方式 LSI の自動レイアウトシステム SHARPS 2 について, 電子通信学会回路とシステム研究会資料, CAS 85-141 (1986).
- 4) Kambe, T. and Tomita, T.: A Floorplanning Scheme of VLSI Design, *Trans. IEICE*, Vol. E 71, No. 12, pp. 1236-1242 (1988).
- 5) 原嶋, 若林, 神戸, 重弘, 白川: C 言語によるレイアウト記述言語の一手法, 電子情報通信学会回路とシステム研究会資料, CAS 87-14 (1987).
- 6) Hightower, D. W.: A Solution to Line-routing Problems on the Continuous Plane, *Proc. 6th DA Workshop*, pp. 1-24 (1969).

(平成元年 5 月 25 日受付)

(平成 2 年 1 月 16 日採録)

**神戸 尚志 (正会員)**

昭和 26 年 6 月神奈川県生。昭和 51 年大阪大学工学部電子工学科卒業。昭和 53 年大阪大学大学院工学研究科電子工学専攻前期課程修了。同年 4 月シャープ(株)入社。現在、技術本部コンピュータシステム研究所第 2 研究室主任研究員。主として、VLSI の CAD 技法、特にレイアウト設計用 CAD に関する研究に従事。電子情報通信学会、IEEE コンピュータソサエティ各会員。

**谷 真宏 (正会員)**

昭和 30 年 4 月岡山県生。昭和 54 年大阪大学工学部電子卒業。昭和 56 年同大学院工学研究科電子工学専攻前期課程修了。同年シャープ(株)入社。現在、同社技術本部コンピュータシステム研究所第 3 研究室主任。LSI、プリント基板の CAD に関する研究に従事。IEEE、電子情報通信学会各会員。

**小嶋 格**

昭和 32 年 2 月兵庫県生。昭和 56 年神戸大学大学院工学研究科電気工学専攻前期課程修了。同年、シャープ(株)入社。現在、技術本部コンピュータシステム研究所第 3 研究室主任。LSI の CAD 技術研究を経て、現在、コンピュータネットワークの研究および構築に従事。電子情報通信学会各会員。

**富田 常雄 (正会員)**

昭和 35 年生。昭和 58 年山梨大学工学部計算機科学科卒業。同年シャープ(株)入社。現在技術本部コンピュータシステム研究所第 2 研究室に勤務。LSI のレイアウト CAD に関する研究・開発に従事。

**森本 清巳 (正会員)**

昭和 30 年生。昭和 52 年大阪市立大学工学部応用物理学科卒業。昭和 54 年同大学院修士課程修了。同年シャープ(株)入社。現在 IC 事業本部 IC 技術センター第 8 技術部勤務。レイアウト検証システム、スタンダードセル設計支援システム、機能設計支援システムなどの研究開発に従事。