

C-036

# 非同期式ネットワークオンチップの回路レベル検証技術の構築

## Design of a Circuit-Level Verification Environment for Asynchronous Network-on-Chip

松本 敦†      船崎智義†      鬼沢直哉†      羽生貴弘†  
 Atsushi Matsumoto   Tomoyosi Funazaki   Naoya Onizawa   Takahiro Hanyu

### 1. まえがき

近年、集積回路の微細化による性能向上の限界を打ち破る技術の一つとして、コア間の通信を共通バス方式ではなく、簡易ネットワークによるパケット転送で実現する NoC (Network on Chip)[1]が広く研究されており、特にコア間の通信部分を、要求、応答信号を用いたハンドシェイクプロトコルに基づく非同期式転送手法を用いた GALS-NoC (Globally Synchronous Locally Synchronous NoC)方式が注目を集めている[2].

しかしながら NoC の評価手法として現在までに提案されている手法は主として HDL による動作レベル、レジスタ転送レベルによる比較的上位のものであり、回路、トランジスタレベルでの動作速度、消費電力に関する詳細な評価を行なうための手法については整備が十分に行なわれていない。

本稿では、GALS-NoC を対象とした転送回路について動作時間、消費電力などの詳細な評価を回路、トランジスタレベルで行なうための手法を提案する。本手法では、GALS-NoC におけるコア、ルータ間の非同期通信を制御するためのモジュール、及び送信データ情報を格納したレジスタファイルを回路、トランジスタレベルで用意することにより、回路、トランジスタレベルでのシミュレーションが可能となる。本手法は、設計したルータや転送回路の詳細な評価を行なうことが可能であるというハードウェアシミュレーションの利点と、送信データ情報を任意で与えることが出来るというソフトウェアシミュレーションの利点の双方を兼ね備えた手法である。

また本手法は、外部からレジスタファイルに送信データ情報を与える形をとることもできるため、実際に設計した GALS-NoC の実チップ内に組み込むことで、動作確認を行なうことも可能である。

### 2. 背景

#### 2.1 ネットワークオンチップ

NoC は各 IP コアとそれに関連付けられたルータ、およびルータとバスによる簡易ネットワークから構成される。代表的な NoC の構成、2次元メッシュネットワーク型 NoC の構成を図 1 に示す。

NoC におけるコア間のデータのやり取りは、送信データを決められた単位に分割したパケットを送ることで行なわれる。また、ルータ以降のネットワーク上でのデータ転送時には、パケットをさらに小さいフリットという単位に分割して転送が行なわれる。

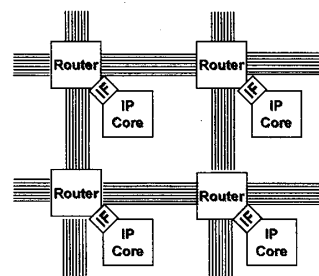


図 1: ネットワークオンチップ

#### 2.2 非同期式制御方式

非同期式制御方式とは、データの送信を行なうモジュールと受信を行なうモジュールとの間でハンドシェイクプロトコル、すなわち要求、応答信号のやり取りを行なうことでデータ転送を実現する制御手法である。

本稿で対象とする 2線 4相符号化方式は、送信するデータ自体が 1 ビットにつき 2 本の信号線を用いて符号化されており、受信側への符号語の到達が要求信号の到達となる。また、スペーサは送信データの区切りを表す。図 2 に 2線 4相符号化方式のタイミングチャートを示す。

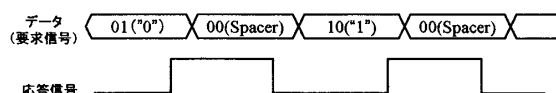


図 2: 2線 4相符号化方式

### 3. 提案手法

#### 3.1 提案する回路性能評価手法

本稿で提案する手法の全体図を図 3 に示す。提案する NoC 転送回路評価用回路は、ルータからの応答信号を受信してルータへフリットを送る送信回路 (図 3 中の Virtual Flit Sender) と、ルータからのフリットを受信してルータへ応答信号を送り返す受信回路 (図 3 中の Virtual Flit Receiver) からなる。各 IP コアに対応するルータ部分に以上の 2 つの回路を接続し、ハンドシェイクプロトコル、及び仮想的なフリット生成を行なうことにより、非同期式 NoC のネットワーク部分の動作のシミュレーションを実現することが可能となる。

#### 3.2 提案手法の回路レベル実現

##### ・送信回路詳細

送信回路のブロック図を図 4 に示す。

送信回路はレジスタファイル、2線符号化回路、及びマルチプレクサからなる。ルータからの応答信号が 0 の時は、マルチプレクサの出力として 2線符号化回路からの入力を

† 東北大学電気通信研究所

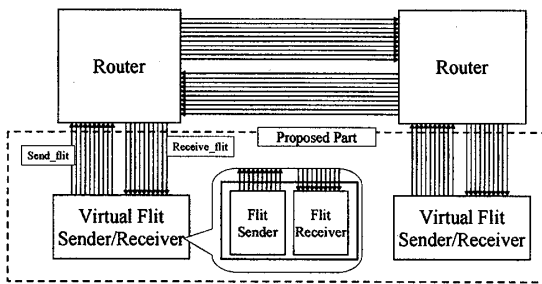


図3：提案回路全体図

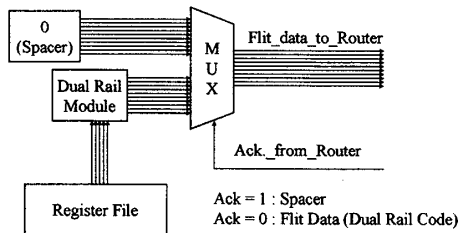


図4：送信回路

選択し、ルータにフリット情報を送信する。ルータからの応答信号が1の場合は、全てのビットを0、すなわちスペーサとする。また、この信号線の切り替わりと同期してレジスタファイルの参照先を切り替えることにより、異なるフリットデータの送信が可能となる。

・受信回路詳細

受信回路のブロック図を図5に示す。

受信回路は単純な待ち合わせ回路から構成され、ルータからの信号が正しい符号語になった段階でルータへの応答信号を1にし、ルータからの信号が全て0、すなわちスペーサになったら応答信号を0に立ち下げる。

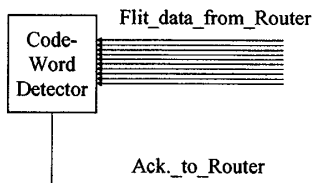


図5：受信回路

以上2種類のモジュールを組み合わせるにより、ハードウェアでのハンドシェイクプロトコル、及びフリットデータの切り替え、送信といった機能を実現することが可能となり、これによってGALS-NoCの回路、トランジスタレベルでの評価を行なうことができる。

4. 動作確認

提案手法による回路、トランジスタレベルでのシミュレーションを確認するためにルータの入力ビット数やネットワークの構成に関する情報を元に、送信回路、受信回路、及びレジスタファイルに与えるフリットパターンを自動的に生成するツールを実装した。

これらのツールを用いて生成されたモジュール群を用いた、HSPICEによるルータネットワークの転送シミュレーション波形を図6に示す。

図6の波形は上から順に送信回路のマルチプレクサの選択信号(図4のAck\_from\_Router)、マルチプレクサの出力信号(図4のFlit\_data\_to\_Router)、及び受信回路の応答信号(図5のAck\_to\_Router)を表す。なお、マルチプレクサの出力信号については、立上り区間が符号語、立下り区間はスペーサが出力されていることを示す。波形に現れているように送信側のデータが確定してから、受信側の応答信号が立ち上がり、それをトリガとして送信側のデータがスペーサに戻り、受信側の応答信号が立ち下がるというハンドシェイク動作が正しく行なわれていることが確認できる。

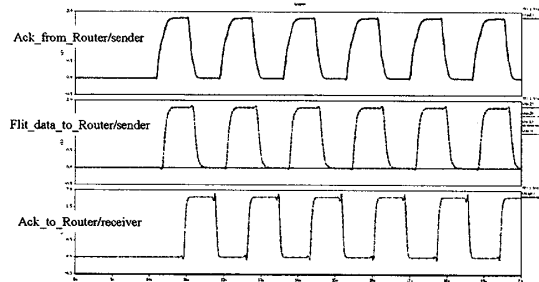


図6：シミュレーションによる波形

以上より、提案する評価回路を用いてGALS-NoC用に設計されたルータ、及び転送回路のシミュレーションが正しく行なわれていることを確認することができた。

5. 結論

本稿ではNoC用に設計された非同期式ルータ及び転送回路を素子レベルシミュレーションにて評価するための評価技術について提案した。本手法ではレジスタファイルに格納されたフリット情報を回路からの応答信号をトリガにして送出することにより、非同期転送のシミュレーションを実現している。また、実際のチップの動作確認用回路に適用することも可能である。

今後の課題としては、2種類の符号語を用いスペーサが存在しない、2色符号による非同期実現に対応したルータと転送回路を評価するための手法の検討を挙げることができる。一般に2色符号に関しては、符号語の切り替えの間にスペーサが存在しないため、制御がより複雑になると言われている。そのため、本稿で提案するマルチプレクサによる単純な切り替えでは実現は難しいと考えられるため、回路実現に関してさらに検討する必要がある。

**【謝辞】** 本研究は、科学技術振興事業団「JST」の戦略的基礎研究推進事業「CREST」における研究領域「ディペンダブルVLSIシステムの基盤技術」の研究課題「ディペンダブルネットワークオンチッププラットフォームの構築」の支援により行われたものであり、また、東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社の協力で行われたものである。

6. 参考文献

[1] A. Hemani, et al., Proc.IEEE NorChip Conf, 166/173, 2000.  
 [2] D. Lattard, et al., IEEE JSSC, 223/235, Jan. 2008.