

C-012

ポストシリコンデバッグにおける観測および制御回路挿入に関する一検討
 Note on Observation and Control Circuit Insertion for Post-Silicon Debug

田畑 嘉裕[†] 新井 雅之[†] 岩崎 一彦[†] 正田 剛史[‡]
 Yoshihiro Tabata Masayuki Arai Kazuhiko Iwasaki Takeshi Shoda

1. はじめに

半導体プロセスの微細化, 高集積化に伴い, マイクロプロセッサ/コントローラ, SoC, ASIC 等の論理 LSI において, 設計仕様ミス, 実装設計ミス, 設計検証不足, 設計マージン不足といった設計不良の問題が深刻化している. 実チップ作成前の設計検証を入念に行ったとしても, 実際に製造されたチップでは機能バグの 2%と回路バグの 50%が残存しているとの報告がある[1]. 論理 LSI の大規模化, 高速化に伴って, 開発および量産時に実チップで動作不良が生じた場合, その原因が製造不良か, 設計不良か, あるいは動作/測定環境の不備かの切分けが困難になっている. このため, 実チップのデバッグ・検証には多大な時間が必要となる.

本稿ではまず, 実チップ作成前後における設計検証と妥当性検証(実証)の相違について検討する. その後, 実チップに対するデバッグ容易化設計技術の概要について示す. SoC 向けデバッグ容易化設計ツールの適用事例についても報告する.

2. 実チップ作成前後における検証と実証

図 1 に SoC の開発フローの一例を示す. 開発フローは, セット側における仕様の作成から始まる. インプリ設計の段階では, システムレベル, RT レベル等の様々な階層で記述された仕様をより低い階層の設計データへ変換(合成)する. これら変換の前

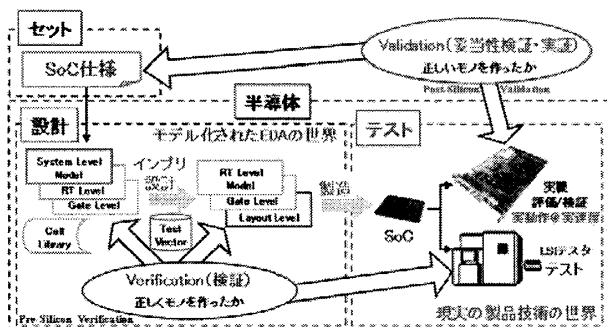


図1 SoC 開発フローにおける検証と実証

[†] 首都大学東京, Tokyo Metropolitan University
[‡] サイバネットシステム(株), Cybernet Systems Co., Ltd.

後での設計データの等価性の検証が設計検証であり, 機能/論理シミュレータやタイミング/形式検証ツールなどを用いて行われる. これらのツールは“正しくモノをつくったか”という検証(verification)を行うものであり, “正しいモノを作ったか”という妥当性検証(validation)までは行わない. また, これらの検証においては, IR-Drop やクロストークノイズなど, 実チップに発生しうる全ての動作不良の検出は困難である.

一方, 実チップ作成後には LSI テスタを用いて評価および選別を行うが, これも機能テストについては設計検証と同等である. すなわち, テストはパスしても実システム上で動作しない場合も存在する. 従って, 論理 LSI の実証には, 実システム上で, 実チップを実速度で動作させることが必要であると考えられる.

3. 実チップに対するデバッグ容易化設計

実機検証ではシミュレーションと異なり, 外部ピンによってのみ内部の信号線を観測/制御可能である. このため, デバッグ能力・効率が低いという大きな問題がある. そこで, 実チップに対するデバッグ用機構の搭載が検討されてきた. 従来のインサートキットエミュレータおよびオンチップデバッグによるデバッグは, マイクロコントローラの命令実行レベルに限定される. これに対して, SoC のデバッグにおいては, より細かいレベルの観測/制御機構が必要となる.

IEEE 1149.1 標準テストアクセスポート, バウンダリスキャン回路, および製造テスト用スキャン回路からなるオンチップデバッグハードウェアと, オフチップのデバッグ用ソフトウェアを組み合わせたデバッグ容易化設計 (Ddesign for Debug: DFD)方式が提案されており, SoC 実チップデバッグ用ツールも開発されている[2,3].

図 2 に, このツールによるデバッグ用ハードウェアを挿入した SoC の構成を示す[3,4]. デバッグ用ハードウェア(インストルメンツ)は以下の要素により構成される.

- SPN (Signal Probe Network)
- PTE (Programmable Trigger Engine)

- RLE (Reconfigurable Logic Engine)
- Tracer
- CapStim (Signal Capture/Stimulate)

PTE および RLE は内部信号の値をモニタし、指定された状態に達するとトリガ信号を出力する。Tracer および CapStim はトリガにより駆動され、内部信号の値を記録する。Capstim はさらに、内部メモリに保持するテストパターンを対象ブロックに印加することも可能である。これらのインストルメンツを組み合わせることによって、ロジックアナライザ機能、アサーションチェック、テストパターン印加および応答観測、性能モニタ、内部状態スナップショットなどのデバッグ機能が提供される。

4. 適用事例

表 1 に、3 節で示した SoC 用 DFD ツールの適用事例を示す [4]。デバイス A の開発では、シリアル ATA の IP コアのリンク・トランスポート・物理の各層のブロックのシステム内検証が行われた。異なるクロックドメイン内の複数の IP ブロックがデバック対象となり、SPN, PTE, CapStim の各インストルメンツが4個ずつ実装された。

デバイス B は ARM926 のプラットフォーム SoC である。挿入されたインストルメンツを用いてロジックアナライザ機能が実現され、画像処理ブロックにおける設計バグの検出・原因特定の一助となった。

65nm の新プロセスへの移行による SoC エコシステム開発となるデバイス C での目的は、実チップ作成後のデバック・検証の困難さの軽減策を精査することであった。ARM コアは ETM

(Embedded Trace Macrocell) および ETB (Embedded Trace Buffer) などの命令レベルデバック能力を有するが、DFD ツールの適用によってより細かいレベルでの解析が可能となる。インストルメンツによる故障注入機能を用い、キャッシュメモリのソフトウェアエラーに対するフォールトトレランス機構の検証がなされた。

デバイス D は、HDTV 用コントローラの量産品である。インストルメンツはまず FPGA プロトタイプに実装され、そのまま SoC にも実装された。チップ外にリアルタイムストリーミングを出力する LVDS インターフェースにも SPN を接続し、デバック可能とした。ロジックアナライザ機能とアサーションにより、二件の機能バグが検出された。

5. まとめ

実チップのデバック容易化設計についての検討を行った。チップ作成前後における検証の相違について検討した。また、実チップに対するデバック容易化設計技術の概要について示した。SoC 向けデバック容易化設計ツールの適用事例から、デバック容易化設計の適用の有効性が示された。

参考文献

- [1] R. Gray, "Post-Si Validation Experience: History, Trends, and Challenges," GSRC Workshop on Post-Silicon Validation, June 2008.
- [2] B. Vermeulen and S. K. Goel, "Design for Debug: Catching Design Errors in Digital Chips," IEEE Design & Test of Comput., Vol. 19, No. 3, pp. 37-45, May/June 2002.
- [3] M. Abramovici, "In-System Silicon Validation," IEEE Design & Test of Comput., Vol. 25, No. 3, pp. 216-223, May/June 2008.
- [4] 正田剛史, 楠大八郎, "論理LSI実チップのデバック能力強化策," 第28回LSIテストシンポジウム, 2008年11月.

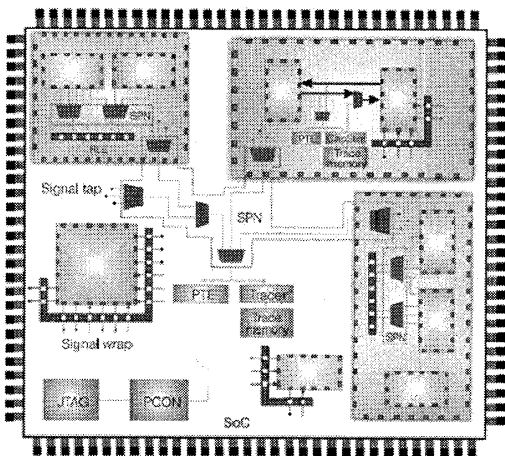


図2 デバック用ハードウェアを実装した SoC の例

表 1 SoC 用 DFD ツール適用事例

大項目	小項目	デバイスA	デバイスB	デバイスC	デバイスD
デバイス仕様	機能	Serial ATA コントローラ	ARM SoC プラットフォーム	プロセッサ 集合体	デジタルTV 制御
	プロセス	90nm	90nm	65nm	90nm
	ゲート数	2Mゲート	2Mゲート	1Mゲート	4Mゲート
	クロックドメイン数	8個	2個	2個	21個
	最大動作周波数	300MHz	266MHz	300MHz	400MHz
	内蔵マイコン	NA	ARM9	ARM9	MIPS
インストルメンツ仕様	観測する信号数	744本	1,350本	3,030本	4,680本
	PTEの数	14個	1個	1個	1個
	トレースバッファの大きさ(SRAM)	2KW x 36bit	4KW x 64bit	2KW x 132bit	2KW x 44bit
	制御する信号数	1,230本	218本	512本	NA
	CapStimの数	4個	NA	1個	NA
パタンバッファの大きさ(SRAM)	2KW x 36bit	NA	256W X 32bit	NA	