

多軸制御パルスの生成に関するシステム構成の評価

The evaluation for pulse generation system of multi axis control

阿部 高也† 土屋 秀和‡ 浅川 毅†

Takaya Abe† Hidekazu Tsuchiya‡ Takeshi Asakawa†

1. まえがき

近年、半導体製造装置や加工装置、電子部品製造装置などの基板産業分野やロボット分野に於いて、多軸コントロールシステムが用いられている[1]。従来、これらの多軸コントロールシステムのコントローラには、PC や DSP, MPU などが広く用いられてきた。しかし、これらの方法では軸数の増加に伴う処理時間の増加が問題であった。この問題を改善する一構成法として FPGA と MPU を用いた多軸コントロールシステムが報告されている[2]。本稿では多軸制御に用いる制御パルスの生成に注目し、処理時間とハードウェア量についてシステム構成の評価を行った。

2. 多軸コントロールシステム

評価に用いた多軸コントロールシステムの構成を Fig.1 に示す。2 軸 XY 制御器には、アクチュエータとしてリニアモータが X 軸及び、Y 軸に配置され、モータドライブユニットによってドライブされる。モータドライブユニットは多軸コントローラにより生成される制御パルスによって制御され、1 周期の制御パルスは 2 軸 XY 制御器の 1 軸を 1 ステップ移動させ、周期を可変する事で速度制御を行う。多軸コントローラは MPU と FPGA が搭載され、制御パルスを生成するシステムを自在に構成することができる。Table1 に多軸コントローラの制御パルスの生成に関わる主要デバイスを示す。

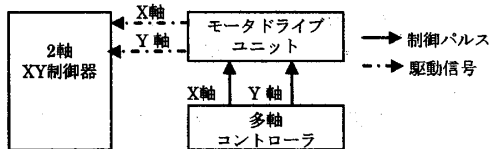


Table1 制御パルス生成に関する主要デバイス

品名・型番	主な仕様
MPU (SH7084)	周辺クロック 80MHz : 内部クロック 40MHz 32bit マイクロコンピュータ
FPGA (XC3S500E)	最大動作周波数 160MHz Slice 数 9312
SRAM (R1LV1616HSA)	メモリ容量 32MB : データ幅 16bit アクセスタイム 50ns

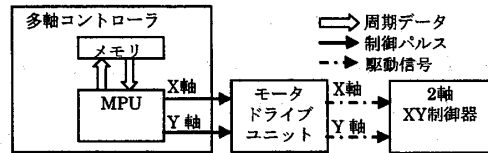
2.1. 制御パルス発生システムの概要

多軸コントローラの制御パルス発生システムとして、MPU 単体で構成したシステムと MPU と FPGA で構成したシステムについて比較、評価を行った。両システムの制御パルス発生方法について概略を記す。

2.1.1. MPU 単体で構成したシステム

MPU 単体で構成したシステムを Fig.2 に示す。MPU は要求された移動ベクトルの始点、終点、速度をもとに移動に必要な制御パルスのサイクル数と、サイクル数分の周期データ

ータを計算し、あらかじめメモリへ格納する。制御パルス生成時に、MPU は 1 サイクル分の周期データをメモリから読み込み、MPU に内蔵されているマルチファンクションタイマパルスユニットにデータを転送する。マルチファンクションタイマパルスユニットは、内部クロックに同期したカウンタが、転送された値と同値になった場合に、割り込み処理が発生するモジュールである。割り込み処理によって生成された制御パルスはモータドライブユニットへ伝達される。これにより、2 軸 XY 制御器の 1 軸が 1 ステップ移動する。これらを繰り返すことで XY 制御器を始点から終点まで移動させる。このように、MPU 単体で構成したシステムは割り込み処理によるオーバーヘッド処理時間をパルス生成に必要とする。



2.1.2. MPU と FPGA で構成したシステム

MPU と FPGA で構成したシステムを Fig.3 に示し、1 軸分の FPGA 内の回路構成を Fig.4 に示す。MPU 単体で構成したシステムと同様に、あらかじめ周期データはメモリに格納される。パルス生成時には、FPGA がメモリコントロール部を介して周期データをメモリから読み込み、FPGA 内のパルス発生部へ転送する。ここで、メモリコントロール部は、パルス発生部を制御する制御ロジックを持つ。パルス発生部はメモリコントロール部からの制御信号によって制御パルスを生成し、モータドライブユニットへ出力する。順次繰り返すことにより、2 軸 XY 制御器を移動させる。このシステムでは、制御パルス生成時間は FPGA の回路構成で決定される。さらに、FPGA 内の回路ブロックの並列動作によって、多軸制御に対応可能である。

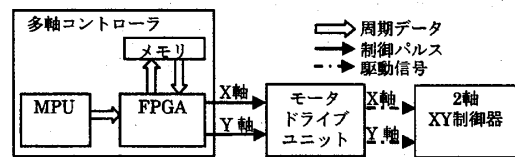
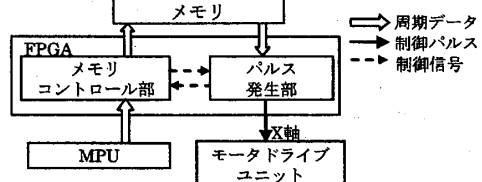


Fig.3 MPU と FPGA で構成したシステム



†東海大学工学研究科情報通信制御システム工学専攻
‡東海大学連合大学院理工学研究科総合理工学専攻電気・電子コース

3. 制御パルス生成処理時間の評価

2.1.で示した両システムについて、1軸分の1サイクルの制御パルス生成処理時間を見積もりTable2に示す。制御パルス生成処理時間は1サイクルの制御パルスの生成に必要なクロック数とクロック周波数より算出した。Table2におけるオーバーヘッド処理時間は、MPU単体で構成したシステムの場合は、割り込み処理時間とメモリアクセス時間の合計になるが、FPGAとMPUで構成したシステムでは、メモリアクセス時間のみとなる。評価結果より、FPGAとMPUで構成したシステムはMPU単体で構成したシステムに比べ、オーバーヘッド以外の処理時間は約21%、オーバーヘッド処理時間は約3.2%、制御パルス生成処理時間は約25%にそれぞれ縮小した。

Table2 1サイクルの制御パルスを生成処理時間

	制御パルス生成処理時間[ns]	処理時間の内訳	
		オーバーヘッド処理時間[ns]	オーバーヘッド以外の処理時間[ns]
MPU単体で構成したシステム	3212.5	3125	87.5
FPGAとMPUで構成したシステム	118.45	100	18.45

4. FPGAとMPUで構成したシステムの評価

3の評価において優位であったMPUとFPGAで構成したシステムを、多軸制御への拡張を想定しFPGA内のハードウェア量と制御パルス生成処理時間について、メモリの増設の有無に分けて評価を行った。メモリの増設を行う場合は、1軸追加ごとに1つのメモリを追加した。1軸分のハードウェア量をメモリコントロール部とパルス生成部に分け、Xilinx社製ISE9.2iの論理合成結果のSlice数で求めた。この結果を元に、2軸から5軸におけるハードウェア量の見積もりを行った。メモリの増設を行わない場合のハードウェア増加量は、パルス発生部(181Slice)と、メモリコントロール部の1軸あたりのパルス発生部の制御に必要なロジック(8Slice)である。メモリの増設を行う場合のハードウェア増加量は、パルス発生部(181Slice)とメモリコントロール部(154Slice)である。このとき、軸数を n 、 n 軸におけるハードウェア量を HW_n 、1軸のハードウェア量を HW_1 、1軸あたりのハードウェア増加量を Δs とすると(1)式が求まる。

$$HW_n = n \times \Delta s + (HW_1 - \Delta s) \dots (1)$$

$$\Delta s = 181 + 8 \text{ [Slice]} \dots \text{メモリ増設無し}$$

$$\Delta s = 181 + 154 \text{ [Slice]} \dots \text{メモリ増設有り}$$

さらに、各軸における制御パルス生成処理時間の見積もりを行った。メモリの増設を行わない場合の制御パルス生成処理時間の増加量は、メモリアクセス時間(100ns)となる。メモリの増設を行う場合の制御パルス生成処理時間の増加量は、軸ごとに制御回路を並列に動作させるため、増加は無い。このとき、軸数を n 、制御パルス生成処理時間を T_n 、1軸の制御パルス生成処理時間を T_1 、制御パルス生成処理時間の増加量を Δt とすると、(2)式が求まる。

$$T_n = n \times \Delta t + (T_1 - \Delta t) \dots (2)$$

$$\Delta t = 100 \text{ [ns]} \dots \text{メモリ増設無し}$$

$$\Delta t = 0 \text{ [ns]} \dots \text{メモリ増設有り}$$

見積もり結果をTable3およびFig.5に示す。これらの結果は、軸数の増加に伴う制御パルス生成処理時間の増加を抑えるために、メモリ増設が必要である事を示している。メモリの増設に関しては、FPGA内のハードウェア量の増加に加え、メモリ自身のハードウェア量も必要となる。

Table3 軸数に対するハードウェア量と制御パルス生成処理時間

			軸数				
			1	2	3	4	5
メモリ増設無し	ハードウェア量 [Slice]	パルス発生部	181	362	543	724	905
		メモリコントロール部	154	160	166	172	178
		合計	335	522	709	896	1083
	制御パルス生成処理時間[ns]	118	218	318	418	518	
メモリ増設有り	ハードウェア量 [Slice]	パルス発生部	181	362	543	724	905
		メモリコントロール部	154	308	462	616	770
		合計	335	670	1005	1340	1675
	制御パルス生成処理時間[ns]	118	118	118	118	118	

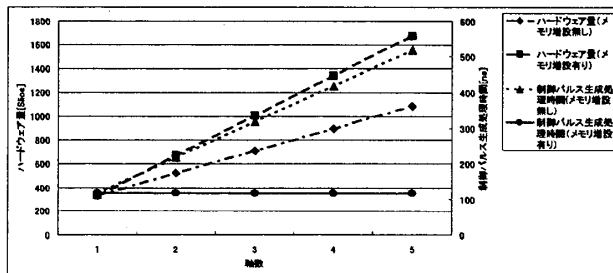


Fig.5 軸数に対するハードウェア量と制御パルス生成処理時間

5. むすび

本稿では多軸制御に用いる制御パルスの生成に注目し、MPU単体で構成したシステムとMPUとFPGAで構成したシステムについて制御パルス生成処理時間について評価を行った。その結果、MPUとFPGAで構成したシステムはMPU単体で構成したシステムと比べ、制御パルス生成処理時間が約25%に縮小した。また、MPUとFPGAで構成したシステムの評価では、メモリの増設が多軸制御における制御パルス生成処理時間を抑える有効な手法である事を示している。一方、そのトレードオフとして制御部とメモリ自身のハードウェア量の増加が挙げられる。今後の課題としては、2軸以上の多軸制御システムを構成し、実測評価を行う。

文献

- [1] 田野 誠, 高偉, 清野 慧, 富田 良幸, 佐々木 卓也, 牧野 健一, 森田 洋, 平田 徹: Sawyer モータの精密位置決めに関する研究—サーフェスエンコーダを用いた位置決めシステムの提案—, 2004 年度精密工学会秋季大会学術講演会講演論文集, pp801-802, 2004
- [2] 石井 恵奈, 桂 誠一郎, 西 宏章, 大西 公平: FPGAを用いた多自由度バイラテラル鉗子ロボットシステムの構築, 電気学会論文誌D (産業応用部門誌), No.127, p508-517, 2007