

# フラッシュメモリを用いた大容量SSDのための 2段階誤り制御符号

Two-Level Error Control Coding for High-Capacity SSD using Flash Memories

金子晴彦\*  
Haruhiko Kaneko松坂拓哉\*  
Takuya Matsuzaka藤原英二\*  
Eiji Fujiwara

## 1 はじめに

フラッシュメモリの急速な大容量化に伴い、ハードディスクドライブ (HDD) の代替として、フラッシュメモリにより構成されるソリッドステートドライブ (SSD) が製品化されている。SSD は HDD と比較して消費電力が少なく、また耐衝撃性が高いことから、モバイル機器への適用に適している。HDD 及び SSD の仕様の例を表 1 に示す。フラッシュメモリ素子の容量は一般に数ギガビット程度であることから、SSD は複数のメモリ素子を用いて構成される。本稿では、大容量 SSD の誤り特性について述べ、高信頼化に有効な 2 段階誤り制御符号を提案する。

表 1 SSD 及び HDD の仕様の例

	SSD [1]	HDD [2]
サイズ	2.5インチ	2.5インチ
記憶容量	64GB	80GB
重量	96g	95g
読み出し速度	150MB/s	83MB/s
書き込み速度	47MB/s	83MB/s
平均アクセス時間	0.11ms	13ms
消費電力 (R/W)	1.0W	1.8W
耐衝撃性	1000G/0.5ms	200G/1.0ms

## 2 フラッシュメモリの構成と大容量ソリッドステートドライブ (SSD) における誤りの特性

SSD において一般に用いられている NAND 型フラッシュメモリは、図 1 に示すようなページ構成を有する [3]。ここで、メモリの記憶領域は  $M$  ページに分割され、各ページは  $n \times b$  ビットを有する 2 次元配列で表現される。よって、メモリの記憶容量は  $M \times n \times b$  ビットである。各ページは情報を記憶するための情報部と、誤り制御符号の検査ビットを記憶するための検査部からなる。情報部及び検査部の大きさはそれぞれ  $k \times b$  ビット及び  $r \times b$  ビットである。例えば、4Gb のフラッシュメモリは、 $k = 2048$  ビット、 $r = 64$  ビット、 $b = 8$  ビット、 $M = 256K$  ページとすることにより構成できる。

フラッシュメモリセルでは、浮遊ゲートに電荷を蓄えることにより情報を記憶するため、浮遊ゲートにおける電荷量の変動などにより記憶している情報に誤りが生じ

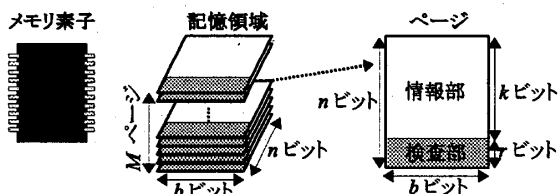


図 1 NAND 型フラッシュメモリの構成

\*東京工業大学 大学院情報理工学研究所

る場合がある [4]。このような誤りを訂正・検出するため、各ページの情報部を符号化するための誤り制御符号として、一般に Hamming 符号や BCH 符号 [5] が用いられている。

フラッシュメモリを用いた SSD を大容量化するための手法として、メモリ素子の製造プロセスの微細化、多値レベルセルの採用、等によりメモリ素子の記憶容量を大きくする手法、及びメモリ素子数を増やしてドライブの記憶容量を大きくする手法が考えられる。しかし、これらの手法は信頼性の観点から以下のような問題を有する。

- 製造プロセスの微細化に伴い、ノイズや放射線等に対する耐性が低下し、ソフトエラーの発生が増加する。
- 多値レベルセルを用いることにより閾値電圧の間隔が狭くなり、読み出し値に誤りが発生する [6]。
- メモリ素子の数を増やすことにより、装置全体での故障率が上昇する。すなわち、メモリ素子の故障率を  $p$  とすると、 $N$  個のメモリ素子を用いた装置の故障率は  $1 - (1 - p)^N$  となる。メモリ素子が故障した場合、ページ内のデータはすべて消失する。

大容量 SSD における誤りの特性を図 2 に示す。このことから、大容量 SSD に対する誤り制御符号として、従来よりも多数のランダム誤りを効率的に訂正し、かつメモリ素子の故障による消失データを復元できる能力を有する符号が有効である。

## 3 大容量 SSD に対する 2 段階誤り制御符号

SSD は、データを記憶するための  $N - 1$  個のメモリ素子と、これらの素子に対するパリティ検査ビットを記憶するためのメモリ素子を有するものとし、これに対し 2 段階誤り制御符号を適用する手法を提案する。すなわち、図 3 に示すように、 $N$  個のメモリ素子から出力される  $N$  ページのグループをクラスタと称し、各ページに対してランダムビット誤り訂正符号  $C$  を適用するとともに、クラスタに対して単一消失訂正パリティ検査符号を適用する。図 3 において、 $D_i (i \in \{0, 1, \dots, N - 2\})$  はページ内における  $kb$  ビットの情報部を示す。また、符号  $C$  の情報長は  $K = kb$  ビット、検査長は  $R \leq rb$  ビット、符号長は  $N = K + R$  ビットである。

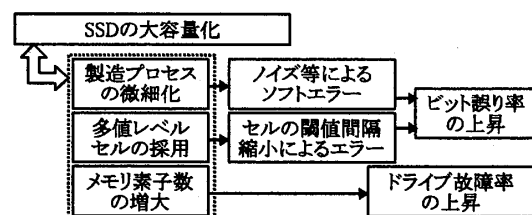


図 2 大容量 SSD における誤りの特性

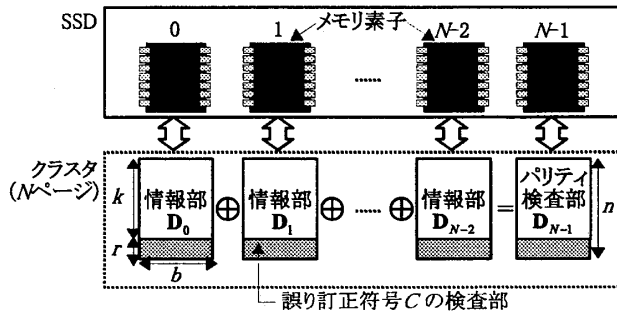


図3 2段階誤り制御符号を用いた符号化

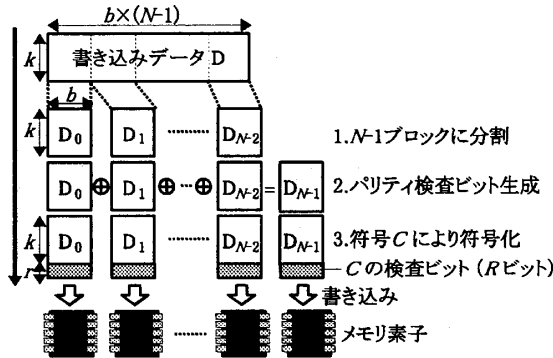


図4 符号化手順

3.1 符号化手順

書き込みデータを2元  $k \times b(N-1)$  行列  $D$  とおく。ここで、書き込みデータ  $D$  のサイズはクラスタにおける情報部のサイズと同一である。データ  $D$  の書き込み手順は以下のとおりである。

1. 書き込みデータ  $D$  を  $N-1$  個のブロックに等分割し、 $D = (D_0, \dots, D_{N-2})$  とする。ただし、 $D_i$  ( $0 \leq i \leq N-2$ ) は  $k \times b$  行列である。
2. パリティ検査ビットを  $D_{N-1} = D_0 \oplus \dots \oplus D_{N-2}$  とおく。ただし、 $D_{N-1}$  は2元  $k \times b$  行列であり、 $\oplus$  は2元行列の  $GF(2)$  上での加算を示す。
3. すべての  $i \in \mathbb{Z}_0^{N-1} = \{0, 1, \dots, N-1\}$  について、 $D_i$  を符号  $C$  により符号化し、 $(k+r) \times b$  ビットを有する符号語  $U_i$  を得る。
4. すべての  $i \in \mathbb{Z}_0^{N-1}$  について、 $U_i$  を第  $i$  番目のメモリ素子へ書き込む。

符号化手順を図4に示す。

3.2 復号手順

メモリ素子から読み出した  $N$  ページからなるクラスタを  $U' = (U'_0, \dots, U'_{N-1})$  とおき、このクラスタに対する誤り検出ベクトルを  $F = (f_0, \dots, f_{N-1}) = (0, \dots, 0)$  と初期化する。ただし、 $i \in \mathbb{Z}_0^{N-1}$  に対して、 $U'_i$  は2元  $(k+r) \times b$  行列である。クラスタ  $U'$  に存在する誤りを訂正するための復号手順は以下のとおりである。

1. すべての  $i \in \mathbb{Z}_0^{N-1}$  について、 $U'_i$  を符号  $C$  により復号し、復号結果を  $\tilde{U}_i$  とおく。ただし、符号  $C$  により訂正不可能な誤りを検出した場合は、 $\tilde{U}_i = U'_i$  とおき、 $f_i = 1$  とする。

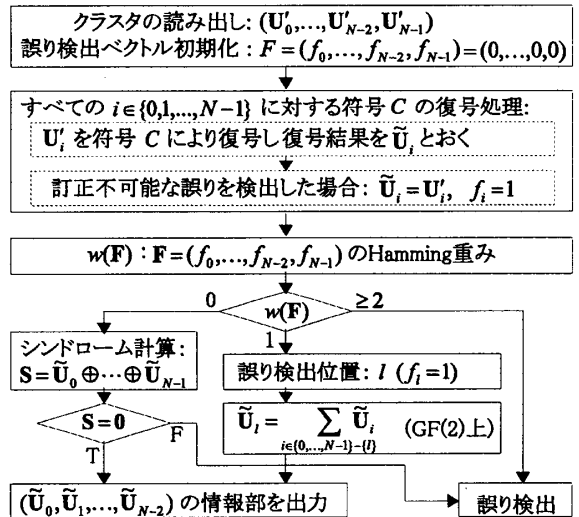


図5 復号手順

2. 誤り検出ベクトル  $F$  の Hamming 重み  $w(F)$  を求め、以下の処理を行なう。

- (i)  $w(F) = 0$  の場合: シンドロームを  $S = \tilde{U}_0 \oplus \dots \oplus \tilde{U}_{N-1}$  とおく。シンドローム  $S$  が全零であれば  $(\tilde{U}_0, \dots, \tilde{U}_{N-2})$  の情報部を出力して終了する。それ以外の場合は、誤りを検出して終了する。
- (ii)  $w(F) = 1$  の場合: 誤りが検出されたメモリ素子の位置を  $l$  とする。すなわち、 $f_l = 1$  であり、 $i \in \mathbb{Z}_0^{N-1} - \{l\}$  に対して  $f_i = 0$  であるとする。 $\tilde{U}_l$  を以下の式により計算する。

$$\tilde{U}_l = \sum_{i \in \mathbb{Z}_0^{N-1} - \{l\}} \tilde{U}_i$$

ただし、 $\sum$  は  $GF(2)$  上の和を示す。最後に  $(\tilde{U}_0, \dots, \tilde{U}_{N-2})$  の情報部を出力して終了する。

- (iii)  $w(F) \geq 2$  の場合: 誤りを検出して終了する。

復号手順を図5に示す。

3.3 スペア素子を用いた消失データの回復

SSD 内部にスペアのメモリ素子を用いることにより、素子故障による消失データを回復することができる。 $N$  個のメモリ素子のうち第  $l$  番目の素子が故障し、ページ  $U_l$  のデータが消失したと仮定する。故障素子以外の  $N-1$  素子から読み出したページの組を  $(U'_0, \dots, U'_{l-1}, U'_{l+1}, \dots, U'_{N-1})$  とおく。このとき消失したページ  $U_l$  は以下の手順により回復する。

1. すべての  $i \in \mathbb{Z}_0^{N-1} - \{l\}$  について、 $U'_i$  を符号  $C$  により復号し、復号結果を  $\tilde{U}_i$  とおく。ただし、符号  $C$  により訂正不可能な誤りを検出した場合は、消失データの復元は不可能であるから終了する。
2. 以下の式により消失データ  $U_l$  を復元する。

$$U_l = \sum_{i \in \mathbb{Z}_0^{N-1} - \{l\}} \tilde{U}_i$$

表2 評価に用いる符号Cのパラメータ

符号	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>
ページサイズ	b=8, k=2048, r=64		
分割数 w	1	4	8
k'	16384	4096	2048
BCH符号 r'	510	117	60
t	34	9	5
符号語の構成	情報部 16384ビット 検査部 60ビット	情報部 4096ビット 符号語 117ビット 検査部	情報部 2048ビット 符号語 60ビット 検査部

3. 復元したデータ U<sub>i</sub> をスベア素子に書き込む。

4 評価

4.1 ランダムビット誤り訂正能力

提案した2段階誤り制御符号のランダムビット誤りに対する訂正能力を評価するため、以下の確率を求める。  
 正復号率 P<sub>C</sub>: クラスタが正常に復号される確率。すなわち復号後のクラスタと書き込んだクラスタが一致する確率。

誤り検出率 P<sub>D</sub>: クラスタの復号時に誤りを検出し、正しいクラスタが得られない確率。

誤訂正率 P<sub>E</sub>: 復号後のクラスタが書き込んだクラスタと一致せず、かつ誤り検出もされない確率。

上記の定義より P<sub>C</sub> + P<sub>D</sub> + P<sub>E</sub> = 1 である。

以下の評価では、符号Cとしてtビット誤り訂正BCH符号を用いる。ただし、フラッシュメモリのページサイズは一般に2KB程度であるため、符号Cとして単一の符号を用いると復号回路量が増大する可能性がある。例えば、符号長 n' = 17194 ビットを有する t' = 102 ビット誤り訂正 BCH 符号の復号回路を、0.13 μm CMOS 回路で実装した場合、回路面積は 2.14 mm<sup>2</sup>、遅延は 40.2 μs、スループットは 1.6 Gbps となる [7]。

復号回路量の削減が必要となる場合を考慮し、ページの情報部を w 個に分割してそれぞれに BCH 符号を適用する場合についても評価する。ここで、BCH 符号の情報長を k' ビット、検査長を r' ビット、符号長を n' = k' + r' ビットとする。ただし、k'w ≥ K = kb かつ r'w ≤ R = rb である。以下では符号Cとして、表2に示す3種の符号 C<sub>1</sub>, C<sub>2</sub> 及び C<sub>3</sub> を用いる。

フラッシュメモリ素子におけるランダムビット誤りの発生確率を ε とする。符号長 n' ビット、検査長 r' ビットを有する t ビット誤り訂正 BCH 符号について、受信語を正しく復号する確率 P<sub>C</sub><sup>BCH</sup>、誤りを検出する確率 P<sub>D</sub><sup>BCH</sup>、及び受信語を誤訂正する確率 P<sub>E</sub><sup>BCH</sup> はそれぞれ以下の式により与えられる。

$$P_C^{BCH} = \sum_{i=0}^t \binom{n'}{i} \epsilon^i (1-\epsilon)^{n'-i}$$

$$P_D^{BCH} \simeq (1 - P_C^{BCH}) \times \left(1 - \frac{\sum_{i=0}^t \binom{n'}{i}}{2^{r'}}\right)$$

$$P_E^{BCH} \simeq (1 - P_C^{BCH}) \times \frac{\sum_{i=0}^t \binom{n'}{i}}{2^{r'}}$$

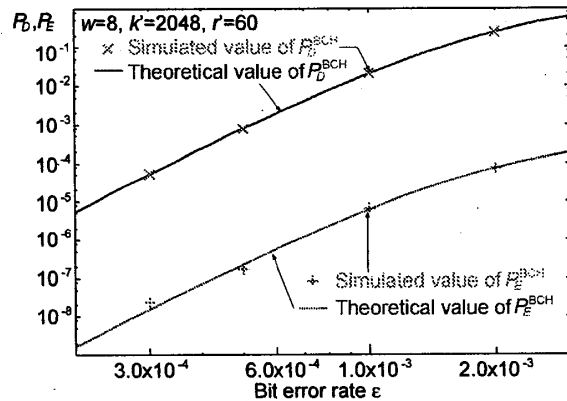


図6 BCH符号の誤り検出率 P<sub>D</sub><sup>BCH</sup> と誤訂正率 P<sub>E</sub><sup>BCH</sup>

ただし、P<sub>D</sub><sup>BCH</sup> 及び P<sub>E</sub><sup>BCH</sup> の値は、受信語に訂正不可能な誤りが存在するとき、受信語のシンδροームはシンδροーム空間上に均一に分布するという仮定 [5] の下での理論値である。BCH 符号の誤り検出率 P<sub>D</sub><sup>BCH</sup> 及び誤訂正率 P<sub>E</sub><sup>BCH</sup> について、上記の理論値と計算機シミュレーションによる値の例を図6に示す。ここで、BCH 符号は符号長 n = 2108 ビット、検査長 60 ビットを有するランダム5ビット誤り訂正符号である。図6より、P<sub>D</sub><sup>BCH</sup> 及び P<sub>E</sub><sup>BCH</sup> の理論値とシミュレーションによる値がほぼ一致することが示された。

復号手順の1において、ページ U<sub>i</sub> が正しく復号される確率を P<sub>C</sub><sup>PG</sup>、ページ U<sub>i</sub> に誤りが検出される確率を P<sub>D</sub><sup>PG</sup>、ページ U<sub>i</sub> が正しく復号されず、かつ誤り検出もされない確率を P<sub>E</sub><sup>PG</sup> とする。これらの確率は以下の式により与えられる。

$$P_C^{PG} = (P_C^{BCH})^w$$

$$P_D^{PG} = \left\{ \sum_{i=1}^w \binom{w}{i} (P_D^{BCH})^i (1 - P_D^{BCH})^{w-i} \right\}$$

$$P_E^{PG} = \left\{ \sum_{i=1}^w \binom{w}{i} (P_E^{BCH})^i (P_C^{BCH})^{w-i} \right\}$$

上記の確率を用いて、クラスタの正復号率 P<sub>C</sub><sup>CL</sup>、誤り検出率 P<sub>D</sub><sup>CL</sup> 及び誤訂正率 P<sub>E</sub><sup>CL</sup> はそれぞれ以下の式で与えられる。

$$P_C^{CL} = (P_C^{PG})^N + N \cdot P_D^{PG} (P_C^{PG})^{N-1}$$

$$P_D^{CL} = \sum_{i=2}^N \binom{N}{i} (P_D^{PG})^i (1 - P_D^{PG})^{N-i} + \left( \sum_{i=1}^N \binom{N}{i} (P_E^{PG})^i (P_C^{PG})^{N-i} \right) \times \left(1 - \frac{1}{2^{nw}}\right)$$

$$P_E^{CL} = \left( \sum_{i=1}^N \binom{N}{i} (P_E^{PG})^i (P_C^{PG})^{N-i} \right) \times \frac{1}{2^{nw}} + N \cdot P_D^{PG} \left( \sum_{i=1}^{N-1} \binom{N-1}{i} (P_E^{PG})^i (P_C^{PG})^{N-1-i} \right)$$

図7にページにおける誤り検出率 P<sub>D</sub><sup>PG</sup> 及びクラスタにおける誤り検出率 P<sub>D</sub><sup>CL</sup> を示す。ほぼすべての領域において P<sub>D</sub><sup>CL</sup> ≪ P<sub>D</sub><sup>PG</sup> となっていることから、クラスタに対してパリティ検査符号を適用することにより、誤り検出率が大きく低下することが示された。また、符号Cにおける符号語の分割数 w を小さくすることにより、誤り検出率が低下する。図8にページにおける誤訂正率

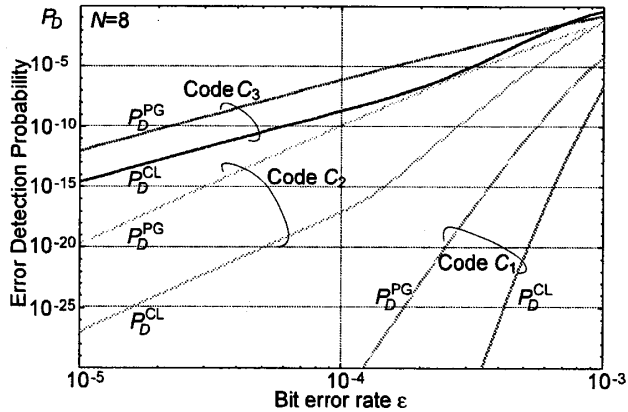


図7 ページにおける誤り検出率  $P_D^{PG}$  及びクラスタにおける誤り検出率  $P_D^{CL}$  (符号  $C_1, C_2, C_3$  は表2を参照)

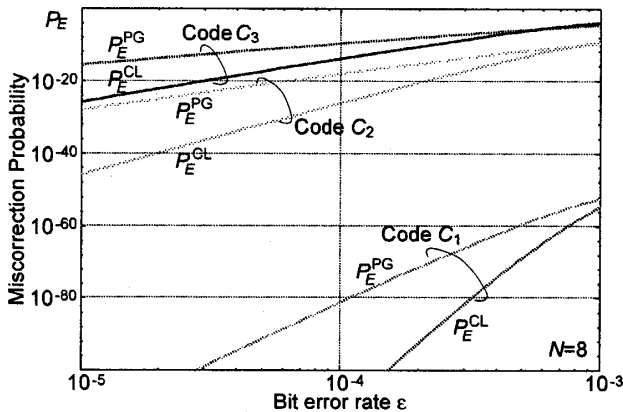


図8 ページにおける誤訂正率  $P_E^{PG}$  及びクラスタにおける誤訂正率  $P_E^{CL}$

$P_E^{PG}$  及びクラスタにおける誤訂正率  $P_E^{CL}$  を示す。誤訂正率は誤り検出率と比較して非常に小さく、また、ほぼすべての領域において  $P_E^{CL} \ll P_E^{PG}$  となっていることから、クラスタに対してパリティ検査符号を適用することにより、誤訂正率も大きく低下することが示された。

上記の結果より、提案手法はメモリ素子のビット誤り率が高い場合でも、十分に信頼度の高いデータの記憶が可能であることが示された。例えば、 $w = 4$  として、メモリ素子におけるビット誤り率を  $\epsilon = 1.0 \times 10^{-4}$  としたとき、クラスタの誤り検出確率は  $P_D^{CL} = 1.0 \times 10^{-17}$  であり、誤訂正率は  $P_E^{CL} = 1.0 \times 10^{-26}$  である。

#### 4.2 平均データ喪失時間

提案した2段階誤り制御符号と1個のスペア素子を用いた場合について、メモリ素子の平均故障時間 (MTTF: mean time to failure) と SSD の平均データ喪失時間 (MTTDL: mean time to data loss) の関係を図9に示す。ただし、素子故障とは素子からページを読み出せなくなる状態を意味し、SSD が有するメモリ素子数は  $N = 8$  とする。MTTDL はマルコフモデルを用いて導出したものである。比較として、スペア素子を用いない場合の MTTDL を同図に示す。2段階誤り制御符号とスペア素子を用いた場合の MTTDL は、スペア素子を用いない

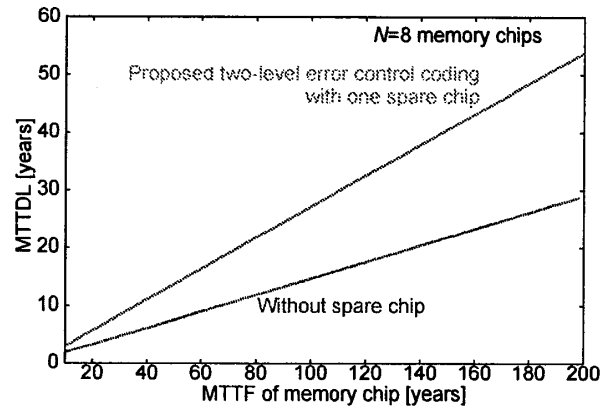


図9 SSD の記録部 ( $N = 8$  メモリ素子) における平均データ喪失時間

場合と比較して2倍程度となることが示された。

#### 5 まとめ

本稿ではフラッシュメモリを用いた大容量ソリッドステートドライブ (SSD) のための2段階誤り制御符号を提案した。フラッシュメモリ素子の各ページにランダムビット誤り訂正符号を適用することに加えて、 $N$  個のメモリ素子から出力される  $N$  ページの組をクラスタと称し、クラスタに対して単一消失訂正パリティ検査符号を適用することにより、2段階誤り制御符号を構成する手法を示した。提案手法について、クラスタの誤り検出率及び誤訂正率を導出し、本手法により信頼度の高いデータの記憶が可能であることを示した。例えば、メモリ素子におけるビット誤り率を  $\epsilon = 1.0 \times 10^{-4}$  としたとき、クラスタの誤り検出確率は  $P_D^{CL} = 1.0 \times 10^{-17}$  であり、誤訂正率は  $P_E^{CL} = 1.0 \times 10^{-26}$  である。

今後はメモリ素子への書き込み回数を考慮した信頼性の評価と、符号化・復号回路の構成及び評価を行なう必要がある。

#### 参考文献

- [1] [http://www.sandisk.com/Assets/File/pdf/oem/SSD\\_Family\\_Brochure.pdf](http://www.sandisk.com/Assets/File/pdf/oem/SSD_Family_Brochure.pdf)
- [2] [http://www.hitachigst.com/tech/techlib.nsf/techdocs/AAD443B70157A1B18625738600704C2C/\\$file/CinemaStar\\_C5K250\\_datasheet.pdf](http://www.hitachigst.com/tech/techlib.nsf/techdocs/AAD443B70157A1B18625738600704C2C/$file/CinemaStar_C5K250_datasheet.pdf)
- [3] 肥後, 金子, 藤原; 半導体ファイル記憶システムにおける誤り制御符号の構成; 信学技報, FIIS-07-197, March 2007.
- [4] S. Gregori, A. Cabrini, O. Khouri, and G. Torelli, "On-Chip Error Correcting Techniques for New-Generation Flash Memories," *Proc. of the IEEE*, Vol.91, No.4, pp.602-616, April 2003.
- [5] E. Fujiwara, *Code Design for Dependable Systems, Theory and Practical Applications*, Wiley-Interscience, 2006.
- [6] M. Grossi, M. Lanzoni, and B. Ricco, "Program Schemes for Multilevel Flash Memories," *Proc. of the IEEE*, Vol.91, No.4, pp.594-600, April 2003.
- [7] <http://www.ecse.rpi.edu/Homepages/tzhang/RVSAL/pub/FLASHSiPS06.pdf>