

FPGA 遠隔再構成技術と遠隔検証手法

FPGA Remote Reconfiguration and Remote Verification

永田 和生[†] 原田 英雄[†] 牛島 和行[†]
 Kazuo NAGATA Hideo HARADA Kazuyuki USHIJIMA

久我 守弘[†] 末吉 敏則[†]
 Morihiko KUGA Toshinori SUEYOSHI

1 まえがき

FPGA (Field Programmable Gate Array) は、内部回路構成の書換えが可能なデバイスである。従来は ASIC (Application Specific Integrated Circuit) の設計における試作評価など特殊な用途に用いられることが多かった。近年ではその柔軟性と高速性を利用し、複数の処理をソフトウェアのように切り替えながら、かつ ASIC 並みの高速実行を可能とする“リコンフィギャラブルコンピューティング”についての研究が盛んに行われている。

通常、FPGA の回路再構成は PC から専用ケーブルを介して回路構成データ投入によって行う。このためには PC と FPGA 搭載基板を直接接続する必要がある。今後 FPGA が商用製品に搭載され、社会のあらゆる箇所で利用されることを想定すると、PC との直接接続による回路再構成を行うためには技術者が機材と共に向う必要があり、金銭的ならびに時間的コストの増大が問題となる。FPGA 搭載機器が持つ柔軟性を十分に活かすためには、離れた場所にある FPGA を手元から遠隔操作によって再構成するための手法が必要となる。

一方、身近な場所のどこでもコンピュータネットワークを利用可能なユビキタスネットワーク社会が到来しつつある。前出の FPGA 搭載機器についても同様に、ネットワーク機能を持ちインターネットに接続して利用されるものが今後増えることは想像に難くない。

そこで、本研究では、FPGA の再構成や動作確認、故障検出をインターネットを利用した遠隔操作によって統合的に実行可能な FPGA 遠隔再構成システム (図 1) を提案する。

本稿では、システムの要素として、各所に点在する機器上の FPGA に対して遠隔操作によって再構成を行う FPGA 遠隔再構成技術を提案する。また、FPGA 遠隔再構成技術とデータベースサーバを組み合わせることで、FPGA 搭載機器の自動回路アップデート機構を構築した。

併せて、遠隔地の FPGA に対して内部波形の観測を行うリモート・ロジックアナライザ [1] と、BIST (Built-In Self Test) を利用した FPGA 上の実装回路の故障検出機構を開発した。前者は技術者による能動的な動作検証を可能としている。後者は FPGA 搭載機器が自動的に回路内部の異常を検知し、技術者に通知する。

現在、各 FPGA ベンダから非常に多くのデバイスがリリース

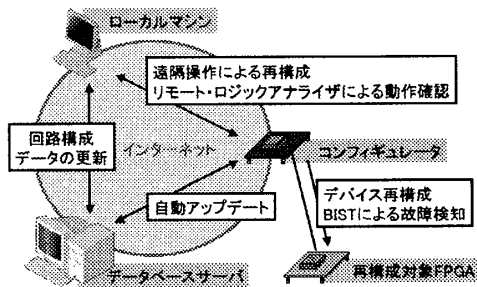


図 1: FPGA 遠隔再構成システムの全体像

されているが、各ベンダやファミリによってその再構成手法は統一されていない。そのため、Java や Verilog-HDL などプラットフォームへの依存度が低い技術を利用することを念頭に置き、本システムの構築にあたった。

次章以降、2 章では FPGA 遠隔再構成技術とデータベースサーバを利用した自動アップデート機構について述べる。また、3 章でリモート・ロジックアナライザと BIST による自動故障検出について述べる。4 章では 2 章から 3 章で述べた技術についての評価と考察を示し、5 章でまとめとする。

2 FPGA 遠隔再構成技術

現在流通している電子機器のほとんどは、出荷時の仕様を後日変更することはできない。そこで、LSI を用いて固定的に処理していた機能を FPGA に実装することで、仕様変更や不具合修正、機能追加が可能となる。特に単価の高い機器などは、購買者にとっては買換えサイクルが長くなり、またメーカーにとっても設計不具合による製品回収などのリスク削減というメリットもある。実際に、音声/映像信号処理用に FPGA を搭載した機器も登場しており、FPGA の活用の範囲がコンシューマ機器にも広がってきている。

前章でも述べた通り、従来の PC との直接接続による再構成手法では、コストが大きな問題となる。そこで、ネットワークを介した遠隔操作による回路再構成が可能になれば、FPGA 搭載機器の柔軟性を最大限に活用することができる。また、ネットワークが利用可能な場所であれば、人の立入りに危険が伴う箇所、あるいは物理的に近づくことのできない箇所に存在する機器に対しても再構成を行うことができる。

本研究では、前出のようなコンシューマ機器から、人が近づくことが困難な特殊機器まで、幅広いデバイスへの対応を念頭に置き、表 1 のように同様の既存技術との比較検討を行った上で、表 2 に示す FPGA 遠隔再構成技術の仕様を策定した。

表 1: 機能比較

名称	A	B	C
Xilinx FieldUpgrader	×	×	無
Altera RSU	×	×	無
JTAG Blazer	×	○	有
提案手法	○	○	有

A: マルチプラットフォーム B: マルチベンダ
 C: ネットワーク制約

表 2: FPGA 遠隔再構成技術の仕様

ソフトウェア設計	Java, C
ハードウェア設計	Verilog-HDL
デバイスコンフィ ギュレーション方式	IEEE std. 1149.1 (JTAG)
通信プロトコル	TCP/IP
ローカルマシン 動作環境	Java 仮想マシンが 稼働可能な OS

本技術では、IEEE std. 1149.1 (JTAG) の ISP (In System Programming) によって比較的統一された手法でのコンフィ

[†] 熊本大学大学院 自然科学研究科

ギュレーションを可能としている。また、ローカル側のプログラムには Java 言語を利用し、プラットフォームに依存せず動作可能とした。

2.1 構成要素

開発した FPGA 遠隔再構成技術は、図 2 に示す構成要素から成る。

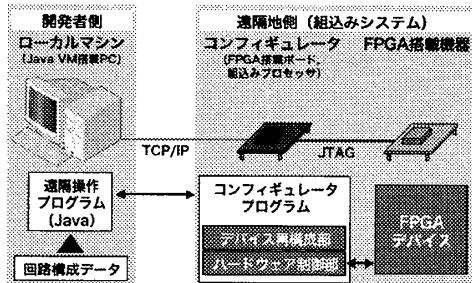


図 2: FPGA 遠隔再構成の全体図

2.1.1 ローカルマシン

FPGA 搭載機器を遠隔再構成する際にフロントエンドとなる遠隔操作プログラムが動作する環境である。Java 仮想マシンが稼働可能であれば OS は問わない。遠隔操作プログラムは図 3 に示すような操作画面とし、各ウィンドウでは以下のような機能操作が可能である。

- ローカルマシンからコンフィギュレータへの構成データの転送および記憶装置への格納
- コンフィギュレータの記憶装置内の構成データ管理
- デバイス再構成の実行

本プログラムはすべて Java 言語で記述しており、プラットフォームに依存することなく動作可能である。

2.1.2 コンフィギュレータ

遠隔地にある再構成対象 FPGA の近傍に設置し、ローカルマシンと再構成対象 FPGA との間に介在する制御装置である。コンフィギュレータは FPGA 上に米国 Altera 社製 Nios ソフトコアプロセッサを実装したものを使用し、Nios Ethernet Development Kit を装着することでネットワークを使用可能としている。

Nios 上でコンフィギュレータプログラムが動作し、ローカルマシンとの通信、回路構成データ保存領域となるファイルシステムの制御、JTAG バスを介した FPGA コンフィギュレーションの制御を行う。コンフィギュレータプログラムは、ローカルマシンからのコマンド送信によって遠隔操作が可能で、シェルのような環境を提供する。

設計にあたり、環境に依存するハードウェア制御部(図 2 中央下部)は環境依存部として分離して実装した。このようにすることで、異なる環境のデバイスを再構成する場合でも環境依存部のみを作成すればよい。

再構成を行う際、まずコンフィギュレータは接続されたデバイスを検出しユーザに提示する。次にユーザは、デバイスの構成データをネットワークを介して送信する。その後、送信した構成データを指定し、再構成用プログラムを実行することで、デバイスごとに対応したプログラミング手法に従って再構成が行われる。

2.2 データベースサーバを用いた自動アップデート機構

1章で述べたように、本研究では各所に点在する FPGA を遠隔再構成の対象としている。対象となる機器は膨大な数にのぼることが予想されるため、回路構成データを提供する技術者による手作業での再構成では、当然ながら対応不可能である。そこで、本研究では技術者が回路構成データをデータベースサーバに登録することで、各 FPGA を搭載機器が自動的に最新の

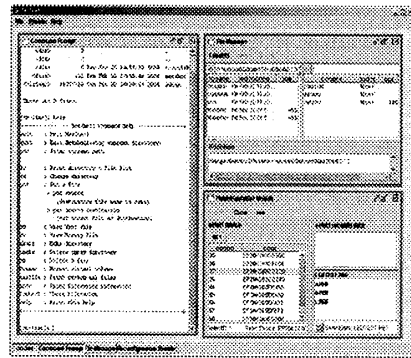


図 3: 遠隔操作プログラムの操作画面

回路構成データを取得し、再構成を行う仕組みを開発した。図 4 に、本研究で開発した自動アップデート機構の概略図を示す。

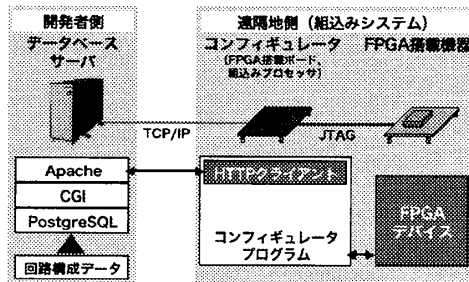


図 4: 自動アップデート機構

図中のデータベースサーバは、FPGA に再構成するための回路構成データを管理する。データベースエンジンには PostgreSQL を使用している。また、コンフィギュレータとの通信のために Apache による HTTP (Hyper Text Transfer Protocol) サーバを実装している。コンフィギュレータからのリクエストは CGI (Common Gateway Interface) を介して PostgreSQL へと渡す。コンフィギュレータには C 言語記述による HTTP クライアントプログラムを実装し、データベースサーバとの通信を行う。

以上のように自動アップデート機構を用いて、以下の手順で FPGA の回路を自動更新する。

1. 技術者はローカルマシンからデータベースサーバへ回路構成データをアップロードする
2. コンフィギュレータはデータベースサーバ上の更新の有無を定期的に確認する
3. その際、サーバ側では正規のコンフィギュレータからの確認要求であるかをパスワードで認証する
4. 更新が存在した場合、コンフィギュレータは回路構成データを受信する
5. 受信後はコンフィギュレータの設定に基づき、FPGA の再構成を行う

コンフィギュレータは定期確認時に自らが保持している最新の回路構成データのファイル名を送信する。データベースサーバはそれが最新版ではないと判断した場合は、FPGA の再構成が必要であることをコンフィギュレータへと応答する。

3 遠隔操作による回路動作確認手法

3.1 リモート・ロジックアナライザ

前章に述べた技術を用いて再構成した遠隔地の FPGA に対して、回路動作を確認する必要性が生じる可能性がある。特に人の立入りが困難な場所にある機器の場合は、遠隔操作による動作確認技術が必須となる。そこで、本研究では FPGA 上にユーザ回路とともにロジックアナライザ回路を組み込むことでユー

ザ回路内部の信号を取得する、リモート・ロジックアナライザを開発した。

同様のアプローチとして、米 Altera 社 SignalTap II, Xilinx 社 ChipScope Pro など、各 FPGA ベンダからリリースされている。これらの手法はそれぞれのベンダ製デバイスや設計ツールと密に連携が取られているため、充実した機能を搭載している。しかし、一般向けにインタフェースが公開されておらず、純正以外のプログラムから信号観測機能を利用することはできない。また、リモート・ロジックアナライザでは実際に常時運用される機器上にある FPGA に対しての動作確認をターゲットとしているため、できる限り対象 FPGA の動作速度やリソース消費に影響を及ぼさないことが重要となる。そこで、本研究ではロジック解析機能に焦点を絞ったロジックアナライザ回路を開発した。

3.2 構成要素

開発したリモート・ロジックアナライザは、図5に示す構成要素から成る。以下の項にそれぞれの詳細を述べる。

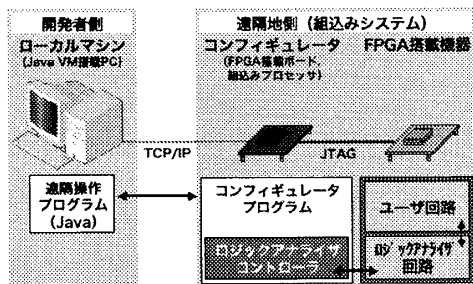


図5: 信号観測環境

3.2.1 ローカルマシン

遠隔操作プログラムとプローブ自動接続プログラムが動作する。回路構成データの生成が必要となるため、EDA ツールと Java 仮想マシンが稼働可能な PC となる。

遠隔操作による FPGA の動作観測を行う際、事前に観測対象信号の指定（プローブ配線済み回路構成データの作成）が必要となる。プローブ自動接続プログラムはこの操作の補助ツールであり、Verilog-HDL 上で被測定回路とロジックアナライザ回路の接続を自動的に行う。

遠隔操作プログラムでは、測定条件の設定と記録開始の指示を行う。ユーザが設定可能な条件は、測定チャネル数、測定サンプル数、トリガ条件である。

上記のプログラムはすべて Java 言語で記述しており、プラットフォームに依存することなく動作可能である。

3.2.2 コンフィギュレータ

2.1.2 項で述べたコンフィギュレータを使用する。コンフィギュレータ上で動作するロジックアナライザコントローラは、ローカルマシンとの通信およびロジックアナライザ回路の制御を行う。Nios 上で動作するソフトウェア部と、32bit データバスを介して Nios から制御されるハードウェア部から成る。

3.2.3 ロジックアナライザ回路

遠隔再構成ならびに信号観測の対象となる FPGA 上に、ユーザ回路と共存する形で実装することで、ユーザ回路内部の信号を観測し記録を行う。ロジックアナライザ回路は、指定されるコマンドに従ってトリガ条件の設定、サンプリングの開始、サンプリングデータの転送を行う。

ロジックアナライザ回路を開発するにあたり、ベンダの枠を越えた幅広いデバイスをサポートするため、Verilog-HDL での記述を行っている。また、測定チャネル数、測定サンプル数などをパラメタライズすることにより、その変更のみでユーザの使用環境に適したロジックアナライザ回路を構築することが可能である。

3.3 BIST による自動故障検出機構

前節に述べたリモート・ロジックアナライザは、回路構成データを提供する技術者が能動的に遠隔地の FPGA に対して動作確認を行う手法である。これは、人間の目視によって確認を行うため、単発的な動作確認に有効である。一方、日常的な動作確認には、技術者の手を煩わせず自動的に回路動作の異常を検出し通知する仕組みが必要となる。そこで、LSI テスト容易化設計技術として用いられる BIST を本システムに適用した。

FPGA 実装回路向けの BIST 回路を開発するにあたり、ベンダの枠を越えた幅広いデバイスをサポートするため、Verilog-HDL (Hardware Description Language) を用い、可搬性のある記述とした。また、HDL 記述中の可変オプションをパラメタライズすることにより、その変更のみでユーザの使用環境に適した BIST の構築が容易にできるようにした。図5のロジックアナライザコントローラが BIST コントローラに、ロジックアナライザ回路が BIST 回路に置き換わる形となる。

BIST 回路は、図6に示すように外部からの開始信号によってテストを実行開始する。

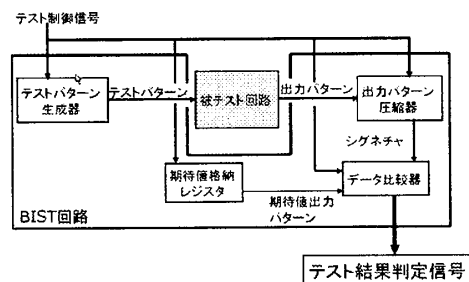


図6: BIST 回路の構成

テストパターン発生器は線形フィードバックシフトレジスタ (LFSR : Linear Feed-back Shift Register) で構成し、1 クロック毎に所定の順序でランダムなデータの発生を繰り返す。出力パターン圧縮器には、シグネチャ解析器 (MISR : Multiple Input Signature Register) を用いた。被テスト回路からの出力パターンに1個のエラーがあると、その後加えられる出力パターンに対しても期待値と異なるデータが生成される。期待値格納レジスタでは、あらかじめシミュレーションによって求めた期待値をファイルから読み出し、データ比較器へと出力する。出力パターン圧縮器からの出力値と、事前のシミュレーションによる期待値とをデータ比較器で比較し、異なる場合は回路異常として判定結果信号を出力する。

ただし、テストの途中で複数のエラーが発生した場合、最終的に偶然正常回路と同一のシグネチャになる「エイリアス」確率が生じる。

4 動作実証と評価

4.1 FPGA 遠隔再構成技術の動作実証

動作実証には、ローカルマシンとして Windows 2000 Professional を搭載し、Java 仮想マシンが動作する PC を用いた。コンフィギュレータとしては、組み込みプロセッサの実装が可能な FPGA ボードとして、Altera 社製 Excalibur Nios 評価ボード (デバイス: Altera APEX EP20K200EFC484-2X) を用いた。評価ボードには Nios Ethernet Development Kit を装着し、ネットワークを使用可能としている。実験環境を表3に示す。

以上のような機器で遠隔再構成環境を構築し、表中の対象デバイス 1~3 に対して遠隔再構成を実行したところ、正常に回路を再構成できることを確認した。

4.2 リモート・ロジックアナライザの動作実証

開発したロジックアナライザ回路では、HDL (Hardware Description Language) 記述から FPGA 内部の組み込みメモリの推定が可能で、同期読み出しを行う単純なシングルポートメ

表3: 実験環境

ローカルマシン	Windows 2000 Professional CPU: Xeon 1.8GHz Dual Memory: 2GB
コンフィギュレータ	Excalibur Nios 評価ボード 動作周波数: 33MHz
対象デバイス 1	Altera EP1S10F780C7
対象デバイス 2	Altera EP20KE1000EFC672-1X
対象デバイス 3	Xilinx XC3S200FT256AF

モリに焦点を当てて FIFO モジュールを構築している。その結果、以下の論理合成ツールを用いて組込みメモリの推定が可能であり、Altera (ESB:Embedded System Memory), Xilinx (Block RAM) 双方の組込みメモリを利用したロジックアナライザ回路の実装、動作を確認している。

- Altera 社 : QuartusII ver4.1
- Xilinx 社 : XST (ISE6.2)
- Synplicity 社 : Synplify Pro ver7.7

4.3 BIST 回路の評価

前節のロジックアナライザ回路同様、BIST 回路は FPGA 上にユーザ回路と共存するため、FPGA 実装回路全体の動作速度やリソース消費量に影響を与える。ユーザ回路の設計時には、ロジックアナライザ回路の付加にどの程度のマージンを確保すべきなのかを見積もる必要がある。BIST 回路が被テスト回路に与える影響を明らかにするため、評価を行った。

評価条件を表4に示す。評価は被テスト回路に BIST を接続した場合の、回路規模および動作周波数の変化量を測定することで行う。被テスト回路には、8ビット ALU、RGB-CMYK 変換回路、8ビット×8個の FIFO バッファ回路、および JPEG Encoder 回路を用いた。

それぞれの被テスト回路に応じた BIST 回路の生成には、別途開発した Perl による自動生成プログラムを用いた。しかし、8ビット ALU 以外の被テスト回路は順序回路であり、ランダムパターンを入力しただけでは出力が得られない。そのため、テストパターン発生器にリセットやイネーブルの機能を提供する回路を書き加え、テストを実行可能とした。

表4: 評価環境

デバイス	Altera EP1S10F780C5 Altera EP20KE200EFC484-2X
被テスト回路	8ビット ALU RGB-CMYK JPEG Encoder FIFO
設計環境	Windows 2000 Server CPU: Xeon 2.8GHz Dual Memory: 1GB
設計ツール	Altera QuartusII 4.1

4.4 回路規模への影響

表5に、被テスト回路に BIST を接続し、ターゲットデバイスへ実装した際の回路規模を示す。なお、JPEG Encoder のみ、Altera EP1S10F780C5 をデバイスとして用いた。

表5: 回路規模 (LEs)

被テスト回路	入出力 ビット数	被テスト 回路のみ	BIST 付加時	LE 増加量
8ビット ALU	32	128	223	95
RGB-CMYK	60	121	309	188
JPEG Encoder	47	7,341	7,479	138
FIFO	22	308	397	89

この結果から、BIST 自体の回路規模はわずかであることがわかった。また、被テスト回路の回路規模が最大の JPEG Encoder よりも RGB-CMYK の方が LE 増加量が多い。これは、JPEG Encoder の総入出力ビット数が 47 であるの対

して、RGB-CMYK の入出力ビット数は 60 であることから、BIST の回路規模は被テスト回路の回路規模よりも被テスト回路の入出力ビット数に依存していると考えられる。JPEG Encoder では総入出力ビット数 47 に対して LE 増加量が 138、RGB-CMYK では入出力ビット数 60 に対して LE 増加量が 188 というように、入出力ビット数に対して約 3 倍の LE が増加する傾向が見られた。

4.4.1 動作周波数への影響

表6に、被テスト回路に BIST を接続した場合の動作周波数とその変化量を示す。

表6: 動作周波数 (MHz)

	被テスト 回路のみ	BIST 付加時	動作周波数 変化率 [%]
RGB-CMYK	127.13	98.00	-20.41
FIFO	97.28	98.62	+1.38
JPEG Encoder	88.82	88.52	-0.34

BIST 回路を付加することによる被テスト回路の動作周波数の変化量には、ばらつきが見られた。これは、動作周波数が設計ツールの配置配線や最適化に依存していることが原因だと考えられる。また、ロジックアナライザ回路についても同様の事象が過去に見られたが、配置配線時に領域制約を施すことでばらつきが抑えられる効果があったため、BIST 回路についても同等の効果が得られることが予想される [4]。

5 まとめ

本稿では、ユビキタスネットワーク社会における FPGA 搭載機器の増加に伴い、比例して生じるであろう遠隔再構成の需要に着目し、FPGA 遠隔再構成技術を提案、開発した。これにより、人の立ち入りが必要な場所にある機器に対して、機能のアップグレードや不具合修正といった操作を可能とした。また、データベースサーバを組み合わせることで、再構成の対象となる FPGA 搭載機器が膨大な数にのぼる場合の自動アップデートにも対応可能となる基礎システムを構築した。併せて、遠隔操作による FPGA 内部回路の信号観測を行うリモート・ロジックアナライザを開発した。信号観測には組込みロジックアナライザ技術を応用し、遠隔地にある FPGA 上の回路信号観測を可能とした。また、遠隔地にある FPGA 上の回路異常の自動検知手法として、本システムに BIST の適用を図った。評価の結果、わずかなリソース消費で BIST 回路をユーザ回路に付加できることを明らかにした。

システム全体の開発にあたって、要素技術として Java 言語や JTAG, Verilog-HDL といった可搬性の高いものを用いることで、プラットフォームに依存せず動作可能とした。

これにより、遠隔地にある FPGA の再構成、自動アップデート、回路動作観測がインターネットを介して可能になった。自動異常検知についてはまだシミュレーション段階であるため、今後実機実装を進める予定である。

参考文献

- [1] 池田延司, 永田和生, 柴村英智, 久我守弘, 末吉敏則, “リモート・ロジックアナライザの FPGA 実装と評価,” 信学技報, CPSY2004-43, pp.65-70, Dec. 2004.
- [2] 末吉敏則, 久我守弘, 柴村英智, “KITE マイクロプロセッサによる計算機工学教育支援システム,” 電子情報通信学会論文誌, Vol.J84-D-I, No.6, pp.917-926, June 2001.
- [3] OpenCoresORG, Video compression systems, http://www.opencores.org/projects.cgi/web/video_systems/
- [4] 永田和生, 原田英雄, 柴村英智, 久我守弘, 末吉敏則, “リモート・ロジックアナライザ IP およびプローブ自動接続プログラムの実装と評価,” DA シンポジウム 2005 論文集, Aug. 2005.