

マイクロプロセッサにおける細粒度発熱解析の一手法 A Fine-Grain Thermal Simulation on Microprocessors

伊藤 睦夫[†] 長谷川 直之[†] 江川 隆輔[†] 鈴木 健一[†] 中村 維男[†]
Mutsuo Ito Naoyuki Hasegawa Ryusuke Egawa Ken-ichi Suzuki Tadao Nakamura

1. はじめに

昨今の半導体デバイスのナノスケールの加工技術が実用化に迫り、マイクロプロセッサの更なる高速化・高機能化が期待されている。しかしながら、著しい回路技術の進歩に伴い、様々な問題が表面化してきている。その中で最も早急な対策が求められているのが、回路の電力密度の増加に伴う回路自身の発熱問題である。特に、回路内部に局所的に発生する高温領域、いわゆるホットスポットは、シグナル・インテグリティの劣化やエレクトロ・マイグレーションによる配線の断裂といった、回路全体の信頼性を大幅に低下させる原因となる。従って、今後の高性能回路の実現には、様々な回路設計段階において発熱に対する取り組みが重要になってくる⁽¹⁾⁽²⁾。

それゆえ回路内部の温度分布をもとに回路を改善することが不可欠になるが、現在のところ、極微小な回路の温度分布を実測することは非常に困難であり、また、回路実装後の実測結果に基づいた早期設計段階へのフィードバックは、設計期間の長期化を引き起こす恐れがある。そこで、設計段階に合わせたシミュレーションによる様々なチップ・アーキテクチャレベルの熱解析手法が提案されている⁽³⁾⁽⁴⁾⁽⁵⁾。これらの研究では、早期回路設計段階における熱解析のための詳細なデータの不足から、また、チップの熱応答速度と計算コストの観点から、機能ブロックを発熱源と仮定した定常熱解析が主流である。

しかしながら、今後、配線層の増加、及びトランジスタの集積密度の増加に従い、高集積・高機能化した機能ブロック内部の電力密度分布は著しい非均一性を示すようになることが予想される⁽⁶⁾。結果的に、各機能ブロック間の温度差のみならず機能ブロック内部の温度分布において大きな偏りが生じることになる。この局所的な温度の偏りが、チップの性能と信頼性に重大な影響を与える⁽⁵⁾⁽⁷⁾。また、チップの動的熱管理の観点においても、様々なアプリケーションの実行によってホットスポットの強度と分布が急激に変化するため、チップ上の温度分布を詳細に追跡する重要性が増している⁽⁸⁾。

本論文では、従来手法では考慮されていないより詳細な熱の解析・評価を実現するため、基本論理ゲート(セル)を発熱源とし、発熱源の非定常な振る舞いとしてクロック・サイクル毎のスイッチングを考慮する細粒度熱解析手法を提案する。評価実験では、16ビットマイクロプロセッサを用いて、熱解析手法における時空間解析粒度の違いが温度プロファイルの形成にどのような影響を与えるのかを定量的に評価する。

2. 細粒度熱解析手法

2.1 発熱モデルと解析粒度

提案する細粒度熱解析手法の位置づけを明確にするため、半導体チップにおける発熱をモデル化する。そして、

そのモデルを時空間の解析粒度によって分類する。まず、半導体チップには、発熱部と非発熱部が時間・空間的に分布しているものとモデル化し、各発熱部の内部では一定時間の間、発熱量が空間的に一様であると仮定する。また、解析の時間粒度と空間粒度をそれぞれ3段階に分類する。以下に、それぞれの粒度による発熱モデルの分類に関して説明する。

• 時間解析粒度に関する発熱モデルの分類

クロックサイクルレベル、命令レベル、アプリケーションレベルの3つに分類する。各時間区間内の発熱量は、時間区間で発生する発熱量を時間平均したものである。例えば、クロックサイクルレベルの発熱モデルでは、各発熱部がクロックサイクル時間内において一定の熱量を発生し、クロックサイクル毎に発熱部の分布が変化する。命令レベルモデルでは、各発熱部は1つの命令が処理される時間内において一定の熱量を発生し、処理される命令に依存して命令毎に発熱量が変化する。アプリケーションレベルモデルでは、各発熱部は1つのアプリケーションを処理する時間内において一定の熱量を発生、アプリケーションの種類に依存して発熱量が変化する。

• 空間解析粒度に関する発熱モデルの分類

トランジスタレベル、セルレベル、そして機能ブロックレベルの3つに分類する。各空間領域内の発熱密度は、その領域内で発生する熱量を面積平均したものである。例えば、トランジスタレベルの発熱モデルでは、発熱部の空間的な単位領域をトランジスタとし、その領域内部において一様な発熱密度を持つ。ただし、この空間解析粒度の熱解析は主にトランジスタ単体を対象とする電熱解析に限られており、回路全体の熱解析は現実的に困難である。セルレベルモデルでは、NANDセルやXORセルなどの論理ゲート(セル)を発熱領域の単位とし、その領域内部において発熱密度を一様とする。機能ブロックレベルモデルでは、整数演算回路やIキャッシュなどの回路の機能設計段階(RTL)において決定される機能ブロックを発熱領域の単位とし、その領域内部において発熱密度を一様とする。

従来の熱解析手法に用いられている発熱モデルも、この時空間解析粒度の組合せによって分類できる。特に、チップ内部の温度分布に着目するチップ・アーキテクチャレベルの熱解析においては、通常、計算コストの削減とクロック周期に比べ相対的にチップの熱定数数が著しく大きいとの理由から、機能ブロックレベルの空間解析粒度と、アプリケーションレベルの時間解析粒度が採用される。本論文では、より細粒度なセルレベル・クロックサイクルレベルの発熱モデルを用いる熱解析手法を提案することにより、より詳細な熱解析を実現する。

[†] 東北大学大学院情報科学研究科

2.2 数値計算手法

本手法において熱シミュレーションの対象となる回路を、一様な厚みと均一な材質で構成された2次元平板と仮定する。そこで、チップ上の温度分布の振舞いを2次元の熱伝導現象としてモデル化すると、次に示す支配方程式によって一般に表現される。

$$\frac{\partial T(x, y, t)}{\partial t} = \kappa \left(\frac{\partial^2 T(x, y, t)}{\partial x^2} + \frac{\partial^2 T(x, y, t)}{\partial y^2} \right) + \frac{Q(x, y, t)}{C_p \rho} \quad (1)$$

さらに、この支配方程式は次に示す熱境界条件に従う。

$$\lambda \frac{\partial T(x, y, t)}{\partial n_i} + h_i T(x, y, t) = f_i(x_{s_i}, y_{s_i}, t) \quad (2)$$

ここで T は位置 (x, y) 、時刻 t における温度、 $\kappa = \frac{\lambda}{\rho C_p}$ はチップ内部の温度伝導率、 λ はチップ内部の熱伝導率、 C_p は比熱、 ρ はチップ材質の密度、 Q は単位時間あたりの発熱密度、 h_i はチップ境界表面における熱伝達率、 f_i は境界表面 s_i 上における任意関数、 $\partial/\partial n_i$ は境界表面 s_i の垂直方向性微分を示す。

式(1)に示されるように、熱伝導方程式は一般に放物型の偏微分方程式で表現される。偏微分方程式を数値的に解く手法は様々提案されているが、本手法の熱シミュレーションでは、数値解の無条件安定性を有する差分スキームの一種である alternating-direction-implicit (ADI) 法⁽⁵⁾⁽⁹⁾を応用する。一般的に、ADI法は2次元または3次元空間の問題を2つまたは3つの1次元問題に還元することにより、効率的なメモリ使用率と線形の計算時間を実現する手法である。

2.3 熱シミュレーション

提案する時空間細粒度熱解析における熱シミュレーションは、時間と空間の2つのフェイズにより行われ、それぞれのフェイズには個別のデータが供給される。時間フェイズにおけるデータは、発熱源となる各論理ゲート(セル)に関するクロックサイクル毎のスイッチング情報であり、また、空間フェイズにおけるデータは、発熱源としてセルの位置と領域を決定する回路レイアウトから抽出される幾何情報である。具体的に、時間と空間フェイズのデータは熱シミュレーションの対象となる回路に関して、論理的な実装段階である論理合成、及びテクノロジーマッピングのフェーズにおいて、そして、物理的な実装段階である配置配線のフェイズにおいてそれぞれ得られる。図1に、提案する熱シミュレーションのフローを概略的に示す。

3. 実験・考察

3.1 対象回路: 16ビットマイクロプロセッサ

時空間解析精度において細粒度及び粗粒度な発熱モデルを用いた熱シミュレーションの比較を行うには、機能ブロックレベルからセルレベルまでの詳細なレイアウト情報が得られ、かつアプリケーションプログラムを論理シミュレータにより実行することが可能なプロセッサを対象回路とする必要がある。ここでは、そのような回路として、16ビットマイクロプロセッサ KITE⁽¹⁰⁾⁽¹¹⁾を用いる。KITEプロセッサはアキュムレート型のマイクロプロセッサであり、16ビットのデータパス、ALU、デコーダ・シーケンサ等を含む11個の機能ブロックから構成される。KITEプロセッサの機能設計にはハードウェア記

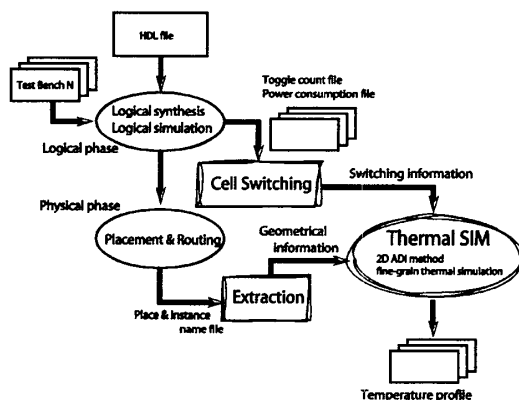
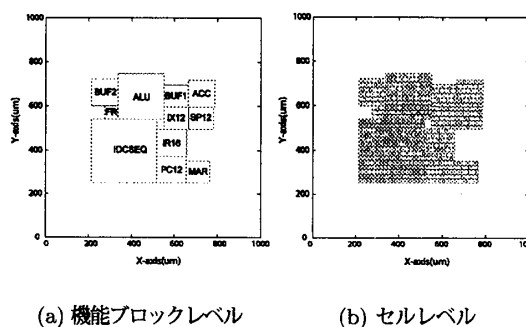


図1: 熱シミュレーションフロー



(a) 機能ブロックレベル

(b) セルレベル

図2: KITEプロセッサの機能ブロックレベル及びセルレベルにおける回路レイアウト

述言語を用い、Synopsys社の論理合成ツールとROHM社の0.35 μm CMOSテクノロジーに準ずるEXD社のセルライブラリを用いて論理合成を行う。また、物理設計では、Avant!社製MilkywayとApolloを用いて配置配線を行いレイアウト情報を作成する[†]。レイアウト結果を機能ブロックレベルとセルレベルの空間解析精度で表示した場合をそれぞれ図2に示す。KITEプロセッサは総数1233個のセルから構成される。これを内包する実効チップ面積 A_{chip} (1000 μm ×1000 μm) を数値計算領域とする。本プロセッサを電源電圧3.3V、クロック周波数100MHzで動作すると仮定する。

3.2 シミュレーション条件

提案する熱解析手法に必要なセルレベルのチップ幾何情報は、CADが生成した回路レイアウトから取得する。また、各スタンダードセルのクロックサイクルレベルのスイッチング情報は、KITEプロセッサの論理シミュレーションから、取得する。本実験では、アプリケーションプログラムとして、「ハノイの塔問題」を解くプログラムを用いる。このプログラムの機械命令列(全33000サイクル)を論理シミュレーションの入力信号ベクタとする。

一方、プロセッサ上の熱の発生と伝搬をシミュレートするため、各セルの単位時間、単位体積あたりの発熱量(発熱密度) Q を求める必要がある。ここでは、セル X の

[†]本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

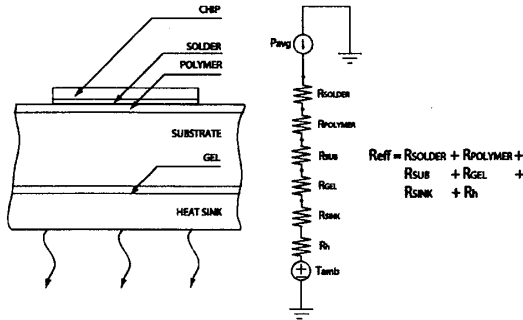


図 3: 熱シミュレーション用いられるパッケージモデル

表 1: パッケージの材質と熱特性

Parameter Description	Unit	Bulk	Bump	Polymer	Substrate	Gel	Bottom Sink
Material	-	doped Si	Su/Pb	polyimide	doped Si	silicone gel	Al
Thermal Conductivity	W/(mK)	98.40	53.4	0.25	98.40	0.4	216.5
Thickness	mm	0.25	0.025	0.005	0.5	0.005	1.0

発熱密度 Q_x (W/m³) を、消費電力解析ツールにより得た消費電力を以下の式に従って変換することで求める。

$$Q_x = \frac{W_x}{S_x T} \quad (3)$$

ここで、 W_x は消費電力解析ツールによって得られたセル単位の平均消費電力、 S_x はチップレイアウトから抽出されたセル表面積、 T はウェハ厚さである。各セルは、そのセルの出力ピンが L から H、もしくは H から L に変化したときに発熱するものとする。

式 (2) の境界条件を決めるために、回路パッケージのモデル化及び伝達係数 h_i の設定を行う。電気回路網と熱の伝搬現象のアナロジーから図 3 のようにパッケージを 1 次元等価熱 RC 回路としてモデル化する。ここで、周囲温度 $T_{amb} = 298K$ とする。実効熱抵抗 R_{eff} を次式により得る。

$$R_{eff} = \sum_{k=1}^n \frac{l_k}{\lambda_i A_{chip}} + \frac{h_i}{A_{chip}} \quad (4)$$

ここで、 l_k は k 層目のパッケージ構成要素の厚さ、 n は構成要素数、 λ_k はその構成要素の熱伝導率、 A_{chip} はチップ面積をそれぞれ示す。境界条件として、チップ上面と 4 側面を断熱条件とし、チップ下面方向における周囲雰囲気とヒートシンク間の実効熱伝達率 h_i を $12000(W/(m^2K))$ と仮定する。表 1 に、パッケージの物性値を示す⁽⁵⁾。これら物性値、 A_{chip} 、及び h_i を式 (4) に代入することで、 $R_{eff} = 378.54W/(mK)$ を得る。

熱シミュレーションにおける空間と時間の離散化による解像度はそれぞれ、数値計算領域となる KITE プロセッサのチップ各辺の 100 分の 1、1 クロック周期 (10nsec) である。

3.3 細粒度化による最大温度点の温度変化と発生位置への影響

時空間解析の細粒度化によるチップの最大温度点への温度変化とその発生位置への影響を明らかにすることで、その効果を検証する。従来手法として機能ブロックレベル・アプリケーションレベルの熱シミュレーションと、提案手法としてセルレベル・クロックサイクルレベルの

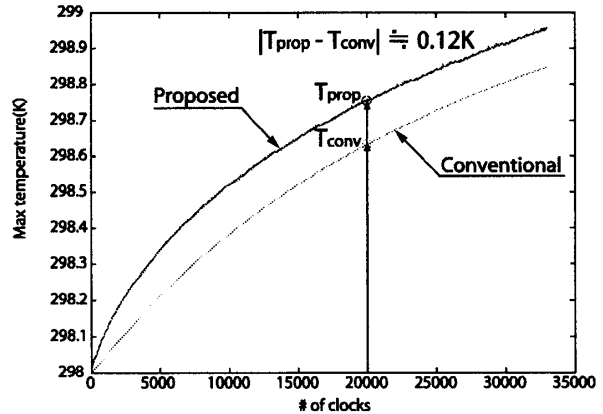


図 4: 空間粒度に着目した最大温度の比較

熱シミュレーションによる最大温度の比較を行う。ただし、本実験において、各機能ブロックの発熱量はその機能ブロックに内包されるセルの総電力とする。また、細粒度化に伴うチップの厚み方向の影響は、回路内部の熱伝導率に比べヒートシンク部分は著しく大きいためほぼ同等程度であると仮定した。

各熱シミュレーションにより得られた最大温度の時間変化をそれぞれ図 4 に示す。ここで示されるように、提案手法から得られたチップの最大温度曲線 (Proposed) は従来手法により得られた曲線 (Conventional) よりも、ほとんどの時間区間において、0.12K 以上高くなっていることがわかる。この最大温度における定常的な温度差は、時間解析粒度の細粒度化による影響に比べ、空間解析粒度の細粒度化による影響がより強く現れていることを示唆している。そこで、2つの最大温度曲線の差がほぼ定常的になる 20000 サイクルにおける最大温度点 T_{conv} と T_{prop} における電力密度分布と温度分布の形状を比較する。図 5 に、 T_{conv} と T_{prop} の発生箇所、及びこれらの最高温度点を通る x 軸と y 軸に沿った温度分布と電力密度分布を示す。機能ブロック内部において一様となる T_{conv} の電力密度分布と比べ、 T_{prop} の電力密度分布は局所性を強く示していることがわかる。また、 T_{prop} の発生箇所が電力密度の高い方向に移動していることがわかる。

チップ平面における最大温度点の発生位置の変化を図 6 に示す。前述のように、図 4 に示される 2つの最大温度曲線において、どちらも時間に依存した著しい温度変化はなく定常的な温度上昇が見られる。しかし、図 6 に示すように、2つの最大温度点の発生位置の振舞いがそれぞれ異なっている。従来手法により得られた最大温度点 A は、ALU から IDCSEQ に移動し徐々にチップ中央に移動する振舞いを見せる。一方、提案手法により得られた最大温度点 B は、IDCSEQ 内部で左右に移動する振舞いを見せる。特徴的なことは、最大温度点 B の分布範囲と比較すると、最大温度点 A の分布範囲が著しく大きいことである。これは、機能ブロックレベルにおいては電力密度の最も高い機能ブロックが ALU であり、それと同時に ALU とほぼ同程度の電力密度である IDCSEQ が隣接するため、この 2つのブロック間を流れる熱流量が見かけ上減少する熱結合 (thermal coupling)⁽¹²⁾ が生

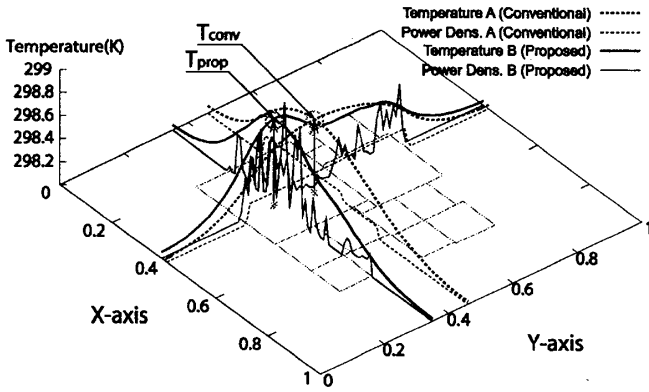


図 5: 20000 クロック後の温度分布と電力密度分布の比較

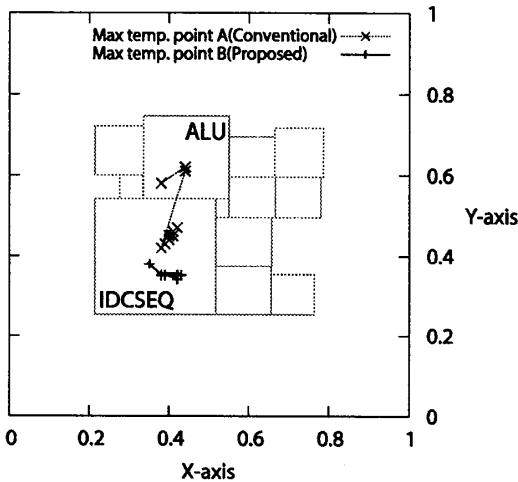


図 6: 最大チップ温度点の変動における従来手法と提案手法の比較

じるためである。結果的にアプリケーションレベルの定常性によって、この2つのブロック間の熱抵抗が不必要に大きく見積もられることになる。

機能ブロック内部に生じる電力密度の偏りと非定常な電力密度分布の振舞いが、チップの最大温度、及びその最大温度点の発生位置に著しい影響を与えることを、従来手法と提案手法の比較によって明らかにした。熱を考慮した回路設計においては、熱による性能と信頼性の劣化を正確に見積もる必要があるため、回路の詳細な温度プロファイルが強く求められる。提案する細粒度熱解析手法によって、温度分布の時空間における詳細な解析が可能となるため、熱を考慮した回路設計において本提案手法は非常に有効であると言える。

4. おわりに

従来、チップ内部の熱解析を目的とする機能ブロックレベル・アプリケーションレベルのシミュレーション手法が提案されていたが、その解析粒度に関する妥当性について検討は行われていなかった。本研究では、セルレベル・クロックサイクルレベルの発熱モデルを用いる時

空間細粒度熱解析手法を提案し、従来手法に対する温度プロファイルへの影響を評価した。実験では、16ビットマイクロプロセッサを対象とした熱シミュレーションを行い、最大温度の変動と最大温度点の発生位置において、解析粒度の違いが著しい影響を与えることを示した。また、提案手法を用いることにより、動的な振る舞いをより詳細に評価することが可能になることを示した。今後、回路規模の増大と集積度の向上に伴いチップの電力密度が増加していく傾向を考慮すると、チップ内部の詳細な電力密度分布の振る舞いを扱う熱解析手法として、提案する細粒度熱解析手法の必要性はさらに高まると思われる。

今後の課題として、各回路設計段階において設計者の求める精度と計算コストに見合った熱解析を行うため、時空間解析粒度の影響を考慮した解析粒度の適合化が挙げられる。また、熱解析より得られた温度プロファイルを考慮した回路設計を実現するために、ゲートと配線の性能・信頼性の温度依存性モデルの導入が挙げられる。

参考文献

- (1) Fred Pollack. New Microarchitecture Challenges in the Coming Generations of CMOS Process Technologies. *Proc. 32nd Annual Int. Symp. Microarchitecture*, page 2, 1999.
- (2) Kevin Skadron, Mircea R. Stan, Wei Huang, Sivakumar Velusamy, Karthik Sankaranarayanan, and David Tarjan. "Temperature-Aware Microarchitecture". *Proc. 30th Annual Int. Symp. Computer Architecture*, pages 2-13, 2003.
- (3) M. Rencz, V. Szekely, A. Poppe, K. Torki, and B. Courtois. "Electro-thermal simulation for the prediction of chip operation within the package". *Proc. 19th SEMITHERM 2003*, pages 168-175, 2003.
- (4) Vladimir Szekely, Andras Poppe, Andras Alpar Csendes, Gabor Hajas and Marta Rencz. "Electro-Thermal and Logi-Thermal Simulation of VLSI Designs". *IEEE Trans. VLSI SYSTEM*, vol.5(No.3):258-269, 1997.
- (5) Yi-Kan Cheng, Prasun Raha, Chin-Chi Teng, Elyse Rosenbaum, and Sung-Mo Kang. "ILLIADS-T: An Electrothermal Timing Simulator for Temperature-Sensitive Reliability Diagnosis of CMOS VLSI Chips". *IEEE Trans. Computer-Aided Design*, Vol. 17(No. 8):668-681, 1998.
- (6) M. R. Stan, K. Skadron, M. Barcella, W. Huang, K. Sankaranarayanan, and S. Velusamy. HotSpot: a Dynamic Compact Thermal Model at the Processor-Architecture Level. *Microelectronics Journal*, Vol. 34:1153-1165, 2003.
- (7) Massoud Pedram Kaustav Banerjee and Amir H. Ajami. "Analysis and Optimization of Thermal Issues in High-Performance VLSI". *ACM/SIGDA Int. Symp. Physical Design(ISPD)*, pages 230-237, 2001.
- (8) Stephen H. Gunther, Frank Binns, Douglas M. Carmean, and Jonathan C. Hall. "Managing the Impact of Increasing Microprocessor Power Consumption". *Intel Technology Journal*, First Quarter 2001.
- (9) Paul DuChateau and David Zachmann. *APPLIED PARTIAL DIFFERENTIAL EQUATIONS*. In . DOVER PUBLICATIONS, INC., Mineola, New York, 2002.
- (10) Hidetomo Shibamura, Koichiro Tanaka, Bernady O. Aduhan, Toshinori Sueyoshi, and Itsujiro Arita. "Design and Implementation of An Educational Microprocessor Using Field Programmable Gate Arrays". *Proc. of the 1992 Joint Technical Conference on Circuits/Systems, Computers and Communications*, pages 760-765, 1992.
- (11) "http://www.arch.cs.kumamoto-u.ac.jp/project/kite/index.html".
- (12) Wei Huang, Mircea R. Stan, Kevin Skadron, Karthik Sankaranarayanan, Shougata Ghosh, and Sivakumar Velusamy. Compact Thermal Modeling for Temperature-Aware Design. *Proc. 41st Design Automation Conference(DAC)*, pages 878-883, 2004.