

プロセッサアーキテクチャ教育用 FPGA ボードコンピュータシステムの開発

中村浩一郎[†] 池田修久[†] 小柳 滋[†] 山崎 勝弘[†]

立命館大学大学院 理工学研究科[†]

1. はじめに

我々はコンピュータアーキテクチャにおけるマイクロプロセッサ(ハードウェア)とプログラム(ソフトウェア)の関係を学習するハード/ソフト・コラーニングシステムを構築中である[1][2]。大学教育でのプロセッサ設計能力の向上を目指すと共に、FPGA 1チップでシステムを構築することを目標とする。本稿ではハード/ソフト・コラーニングシステムにおいて、ハードウェア学習に用いる FPGA ボードコンピュータシステムに実装した Board Sequencer、DMA Controller、及び BUS Controller について述べる。

2. ハード/ソフト・コラーニングシステム

ハード/ソフト・コラーニングシステムとは、プロセッサアーキテクチャを意識したプログラミング学習を行うためのハードウェアとソフトウェアの協調学習システムである。ソフトウェア面では、アーキテクチャが可変な命令セットシミュレータを用いて、プロセッサアーキテクチャの理解、アセンブリ言語やC言語で設計したプログラムや命令セットの評価を行う[2]。また、最適化コンパイラ的设计を通してアーキテクチャの更なる理解を促す。ハードウェア学習では、シミュレータで理解したプロセッサアーキテクチャの知識を基に、HDLを用いて設計したMPUを実際にFPGA上に実装し、プロセッサの設計と実現方法を理解することを目標とする[1]。利用者が自らプロセッサのアーキテクチャ、命令セットを考案・設計し、それを実装することによって、プロセッサアーキテクチャの更なる学習ができると考える。

3. FPGA ボードコンピュータシステムの実装

3.1 ボードコンピュータシステムの構成

本システムではCeloxica社のFPGAボードRC100に搭載されているSpartan II FPGAを用いて、FPGA 1チップ上にMPUとその周辺回路を実装する。実現対象とするコンピュータシステムは、マイクロプロセッサと周辺回路である。システムのブロック図を図1に示す。本システムの最大の特徴は、共通のインターフェースを使用することで、どのようなアーキテクチャのMPUであっても動作検証が可能という点である。現在までに単一サイクルアーキテクチャのMPUを実装した。現在、マルチサイクル、パイプライン、スーパースカラアーキテクチャのMPUを実装中である。また外部からのデータ転送を容易にするために、本システムではシステムアドレス空間とTDI(Transfer Data Information)を用意する[1]。システムアドレス空間には、FPGA外部バスに接続されているFlash RAMとFPGA内部

に接続されている命令メモリ、データメモリ等を同一のアドレス空間に割り当てる。TDIとはDMA転送時に用いるデータ(情報)である。TDIは64bitのレジスタで構成され、データメモリコンフィギュレーション用、命令メモリコンフィギュレーション用、及びMPUによる演算結果書き戻し用の3つが用意されている。TDIレジスタには上位24bitに転送元アドレス、中位24bitに転送先アドレス、下位16bitに転送量(1ワード(2バイト)単位)が格納されている。システム起動後、Board SequencerがFlash RAMから読み出し、これを元にDMA転送が行われる。

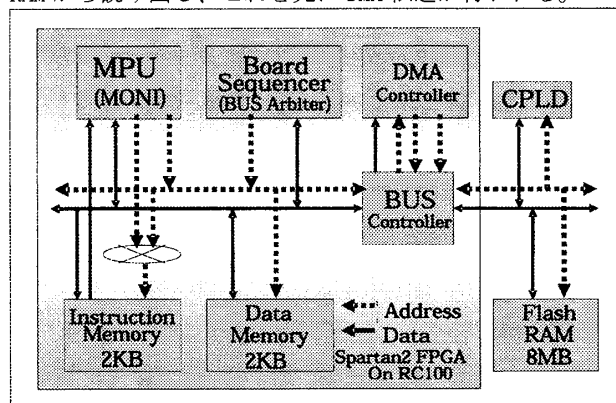


図1 FPGA ボードコンピュータシステムのブロック図

3.2 ボードコンピュータシステムの構成要素

本システムは以下のモジュールから構成されている。

3.2.1. Board Sequencer

Board SequencerモジュールはFPGAボードコンピュータにおけるシステムの全体制御、DMA転送時におけるバス・アービタ、各モジュールからのエラーメッセージの受信と7セグメントディスプレイへの表示などの役割を担う。命令メモリ、データメモリの書き換えや、MPUによる処理後のデータをFlash RAMに書き戻すなどの手順を、Board Sequencerの内部状態によって制御する。図2にBoard Sequencerのシステム制御の様子を示す。

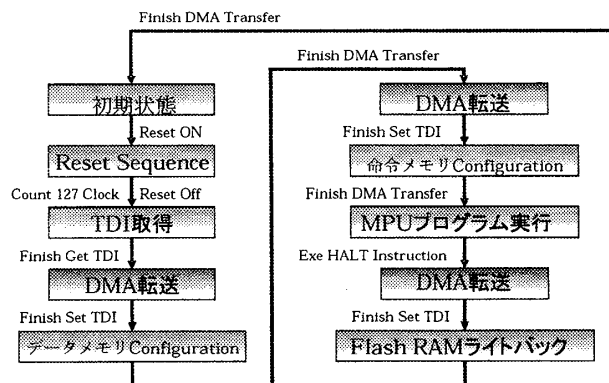


図2 Board Sequencerのシステム制御

Development of a FPGA Board Computer System for Processor Architecture Learning, Koichiro Nakamura, Nobuhisa Ikeda, Shigeru Oyanagi and Katsuhiko Yamazaki[†] Graduate School of Science and Engineering, Ritsumeikan University

3.2.2. DMA Controller

DMA Controller は MPU を介さずにモジュール間データ転送を行うモジュールである。このシステムにおいて、DMA 転送は Board Sequencer によって設定された TDI に従って転送を制御する。すなわち、転送の必要が生じると DMA Controller は、バス・アービタである Board Sequencer からバスの使用权を譲り受け、対象モジュールの制御信号を出力してデータ転送を行う。DMA Controller の状態遷移を図 3 に示す。

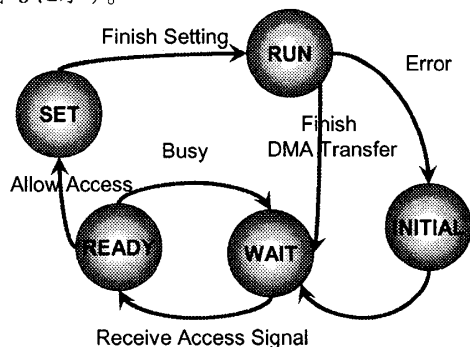


図 3 DMA Controller の状態遷移

システムが起動されると、電源投入時の初期状態 INITIAL に設定する。そして外部より RST 信号が入力されると WAIT 状態となる。WAIT 状態は Board Sequencer からアクセスを待つ状態である。その後 Board Sequencer よりアクセス信号を受信すると READY 状態に移行し、転送設定を許可する設定可能状態 SET となる。データ転送設定が終了すると RUN 状態となり、転送が正常に終了すれば WAIT 状態へ移行し、エラーが発生すれば INITIAL 状態へと移行する。

3.2.3. BUS Controller

BUS Controller は DMA 転送時に用いるシステムアドレスから、実際の内部アドレスに変換するアドレスデコーダである。そして FPGA の外部データバスと内部データバスのゲートウェイの役割を担う。また、本システムでは当初各モジュールがシステム内部のそれぞれ 1 本のデータ・アドレスバスを共有する予定であったが、論理合成ツールの都合により不可能であった。そのため、BUS Controller 内にラッチ回路を用意し、そのレジスタに書き込み、またはレジスタから読み出すことによって、内部バスを共有しているかのように扱っている。各デバイスからの書き込み・読み出しは、Board Sequencer のステータスレジスタと Flash RAM 制御モジュールからの信号によって制御する。図 4 にデータバスについてシステムの状態とバスの制御の様子を示す。

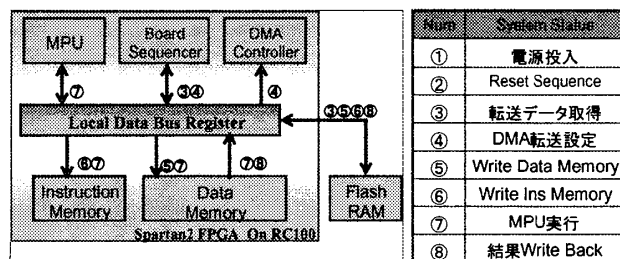


図 4 内部データバスの共有

3.2.4. その他の構成要素

MPU には 16 ビット命令セットで全 43 命令から成る MONI プロセッサを使用した [1]。その他の構成要素として、MPU が使用するデータ・命令メモリは Xilinx Spartan II FPGA 上の Block RAM を使い、Flash RAM は Intel 社製の 8MB Flash RAM を命令、データ、及び演算結果格納用の外部メモリとして使用する。また、CPLD はホスト PC と FPGA、Flash RAM とのデータ転送の制御を行っている。

4. ボードコンピュータシステムの動作手順

前準備としてアセンブラを用いて命令列を作成し、データと共に Flash RAM に書き込む。また、命令列とデータより TDI を作成し、Flash RAM に書き込む。次に、システムを動作させるとデータと命令をメモリに DMA 転送し、DMA 転送が完了すると MPU が動作する。その後、演算結果が Flash RAM に書き込まれる。

5. ボードコンピュータシステムの性能

本システムは Xilinx 社の FoundationISE を用いて設計を行った。また、使用した FPGA Spartan II は 20 万システムゲートである。システムの性能の詳細を表 1 に示す。

表 1 システムの回路規模と動作周波数

	Register	LUTs	Number of gate count	Usage rate (%)	Frequency (MHz)
Board Sequencer	333	718	36,000	18	26.316
DMA Controller	197	617	34,000	17	47.966
Bus Controller	94	369	16,000	8	65.720
MPU	161	895	44,000	22	36.765
ALL	973	2464	136,000	68	21.427

本システムは約 14 万システムゲートで構成されており、メモリを含めたシステム全ての FPGA 資源使用率は約 68% と十分な余裕をもっている。これは、今後異なったアーキテクチャの MPU を実装することが可能であることを示している。また、最大動作周波数は 21.427MHz であるが、動作周波数は Flash RAM へのデータ書き込みに依存しているため、実際には 10MHz で動作する。

6. おわりに

本稿ではハード/ソフト・コラーニングシステムにおける FPGA ボードコンピュータシステムの開発について述べた。FPGA 1 チップ上にシステムを構築することができた。現在、MPU 部にマルチサイクル、パイプライン、スーパースカラ等の異なったアーキテクチャのプロセッサを実装中である。今後、デバッグ機能を検討すると共に、ハード/ソフト・コラーニングシステムとしての完成を目指す。

参考文献

- [1] 池田修久他：ハード/ソフト・コラーニングシステムにおける FPGA ボードコンピュータの設計, 情報処理学会第 66 回全国大会論文集 5T-5, 2004.
- [2] 大八木睦他：ハード/ソフト・コラーニングシステムにおけるアーキテクチャ選択可能なプロセッサシミュレータの設計, 情報処理学会第 66 回全国大会論文集 5T-6, 2004.
- [3] John L. Hennessy, David A. Patterson 著, 成田光彰 訳: コンピュータの構成と設計(上)(下), 日経 BP 社, 1999.