

## プロトコル高速処理装置により高性能化をはかった LAN 用通信制御装置の一構成法†

平田 哲彦<sup>††</sup> 横山 達也<sup>††</sup> 水谷 美加<sup>††</sup>  
寺田 松昭<sup>††</sup> 三巻 達夫<sup>††</sup>

光伝送技術の発達による LAN 伝送速度の高速化に伴い、通信制御処理の高速化が求められている。本論文では、国際標準である OSI 通信プロトコルのレイヤ 4 以下を対象に、高速 LAN 用通信制御装置の構成方式の提案と、試作システムによる実験の評価結果を述べる。提案方式の特徴は、(1)プロトコル高速処理装置による OSI 通信プロトコルの高速処理、(2)マルチプロセッサ構成による計算機本体インタフェース部、プロトコル処理部、LAN-LSI ドライバ部のパイプライン処理、(3)プロセッサ間 FIFO によるマルチプロセッサ構成時のプロセッサ間オーバーヘッドの削減、にある。提案方式を FDDI に適用した実験システムを構築し、評価した結果、(1)計算機本体と通信制御装置間のデータコピーを行う DMA の性能が 16 MB/秒のとき、伝送速度に対する実効スループット率が 0.6 程度であること、(2)プロトコル高速処理装置の導入により、データコピー時間や伝送時間を除く通信制御処理時間中に占める通信プロトコル処理時間の割合が 3 割弱に低減できること、(3)プロトコル高速処理装置によって通信プロトコル処理時間を低減した結果、通信制御処理時間の 7 割以上が計算機本体インタフェース処理や LAN-LSI ドライバ処理となり、各々に汎用マイクロプロセッサを配置し、マルチプロセッサ構成とした提案方式が有効であること、の 3 点を明らかにした。

### 1. はじめに

通信ネットワークにおける伝送速度の高速化が進んでいる。光伝送技術の発達に伴い、標準 LAN の伝送速度は 10 Mbps から FDDI (Fiber Distributed Data Interface) の 100 Mbps<sup>1)</sup>、さらに非標準の LAN では Gbps のオーダーへと高速化しつつある<sup>2),3)</sup>。しかしながら、従来の LAN 利用システムでは、伝送速度は高速化しているものの、アプリケーションプログラムが享受できるエンド・ツー・エンドのスループットが伝送速度の向上に見合うほど高速化されていないという問題があった。この問題は、伝送速度が高速化されたにもかかわらず、通信制御処理の高速化が図られていないことに起因する<sup>4),5)</sup>。ここで通信制御処理とは、OSI 参照モデルに代表される通信プロトコルの処理と、LAN 通信制御装置と伝送路とのインタフェース、LAN 通信制御装置と計算機本体とのインタフェース処理を合わせたものをいう。

通信制御処理時間の短縮を目的とした研究は、対象とする通信プロトコルにより、(a) 高速通信向けの新しい通信プロトコルを提案する研究<sup>6)~9)</sup>、(b) OSI

等、既存の標準通信プロトコルの処理高速化を図る研究<sup>10)~13)</sup>、に分類することができる。

高速通信向けの新しいプロトコルとして、NETBLT (Network Block Transfer)<sup>6)</sup>、VMTP (Versatile Message Transaction Protocol)<sup>7)</sup>、XTP (Xpress Transfer Protocol)<sup>8),9)</sup> 等が提案されている。各プロトコルはコネクションの設定/解放の方法や、送達確認、フロー制御等に高速化のための工夫がある。しかし、通信ネットワークの分野では、通信制御処理の高速化と同時に、情報機器の接続性向上 (異機種間接続) に対するニーズが強く、既存の標準通信プロトコルを採用した機器との接続性が求められる場合には新プロトコルによる高速化手法は適用が困難である。

一方、標準通信プロトコルの高速化に関する研究としては、TCP/IP に関する Jacobson らの研究<sup>10)</sup>や、OSI のレイヤ 3 以下の通信プロトコルである X. 25 用 VLSI プロセッサの研究<sup>11)</sup>、プロトコル処理専用プロセッサの研究<sup>12)</sup>等が知られている。筆者らは、OSI のレイヤ 2~レイヤ 4 の通信プロトコルを専用ハードウェアにより高速に処理する技術を研究し、データ転送正常処理に関する通信プロトコルヘッダの処理時間を従来比約 1/10 に短縮できることを明らかにした<sup>13)</sup>。

しかしながらこの報告<sup>13)</sup>では、既に通信制御装置内のメモリに格納されている通信フレームのヘッダ処理を高速化する手法についての言及に留まり、通信制御装置内で通信プロトコルを実装する際に生ずる LAN

† A LAN Communication Adapter with the High Speed Protocol Processor by TETSUHIKO HIRATA, TATSUYA YOKOYAMA, MIKA MIZUTANI, MATSUAKI TERADA and TATSUO MITSUMAKI (Systems Development Laboratory, Hitachi, Ltd.).

†† (株)日立製作所システム開発研究所

伝送路や計算機本体とのインタフェース処理の問題については触れていなかった。すなわち、通信プロトコルヘッダの処理を専用ハードウェアにより高速化すると、LAN-LSI のドライバや計算機本体とのインタフェース部分の処理量の通信制御処理全体に対する比率が大きくなるという問題について言及していなかった。

本論文では、通信プロトコル処理については専用ハードウェアを用いて高速化し、LAN-LSI のドライバ部および計算機本体インタフェース処理部については通信プロトコル処理部に見合った高速性を得るためそれぞれ汎用マイクロプロセッサを配置する高速 LAN 用通信制御装置の一構成法を提案する。

提案方式は、(a)プロトコル高速処理装置<sup>13)</sup>による OSI 通信プロトコルの高速処理、(b)マルチプロセッサ構成による計算機本体インタフェース部、プロトコル処理部、LAN-LSI ドライバ部のパイプライン処理、(c)プロセッサ間 FIFO によるマルチプロセッサ構成時のプロセッサ間オーバーヘッドの削減、に特徴がある。

以下、第 2 章では通信制御装置の適用される LAN システムの構成例と従来方式による通信制御装置構成法の問題点、およびその解決のためのアプローチについて、第 3 章では本論文で提案する通信制御装置の構成法の詳細、および提案方式に基づき試作した FDDI 用通信制御装置の仕様について、第 4 章では提案方式の実験的評価について述べる。

## 2. 通信制御処理の高速化

従来方式による通信制御装置構成の問題点と、その解決のためのアプローチについて述べる。

### 2.1 高速 LAN を用いた通信システム

対象とする通信システムとして、FDDI 等の高速 LAN によりサーバやワークステーション等複数の計算機が接続された構成を考える (図 1)。本論で構成方式を提案する LAN 通信制御装置は、各計算機を高速 LAN 伝送路に接続するための装置として位置付けられ、OSI のレイヤ 4 (トランスポートレイヤ) 以下を実装するものとする。

### 2.2 従来方式の問題点

従来方式による通信制御装置の構成を説明し、高性能化を妨げている問題点を明らかにする。図 2 は LAN 通信制御装置の従来方式による構成例である。従来方式による通信制御装置は、装置内ローカルバス

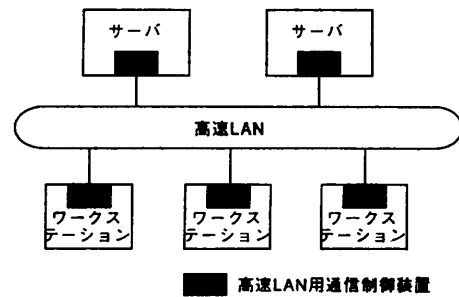


図 1 通信システム構成例

Fig. 1 Configuration of a communication system.

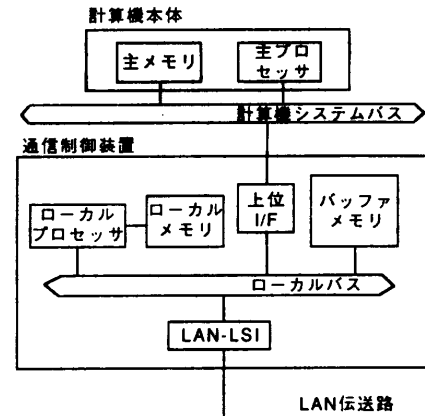


図 2 従来方式による通信制御装置の構成

Fig. 2 Configuration of a conventional communication adapter.

にローカルプロセッサ、プログラム用ローカルメモリ、バッファメモリ、LAN 伝送路とのインタフェースを実行する LAN-LSI、計算機本体と通信制御装置とのインタフェースを実行する上位インタフェース回路、等が接続されている。従来方式による通信制御装置のデータフローおよび制御フローをデータ受信を例にとり以下説明する (送信は逆の手順)。

#### (1) データフロー

LAN 伝送路から LAN-LSI がデータを受信すると、ローカルバスを獲得してバッファメモリにデータを格納する。プロトコル処理が終了したデータはローカルバス上をバッファメモリから計算機本体の主メモリへと転送される。

#### (2) 制御フロー

LAN-LSI から受信を通知されたローカルプロセッサはローカルバスを獲得してバッファメモリをアクセスし、受信データにプロトコル処理を施す。プロトコル処理とは、保持しているステートと入力されたイベントから状態遷移マトリックスを検索し、そこに定め

られた処理をデータの格納されたバッファメモリをアクセスしながら実行することをいう。ローカルプロセッサはプロトコル処理が終了すると上位インタフェース回路を通して計算機本体にデータ受信を通知する。

上記フローにおいて問題となるのは、通信プロトコルの処理を一つのプロセッサで実行している点、プロセッサが接続されているローカルバスの獲得競合および負荷の問題について配慮がされていないという点である。具体的には下記の問題がある。

#### (1) 1プロセッサによるプロトコル処理

従来方式による LAN 通信制御装置が対象としている LAN は、10 Mbps 程度の伝送速度であり、LAN 通信制御装置で実行される処理は MAC (Medium Access Control) レベルといった下位層までであった。この場合にもすべての通信制御処理を一つのプロセッサで実行した場合には伝送路の速度に対する CPU の処理時間が大であった。さらに伝送速度が 100 Mbps 以上になり、処理対象も MAC～トランスポートレイヤのような上位層までとなった場合には 1 プロセッサでは伝送路の高速化に見合った処理性能を得ることが困難である。

#### (2) ローカルバスの獲得競合および負荷

従来の構成方式によれば、通信制御装置内にはバスは一本である。よって伝送路-通信制御装置内バッファメモリ間、通信制御装置内バッファメモリ-計算機本体主メモリ間で行われるデータ入出力と、プロセッサがバッファメモリをアクセスして実行するプロトコル処理との間でバス獲得競合が起こる。これはデータの入出力中にプロトコル処理が中断することを意味する。

本論文では、上記問題点を解決し、LAN 伝送速度の高速化に見合った性能が得られる通信制御装置の構成方式を提案する。

### 2.3 高速化のアプローチ

通信制御装置内で実行される通信制御処理を高速化するためのアプローチとして以下が考えられる。

- (1) マルチプロセッサ構成で処理能力を向上する
- (2) RISC のような高速プロセッサで処理能力を向上する
- (3) 専用ハードウェア化する

(1)は、プロセッサを一つ使用した構成では処理能力が足りないため、マルチプロセッサ構成にすることで負荷あるいは機能を分散させて通信制御装置全体と

しての能力を高める方式である。この方式は、プロセッサ間インタフェースオーバーヘッドの削減が重要な課題である。

(2)は、RISC のような高速のマイクロプロセッサを用いる方式である。しかし、RISC を用いると、キャッシュメモリや周辺回路等、性能を引き出すための環境が必要となり、ハード量が大きくなるという問題がある。

(3)は、従来ソフトウェアで実行していた処理をハードウェア化することにより、処理能力の向上をはかる方式である。本方式では、ハードウェアが融通性に乏しいため、処理の変更に対応できるような構成としておくことが課題である。

本論文で提案する通信制御装置の構成方式は、(1)および(3)の方式を組み合わせる。すなわち、通信制御装置で実行される通信制御処理のうち、通信プロトコル処理部分を専用ハードウェアで高速化し、それ以外の処理を汎用マイクロプロセッサで処理するマルチプロセッサ構成で高速化する。

### 3. 高速 LAN 用通信制御装置構成方式の提案

ここでは、高速 LAN 用の高性能通信制御装置に求められる条件を明らかにし、その要求条件に対する解決の基本方針および通信制御装置構成方式の特徴について述べる。

#### 3.1 要求条件

(1) 国際標準に準拠したプロトコルのサポート  
通信制御処理時間の短縮方法として、機能を簡略化した独自プロトコルを用いることによりプログラム処理量を減らす方法がある。この方法は、データ転送能力を向上させるのには効果的であるが、他機種との接続性に難がある。接続性を考慮する場合には国際標準に準拠したプロトコルをサポートすることが必須である。

(2) 100 Mbps クラスの伝送速度に対応できる高いデータ転送スループット

階層化通信プロトコルを前提として、伝送速度の高速化に対応できる高いデータ転送スループットを実現することが要求される。具体的には、FDDI クラス (100 Mbps) に対応できることが要求される。

#### (3) 低コスト

サーバやワークステーションのハードウェア規模に見合うコンパクトかつ低コストのハードウェアが要求

される。

### 3.2 高速 LAN 用通信制御装置の構成方式

上記要求条件を満たす LAN 通信制御装置の構成方式を提案する。

#### (1) プロトコル高速処理装置による OSI 通信プロトコルの高速処理

プロトコル処理部の高性能化には、専用ハードウェアによる高性能化方式を提案する。具体的にはプロトコル高速処理装置<sup>13)</sup>を採用する。われわれの試算によるプロトコル処理部の処理量は、アセンブラステップ数にして送受信それぞれ約 2,500 ステップであり、プロトコル処理専用ハードウェアを組み込んだプロトコル高速処理装置の高い性能が必要とされるためである。プロトコル高速処理装置は、国際標準である OSI に準拠した通信プロトコル処理を高速に実行する。高速性と汎用性の両立のためにプロトコル処理をデータ転送正常処理とコネクション制御処理およびデータ転送異常処理に分け、データ転送正常処理を実行する専用ハードウェアと、コネクション制御処理およびデータ転送異常処理を実行する汎用マイクロプロセッサとで構成する。

#### (2) マルチプロセッサ構成による計算機本体インタフェース部、LAN-LSI ドライバ部処理の高速化

通信制御装置で実行される処理は計算機本体インタフェース処理、通信プロトコル処理、LAN-LSI ドライバ処理に分けることができる。その各々にプロセッサを設けてパイプライン動作させる方式を提案する。既に述べたようにプロトコル処理部についてはプロトコル高速処理装置を採用し、さらに計算機本体インタフェース部、LAN-LSI ドライバ部には汎用のマイクロプロセッサを配置する方式である。これにより高いデータ転送スループットを達成する。

#### (3) プロセッサ間 FIFO

各処理部に配置したプロセッサ間に、送信/受信双方向の FIFO を設ける方式を提案する。プロセッサ間のインタフェース情報はその FIFO に読み書きすることにより、各プロセッサが接続されたプロトコル処理部バスを經由せずにプロセッサ間通信ができる方式とする。本方式によりマルチプロセッサ構成におけるプロセッサ間インタフェースオーバーヘッドを低減できる。さらに、本プロセッサ間 FIFO 方式を計算機本体-LAN 通信制御装置間のインタフェース方式に応用し、サービス要求やイベント通知等の情報を持った

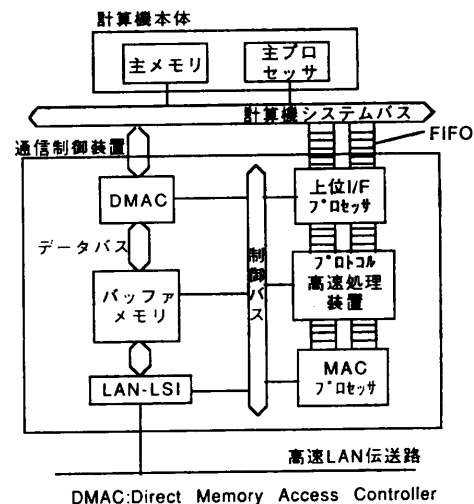
コマンドブロックの識別子を、通信制御装置上に設けたハードウェア FIFO を介して受け渡す。この方式により計算機本体の主プロセッサおよび上位インタフェースプロセッサのキュー操作に関するオーバーヘッドを削減する。

#### (4) リングバッファ形式の計算機本体インタフェース

計算機本体側主メモリの受信バッファはコネクション対応に設け、書き込みポイントを備えた論理リンク構造とする。コネクション設定時に受信リングを形成することにより、データ受信に関して計算機本体側は通信制御装置に対して受信の可/否およびバッファの位置を知らせるコマンドを事前に発行することが不要となり、計算機本体側主プロセッサと通信制御装置内上位インタフェースプロセッサとのプロセッサ間交信オーバーヘッドを低減できる方式である。

OSI のトランスポート層には分割/組立ての機能実装が必須である。今回、OSI レイヤ 2~レイヤ 4 をプロトコル高速処理装置で実行しているため、本来ならば分割/組立ての機能もその中で実行すべきであるが、計算機本体と通信制御装置間でデータコピーが発生するため、分割/組立て機能は計算機本体インタフェース部でデータのコピー時に実行する方式とした。計算機本体側主メモリの受信バッファがトランスポートコネクション対応に設けられ、かつリング形式のエリアとして設けられているため、特に組立て機能については効率よく実行することができる。

本論で提案する構成方式による通信制御装置の構成



DMAC: Direct Memory Access Controller

図 3 高速 LAN 用通信制御装置の構成  
Fig. 3 Configuration of the communication adapter for high speed LANs.

表 1 試作装置の仕様  
Table 1 Specifications of the prototype communication adapter.

項番	項目	仕様
1	対象プロトコル	OSI レイヤ 1~4 TP4, CLNP, LLC タイプ1, FDDI
2	プロトコル高速処理装置	専用ハードウェア ×2 MC 68020 (25 MHz)
3	上位 I/F プロセッサ	MC 68020 (20 MHz)
4	MAC プロセッサ	MC 68020 (20 MHz)
5	I/F 用 FIFO	1,024 段
6	バッファメモリ	SRAM 256 kB
7	制御バス	VME バス (32 ビット)
8	データバス	Dバス (32 ビット)

を図 3 に示す。高速 LAN 用通信制御装置は、計算機本体インタフェースを司る上位インタフェースプロセッサ、データ転送用 DMAC、プロトコル高速処理装置、LAN-LSI をドライブする MAC プロセッサ、LAN-LSI、バッファメモリ、プロセッサ間接続用 FIFO 等の要素で構成する。

### 3.3 実験装置の仕様

上記提案方式に従い、高速 LAN として FDDI を想定した高速 LAN 用通信制御装置のプロトタイプを試作した。表 1 に実験装置の仕様を示す。実験装置では、計算機本体インタフェース部、LAN-LSI ドライバ部に配置する汎用マイクロプロセッサとして、MC 68020 を使用した。データ送受信用のバッファメモリは 256 kB の SRAM である。各プロセッサが接続される制御バスには VME バスを使用し、データの出入力用に使用されるデータバスは、LAN-LSI の仕様で決まる Dバスを使用した。

## 4. 実験的評価

### 4.1 評価の対象

提案した通信制御装置構成方式の有効性を確認するため、図 4 に示す実験システムを構築し、以下の項目を対象として評価を行った。通信制御装置にインプリメントした具体的な通信プロトコルは、OSI のトランスポートクラス 4、CLNP (Connectionless Network Protocol)、LLC タイプ 1 という主に LAN 環境で用いられる組み合わせである。

#### (1) データ転送スループット

単位時間に計算機 #1、#2 間で通信制御装置および

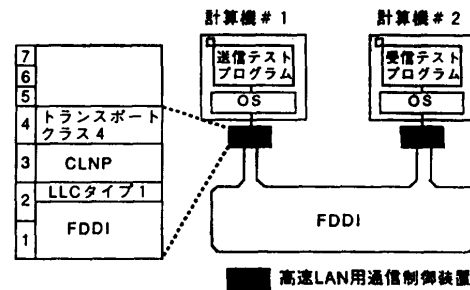


図 4 実験システムの構成

Fig. 4 System configuration for an experiment.

LAN 伝送路を介してやり取りすることのできるデータ量 (単位: bps)

#### (2) データ転送時間の内訳

### 4.2 評価方法

実験装置の評価は下記方法により行った。

#### (1) タイムチャートに基づくデータ転送スループットの算出

データ転送タイムチャートに基づき、ソフトウェアはプログラムのダイナミックステップ数、ハードウェアは実測により各部 (計算機本体インタフェース部、プロトコル処理部、LAN-LSI ドライバ部) の処理時間を求め、これをもとにデータ転送スループットを算出する。

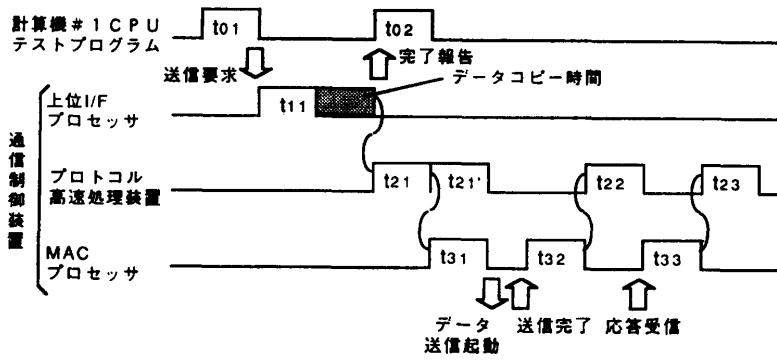
#### (2) 実測による性能確認

試作した高速 LAN 通信制御装置を用いた実験システムを構築し、性能を実測する。測定はテストプログラムにより行う。テストプログラムは、計算機間データ転送処理プログラムを用いて計算機 #1、#2 のメモリ間でデータを転送する動作をくり返し実行する。

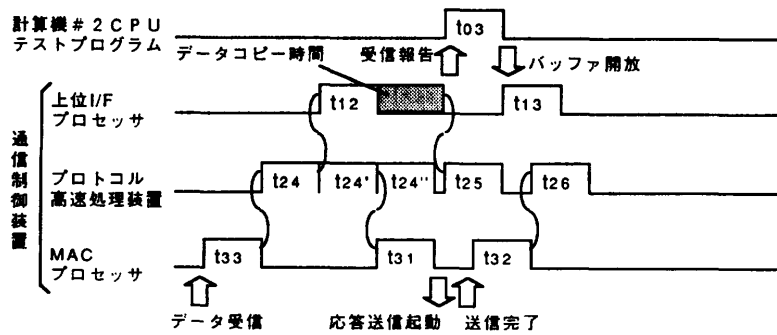
### 4.3 データ転送スループットの算出

#### 4.3.1 データ転送タイムチャート

図 5 に試作通信制御装置のデータ送信/受信タイムチャートを示す。計算機 #1、#2 で実行されるテストプログラムは、通信制御装置に対して起動やバッファ解放の通知を出すだけの簡易なものであり、 $t_{01} \sim t_{03}$  は通信制御装置内の各プロセッサ処理時間に比較して十分に小さい。また OS はテストプログラムに対して通信制御装置のインタフェース用 FIFO をアクセスできる手段を提供しているため、テストプログラムが動作する際の OS オーバヘッドも無視できる。上位インタフェースプロセッサおよび MAC プロセッサの処理時間  $t_{11} \sim t_{13}$ ,  $t_{31} \sim t_{33}$  は、各部のプログラム・ダイナミックステップ数を求め、マイクロプロ



(a) データ送信応答受信  
(a) Data transmission/acknowledgment reception.



(b) データ受信応答送信  
(b) Data reception/acknowledgment transmission.

図 5 データ転送タイムチャート  
Fig. 5 Data transfer time chart.

セッサの性能を 1.5 MIPS 程度と仮定し、算出した。プロトコル高速処理装置の処理時間  $t_{21} \sim t_{26}$  は、ハードウェア信号を直接ロジックアナライザで測定した (測定精度 0.1  $\mu$ s)。試作通信制御装置各部の処理時間を表 2 に示す。

4.3.2 データ転送スループットの算出

通信制御装置の各プロセッサは、データ送信時/受信時共に独立に動作することが可能である。したがって、計算機 #1, #2 のテストプログラム間データ転送スループットを算出するに当たっては、フレーム当たりの処理時間が最大になるプロセッサ、すなわち受信側の上位インタフェースプロセッサが性能のネックになると考えられる。最大スループットは受信側上位インタフェースプロセッサが最大限に動作する場合を考えれば良く、受信側上位インタフェースプロセッサの処理時間を  $T_{1r}$ 、通信制御装置内バッファメモリから計算機本体側主メモリへの DMA によるデータコピー時間を  $T_c$ 、データ転送スループットを  $S_d$  とすると、

$$T_c = L/R$$

$L$  : データ長 (Byte)  
 $R$  : データコピー DMA 速度 (Byte/秒)  
 $S_d = L/(T_{1r} + T_c)$

で求めることができる。よって、データ転送スループット  $S_d$  は、 $L=4$  kB、 $R=8$  MB/秒のとき 40 Mbps、 $L=4$  kB、 $R=16$  MB/秒のとき 57 Mbps となる。FDDI の伝送速度が 100 Mbps であることから、本試作装置により実効スループット率は 40%~60% を達成できる。

4.4 実測による確認

4.4.1 実験システム

実験システムは図 4 に示すとおり、計算機 #1, #2 の 2 台を高速 LAN 用通信制御装置で FDDI に接続した構成である。各計算機のユーザプログラムとして、送信/受信のテストプログラムを配置した。実験システムでは、テストプログラムによりトランスポートコネクションを 1 本設定し、そのコネクション上で計算機 #1,

#2 間のデータ転送を行いデータ転送スループットおよびデータ転送時間内訳を測定した。測定の条件を下記に示す。

- (1) 計算機側に配置されたテストプログラムの 1 データ送信要求が、1 トランスポートデータパケット (DT) に相当する。
- (2) トランスポートレイヤでの送達確認は、1 DT に対し、1 応答パケット (AK) を返送するものとする。
- (3) 送達確認なしに先送りすることのできる DT 数 (クレジット値: CDT) を 15 とする。
- (4) データ転送に関してチェックサムの計算は行わない。OSI のトランスポートクラス 4 はデータ転送に関してチェックサムをオプションとしており、今回の実験装置ではチェックサムは行わない仕様とした。

計算機と通信制御装置間のデータ転送には DMAC を用いている。DMA データ転送性能をパラメータとして評価するため、実験では以下の工夫を実施した。想定する DMA 速度によるデータコピー時間は机上

表 2 試作通信制御装置の各部処理時間  
Table 2 Processing time of the prototype communication adapter.

プロセッサ		処 理 内 容		処理時間 (μs)	
送 信 側	上位 I/F プロセッサ	$t_{11}$	本体計算機からのデータ送信要求を受け、データをコピー後要求受付完了を報告するまでの時間 (コピー時間は含まない)	210	
		プロトコル高速処理装置	$t_{11}$		送信データにレイヤ 2-4 のヘッダを付加する時間
	$t_{11}'$		レイヤ 4 の応答待ちタイマ起動処理時間		
	$t_{22}$		D T 送信バッファ開放処理時間		
	$t_{23}$		A K 受信バッファ開放処理時間		
	MAC プロセッサ	$t_{31}$	LAN-LSI の送信起動処理時間	230	
		$t_{32}$	LAN-LSI からの送信完了割込み処理時間		
		$t_{33}$	LAN-LSI からの受信割込み処理時間		
	受 信 側	上位 I/F プロセッサ	$t_{12}$	受信データ処理後データを計算機の主メモリにコピーし、受信を計算機に通知する時間 (コピー時間は含まない)	310
			$t_{13}$	受信完了後処理	
プロトコル高速処理装置		$t_{24}$	レイヤ 2-4 のデータ受信処理	158	
		$t_{24}'$	レイヤ 4 のデータ受信に対する A K 送信処理時間		
		$t_{24}''$	レイヤ 4 の無活動タイマ再起動処理		
		$t_{25}$	A K 送信バッファ開放処理時間		
MAC プロセッサ		$t_{34}$	D T 受信バッファ開放処理時間	230	
		$t_{33}$	LAN-LSI からの受信割込み処理時間		
		$t_{31}$	LAN-LSI の送信起動処理時間		
$t_{32}$		LAN-LSI からの送信完了割込み処理時間			

計算できるので、実システムではそのコピー時間を必要とするデータ長分のコピーを実行し、DMA 転送が完了したものとす。それ以外は通常の通信制御処理を実行することにより、1 MB/秒~16 MB/秒まで4種の DMA 速度についてデータ転送性能を測定した。

4.4.2 実測結果

テストプログラムによりカウントしたパケット数と転送したパケット長とにより求めたデータ転送スループット、およびデータ転送時間内訳は以下のとおりであった。

(1) データ転送スループット

計算機本体側主メモリと通信制御装置内バッファメモリ間の DMA データコピー性能をパラメータとして、データ転送スループットを測定した結果を図 6 に示す。

データ長が 4 k バイトの場合、データコピー性能が 8 M バイト/秒以上であれば 40~60 Mbps 程度の

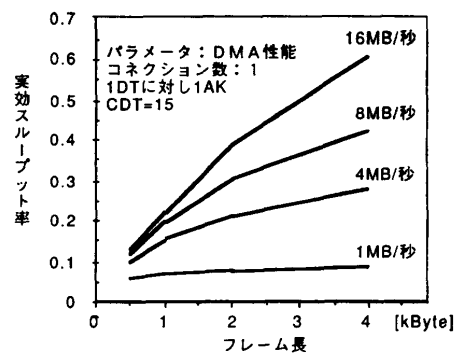


図 6 実効スループット率  
Fig. 6 Throughput ratio compared to physical layer bandwidth.

データ転送スループットが得られることがわかり、机上評価で算出した値と良く適合した。

(2) データ転送時間内訳

データパケットの転送時間およびデータパケットに

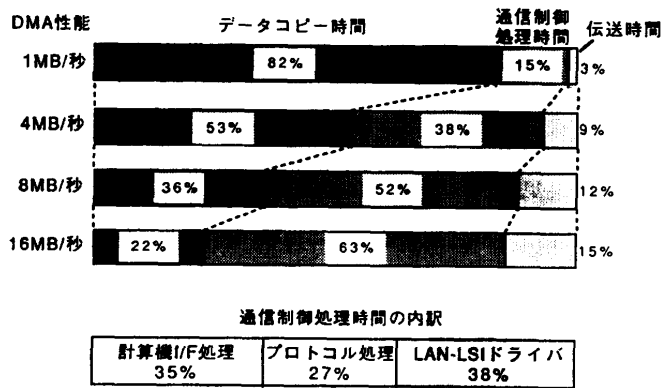


図 7 データ転送時間内訳  
Fig. 7 Items of data transfer time.

に対する応答パケットの転送時間を加えたデータ転送時間の内訳を図 7 に示す。データ転送時間内訳に関しては、データコピー性能が 1 MB/秒の場合、全体処理時間の約 8 割がデータコピー時間であるのに対し、16 MB/秒の場合、データコピー時間は約 2 割、通信制御処理時間が約 6 割であった。

#### 4.4.3 結果の検討

以上の結果より下記事項を明らかにできた。

(1) 従来、計算機間のデータ転送性能を支配していたのは LAN の伝送速度によって決まる伝送時間であった。しかし、伝送速度の高速化に伴い、スループットのネックは計算機本体と通信制御装置間で行われるデータコピー処理へと変化してきている。

(2) データコピー時間を短縮したとすると (DMA 性能の向上、例えば 16 MB/秒)、次にネックになるのは通信制御処理である。

(3) 通信制御処理の中でも特に性能に対する影響が大きいと考えられている通信プロトコルの処理時間は、プロトコル高速処理装置の導入により、通信制御処理時間中の 3 割弱に押さえることができる。通信制御処理時間の残りの 7 割以上が計算機本体インタフェース処理や LAN-LSI ドライバ処理であるため、各々の処理部に汎用マイクロプロセッサを設置し、マルチプロセッサ構成とした本論文の構成法が有効である。

#### 5. おわりに

高速 LAN で計算機間を接続し、相互にデータをやり取りする通信システムを対象に、LAN に接続された計算機に高スループットのデータ転送性能を提供する通信制御装置の一構成方式を提案した。提案方式

は、OSI のレイヤ 1~4 を対象とし、プロトコル高速処理装置によるプロトコル処理の高速化を図った点と、計算機本体インタフェース部、LAN-LSI ドライバ部をマルチプロセッサ構成により高速化した点に特徴がある。

提案方式の効果は、計算機を FDDI に接続する通信制御装置を試作し、実測により確認した。この結果、以下の事項を明らかにした。

(1) 計算機本体と通信制御装置間のデータコピーを行う DMA 性能が 16 MB/秒のときには、実効スループット率が 0.6 程度であること。

(2) プロトコル高速処理装置の導入により、データコピー時間や伝送時間を除く通信制御処理時間中に占める通信プロトコル処理時間の割合が 3 割弱に低減できたこと。

(3) 提案した通信制御装置構成法により、計算機本体インタフェース部分や LAN-LSI ドライバ部分を含めた通信制御処理時間の短縮が可能となったこと。しかし、データ転送時間全体には計算機と通信制御装置間のデータコピー性能が大きく影響し、その点に性能改良の余地があること。

提案方式の評価は、FDDI に適用した場合で行った。これ以外にも計算機と高速な伝送路を接続してシステムを構築する場合に本方式は有効であると思われる。

**謝辞** 本研究を進めるに当たり、応用面からの貴重な助言をいただいた当社大みか工場 中西宏明部長、安元精一郎部長、岡田政和主任技師、本研究の機会を与えていただいた当社システム開発研究所 堂免信義所長、大町一彦企画室長、本研究の遂行にあたり貴重な助言をいただいた松井進氏、性能評価においてご協力いただいた山野浩氏、原子拓氏に深謝いたします。

#### 参考文献

- 1) Burr, W. E.: An Overview of FDDI, *Proceedings of the EFOC/LAN '88*, pp. 287-293 (June 1988).
- 2) Johnson, H. W.: Effective Performance in High Speed Networking, *Proceedings of COMPCON '89*, pp. 306-310 (1989).
- 3) Hathaway, W.: Overcoming Network Bottlenecks, *UNIX Review*, Vol. 8, No. 4, pp. 63-68 (1990).



- 4) Tantawy, A., Meleis, H., Zarki, M. and Rajendran, G.: Towards a High Speed MAN Architecture, *Proceedings of ICC '89*, pp. 619-624 (1989).
- 5) Strauss, P.: OSI Throughput Performance: Breakthrough or Bottleneck?, *Data Communications*, pp. 53-56 (May 1987).
- 6) Clark, D.D., Lambert, M.L. and Zhang, L.: NETBLT: A High Throughput Transport Protocol, *Proceedings of SIGCOM '88*, pp. 353-359 (1988).
- 7) Cheriton, D.R. and Williamson, C.L.: VMTP as the Transport Layer for High-Performance Distributed Systems, *IEEE Communications Magazine*, pp. 37-44 (June 1989).
- 8) XTP Protocol Definition Revision 3.5, Protocol Engines, Incorporated, 1900 State Street, Suite D, Santa Barbara, California 93101 (1990).
- 9) Chesson, G.: Protocol Engine Design, *USE-NIX Conference Proceedings*, Phoenix, Arizona, pp. 313-319 (June 1987).
- 10) Clark, D.D., Jacobson, V., Romkey, J. and Salwen, H.: An Analysis of TCP Processing Overhead, *IEEE Communications Magazine*, pp. 23-29 (June 1989).
- 11) Ichikawa, H., Yamada, H., Akaike, T., Kanno, S. and Aoki, M.: Protocol Control VLSI for Broadband Packet Communications, *Proceedings of GLOBECOM '88*, pp. 1494-1498 (Nov. 1988).
- 12) Mandalia, B.D. and Fernandez, M-l. E-B.: Performance Evaluation of the Communications Protocol Processor, *Proceedings of GLOBECOM '90*, pp. 902-906 (Dec. 1990).
- 13) 松井, 平田, 横山, 水谷, 寺田: 専用ハードウェア化による通信プロトコル処理高速化の一方式, *情報処理学会論文誌*, Vol. 32, No. 2, pp. 272-279 (1991).

(平成3年7月24日受付)  
(平成3年12月9日採録)



平田 哲彦 (正会員)

昭和36年生。昭和59年東京工業大学工学部機械工学科卒業。同年(株)日立製作所入社。現在同社システム開発研究所研究員。コンピュータネットワーク, LAN, プロトコル高速処理に関する研究に従事。電子情報通信学会会員。



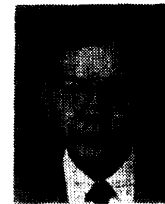
横山 達也 (正会員)

昭和37年生。昭和56年多度津工業高校電子科卒業。同年(株)日立製作所に入社。現在, 同社システム開発研究所にて, コンピュータネットワーク, LAN および, プロトコル高速処理技術の研究に従事。



水谷 美加 (正会員)

昭和62年日本女子大学家政学部家政理学科物理学系卒業。同年(株)日立製作所に入社。現在, 同社システム開発研究所にて, コンピュータネットワーク, LAN, プロトコル高速処理技術に関する研究に従事。



寺田 松昭 (正会員)

昭和45年岡山大学工学部電気工学科卒業。同年(株)日立製作所入社。以来, コンピュータネットワーク, 制御用分散処理システム, LAN, プロトコル高速処理の研究に従事。現在, 同社システム開発研究所情報通信ネットワーク研究部長。著書「制御用計算機におけるリアルタイム技術」(共著)。電子情報通信学会, IEEE 各会員。



三巻 達夫 (正会員)

昭和6年生。昭和29年横浜国立大学工学部機械工学科卒業。東京大学生産技術研究所を経て昭和31年10月(株)日立製作所入社。制御系解析・最適設計ソフトウェアの開発, 制御用計算機 PMS, システム制御の研究に従事。現在同社システム開発研究所主管研究員(嘱託)。昭和63年紫綬褒章。編著「制御用計算機におけるリアルタイム技術」。日本機械学会会員, 計測自動制御学会フェロー。