

## サブスレッシュホールド領域におけるラッチ回路の動作安定性モデル

鎌苅 竜也<sup>†</sup> 塩見 準<sup>†</sup> 石原 亨<sup>†</sup> 小野寺 秀俊<sup>†</sup>

<sup>†</sup> 京都大学大学院 情報学研究科 通信情報システム専攻

{kamakari, shiomi-jun, ishihara, onodera}@vlsi.kuee.kyoto-u.ac.jp

### 概要

多くの記憶素子の基本要素として利用されるラッチ回路は、集積回路設計にかかせない重要な回路である。集積回路の低消費電力化のためには、低電圧での回路動作が有効であることが広く知られている。しかし低電圧動作では、トランジスタ特性ばらつきの影響による論理ゲートの誤動作、特にラッチ回路の誤動作が大きな問題となる。本稿は、解析的なアプローチから、極低電圧動作におけるラッチ回路の動作安定性を精度よくモデル化する手法について述べる。その後、商用 28 nm プロセスのトランジスタモデルを用いた回路シミュレーションにより、提案モデルの有用性を確認する。

### A Closed-Form Stability Model for Latches Operating in Sub-Threshold Voltage Region

Tatsuya Kamakari<sup>†</sup>, Jun Shiomi<sup>†</sup>, Tohru Ishihara<sup>†</sup>, Hidetoshi Onodera<sup>†</sup>

<sup>†</sup>Dept. of Communications and Computer Engineering, Graduate School of Informatics, Kyoto University

### Abstract

Latches, which are the bases of memory elements, has an essential role for LSI circuit design. One of effective techniques to reduce energy consumption is lowering the supply voltage of LSI circuits. However as the supply voltage becomes lower, the impact of performance variation of transistors becomes significant and it leads to a malfunction of circuits especially in case of very low voltage operation. It is widely known that the minimum operating voltage of memory element is higher than that of the other logic circuits. In this paper, an analytical stability model for latches is proposed. Monte-Carlo simulation results obtained using a commercial 28 nm process technology model demonstrate the accuracy and the validity of proposed model.

### 1 序論

モバイル端末の発展により、低消費電力、低電圧で動作する集積回路の需要がますます高まっている。集積回路の消費電力の中で、フリップフロップ (FF) の消費電力が大きな割合を占めることがよく知られている。これには 2 つの大きな理由がある。1 つは、FF にはクロック信号が入力されているため、他の論理ゲートと異なり常に電力消費が発生するためである。もう 1 つは、一般に集積回路は同期回路として設計されるため、状態やデータの保存のための FF が多数搭載されるためである。このことから、FF の消費電力削減は集積回路全体の消費電力削減に大きく寄与すると考えることができる。

論理ゲートの動的消費エネルギーは電源電圧の 2 乗に比例することがよく知られている [1]。そのため、FF の消費電力を削減する手法として、低い電源電圧で動作させる方法が最も効果的な手法の 1 つであると考えられる。しかし、低い電源電圧での動作では、製造の際に生じるトランジスタの特性ばらつきが相対的に増加する [2]。中でもトランジスタのしきい値電圧のばらつきは論理ゲートの動作に大きな影響を及ぼすことが報告されている [3]。また、ばらつきの影響を考慮した場合、論理ゲートの中で FF の最低動作電圧が最も高い [4]。したがって、FF が回路全体の下限電圧を制限していることがわかる。以上の理由から、電源電圧に対する FF の動作確率および誤動作要因を解析し、

集積回路の低消費電力化のために、低電圧動作の際にも高い歩留まりで動作可能な FF の実現が重要課題である。

既存研究より、FF の歩留まりは FF を構成するラッチの誤動作率が支配することが明らかとなっている [5]。このことから、ラッチ回路の歩留まりを求めることは FF の歩留まりを求めることにつながると考えられる。さらに、解析モデルによりラッチ回路の歩留まりを説明することができれば、FF の歩留まり改善のための回路設計、あるいはデバイス技術の指針を示すことができる。しかし、ラッチ回路の安定性について古くから研究が行われているものの、未だにその統計的性質は十分には解明されていない。

本研究は、ラッチ回路、および FF の歩留まりモデルの導出を目標とする。本稿では、ラッチ回路の基本要素であるクロスカップルドインバータ回路の歩留まりモデルを提案し、モデルの妥当性について検証、および議論する。第 2 章で、既存研究を紹介し、ラッチ回路の歩留まりモデルの重要性について述べる。第 3 章で、MOS トランジスタの電流特性からラッチ回路の歩留まりモデルを導く。第 4 章では、提案モデルの妥当性を検証する。回路シミュレーションと提案モデルを比較し、モデル式の精度について議論する。第 5 章で、提案モデルから得ることのできる、ラッチ回路の設計指針を述べる。第 6 章で、本稿の結論と今後の課題を示す。

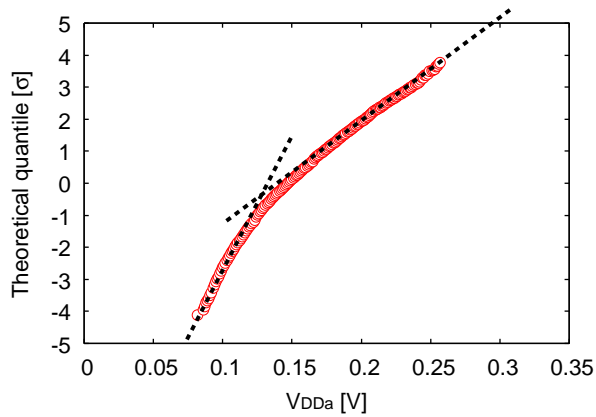


図 1: 50000 回のモンテ・カルロシミュレーションにより得られた, FF の  $V_{DDmin}$  の統計的性質 [5].

## 2 関連研究

本章では, 本研究の背景を述べる. ラッチ回路の応用例である FF, SRAM について既存研究を紹介し, 本研究の意義を説明する.

文献 [5] では, FF の最低動作電圧の性質を求めるために, FF が誤動作を起こす電源電圧のばらつきをシミュレーションにより調査した結果が示されている. 横軸に誤動作が起こらない最低電源電圧, 縦軸に累積確率をとった正規確率プロットが, 図 1 のように求められている. 図 1 からわかるように, 高電圧領域において, 電源電圧の変化に対して累積確率は線形に変化している. これは, 高電圧領域では FF の最低動作電圧が正規分布にしたがって分布することを示している. さらに, 高電圧領域では誤動作はすべて FF 中のラッチが値の保持に失敗することが原因である. したがって, ある電圧が与えられた時にラッチ回路が誤動作を起こす確率を求めることができれば, その電圧で FF が誤動作を起こす確率を求めることにつながると考えられる.

ラッチ回路や SRAM の安定性指標として SNM(Static Noise Margin) が広く用いられる. 古くから SNM について活発な研究が行われてきたが, 未だに SNM の統計的性質は十分に解明されていない.

実測値から SRAM の SNM の統計的性質を評価した結果, SNM のばらつき分布は正規分布に従う性質を持つとの報告がある [6]. しかし, 正規分布となる根拠は示されていない. また同様に, FF の誤動作や FF の歩留まりについての検討は十分にはなされていない. 以上より, SRAM や FF へと発展するラッチ回路の誤動作機構を解析し, 歩留まりのモデルを作成することは, 低電圧安定動作の SRAM や FF の実現に大きく寄与すると考えられる.

## 3 ラッチ回路の動作安定性モデル

本章では, ラッチ回路の歩留まりモデルを MOS トランジスタの電流特性式から導く. モデル化の対象を定義した後, 誤動作を起こす条件を定義し, その条件を定式化する.

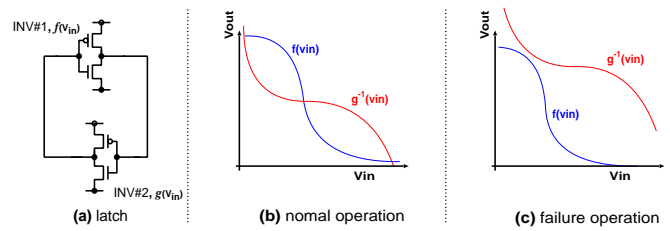


図 2: (a) モデル化の対象のラッチ回路; (b) 正常動作時のバタフライカーブ例; (c) 誤動作時のバタフライカーブ例

なお, 以下の議論はすべてサブスレッショルド動作を前提とする. これは, ラッチ回路が値の保持に失敗する電源電圧領域がすべてサブスレッショルド領域であったためである [5].

### 3.1 モデル化の対象と誤動作の定義

一般的なマスター・スレーブ型の FF において, ラッチ回路を構成するインバータの片方はクロスカップルドインバータで作られる. また, 一般的な SRAM はラッチ回路に書き込み/読み出しを行うためのアクセストランジスタを持つ. 本稿では簡単のため, 図 2(a) のようにインバータ 2 つをループ状に接続した単純なクロスカップルドインバータ回路をモデル化の対象とする.

次に, ラッチ回路の誤動作を以下のように定義する. 図 2(b) はインバータ #1 の入出力特性  $f(V_{in})$  と, インバータ #2 の入出力特性  $g(V_{in})$  の逆関数を表す. このカーブは一般にバタフライカーブと呼ばれる. このバタフライカーブの目が開いていることにより, ラッチ回路は値を安定して保持することができる. したがって, トランジスタの特性がばらつき, 図 2(c) のように目の開きが無くなってしまったとき, ラッチ回路は誤動作すると定義する. 以下では, 製造時に生じるトランジスタ特性のばらつきにより, しきい値電圧  $V_{TH}$  に変動が生じるとして考察を進める.

### 3.2 提案モデルのアイデア

実際のバタフライカーブ特性は解析的にはモデル化できない. しかし, 単位利得点 (カーブの傾きが  $-1$  になる点) はいくつかの近似を行うことにより解析的に表すことが可能である. また, バタフライカーブ特性において, 単位利得点のみではなく,  $-1$  より  $0$  に近い傾きとなる任意の点は小さい誤差で解析的に導出できる. したがって, ある利得  $-\alpha$  ( $0 < \alpha < 1$ ) を考え, “ $\alpha$  利得点と単位利得点を結んで描かれる平行四辺形の面積  $\leq 0$ ” を誤動作条件として定義し, モデルを構築する. このモデルの概念図を図 3(左) に示す. 以上の考えは, バタフライカーブの目の形状を平行四辺形で近似することに対応している.

モデルの導出に先立ち, 提案モデルが高い精度でラッチ回路の歩留まりを表現可能な根拠を述べる. 各バタフライカーブは, しきい値電圧のばらつきによって片方は上下, 片方は左右に線形移動することが解析的に示されている [7]. トランジスタレベルシミュレーションによって, カーブの目が閉じるときの線形移動幅を調査した. 電源電

圧が 300 mV の場合の実験結果を図 3(右) に示す．各カーブの移動幅が，図中の塗りつぶされた領域内であればカーブの目が開くことを意味する．また，モデル式における誤動作と正常動作の境界を同様に図 3(右) に示す．これは，後のモデル式から導かれる 2 本の直線である．2 本の直線の左下領域にカーブの移動幅が存在している場合，モデル式において正常動作となる．

図 3(右) から，提案モデルに生じると考えられるモデル誤差を推察することができる．トランジスタのしきい値電圧ばらつきは正規分布にしたがう分布を持つと広く知られている [8]．インバータは 2 つのトランジスタで作られるので，パタフライカーブの移動幅は平均値が点 (0,0) の 2 変数正規分布に従う分布を持つことがわかる．図 3(右) からわかるように，提案モデルに基づく解析手法は目が閉じる時の条件を正確に再現しておらず，誤差が生じる．しかし，再現できていない範囲は点 (0,0) から遠く離れた，確率密度が極端に低下する領域である．以上の事実から，提案モデルが示す歩留まりの誤差は小さいことが説明できる．

### 3.3 提案モデルの導出

本節では，提案モデルを MOS トランジスタの電流特性式から導く方法について述べる．

#### 3.3.1 サブスレッショルド動作におけるインバータ動作の特徴点

サブスレッショルド動作における MOS トランジスタの電流特性は式 (1) で表される [1]．

$$I = k \frac{W}{L} \exp\left(-\frac{\Delta V_{TH}}{n v_T}\right) \times \exp\left(\frac{V_{GS} + \eta V_{DS} - k_\gamma V_{BS}}{n v_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{v_T}\right)\right). \quad (1)$$

$$k = I_0 \exp\left(\frac{V_{TH,0}}{n v_T}\right). \quad (2)$$

ここで， $I_0$  は  $V_{GS} = 0, V_{DS} = V_{DD}$  のときの  $I_{DS}$ ， $\eta$  は DIBL 係数， $k_\gamma$  はボディ効果係数． $n$  はサブスレッショルド係数， $v_T$  は熱電圧を表す．TT 条件でのしきい値電圧を  $V_{TH,0}$  とし，製造ばらつきにより  $\Delta V_{TH}$  のしきい値電圧の

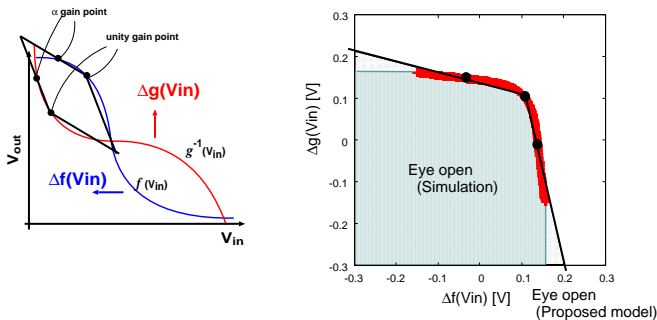


図 3: (左): 提案モデルの概念図．パタフライカーブの目の開きを平行四辺形で近似する．  
(右): 提案モデルとシミュレーションでの誤動作条件の比較．

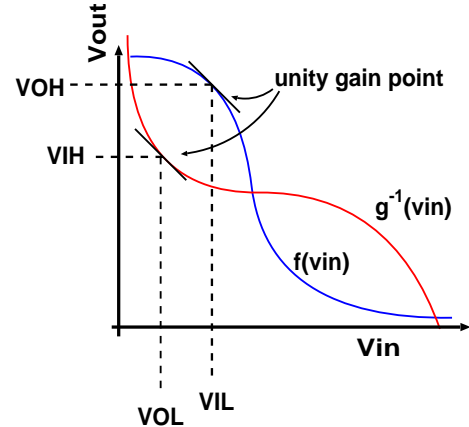


図 4: パタフライカーブにおける単位利得点．

変動が生じると考える．これらのうち， $I_0, \eta, k_\gamma, n, V_{TH,0}$  はプロセスに依存するパラメータである．

インバータの入出力特性を考える．インバータの入力電圧を  $V_{in}$ ，出力電圧を  $V_{out}$  とする．式 (1) で表される電流特性が nMOS と pMOS とで逆向きであることに注意して，定常状態 ( $I_n = I_p$ ) を考えることでインバータの入出力特性を導くことができる．以下では簡単のため， $V_{BS} = 0$  として議論を進める．

unity gain を得るときの  $V_{in}, V_{out}$  を，図 4 のようにそれぞれ  $V_{IL}, V_{OH}$  および  $V_{IH}, V_{OL}$  と定義する．式 (1) から，以下の手順で  $V_{OH}, V_{OL}, V_{IH}, V_{IL}$  を求める．まず， $V_{OH}, V_{IL}$  を求める． $V_{in}$  が十分低く， $V_{out}$  が  $V_{DD}$  に近い場合を考える．

このとき， $V_{out} \gg v_T$  である． $1 - \exp(-V_{out}/v_T) \simeq 1$  と近似できるので， $I_n$  は次式のように表すことができる．

$$I_n \simeq k_n \frac{W_n}{L_n} \exp\left(-\frac{\Delta V_{TH,n}}{n_n v_T}\right) \exp\left(\frac{V_{in} + \eta_n V_{out}}{n_n v_T}\right). \quad (3)$$

ここで， $1 - \exp\{-(V_{DD} - V_{out})/v_T\}$  を  $V_{DD} - V_{out} = v_T \ln(n/2 + 1)$  の周りでテイラー展開して 1 次近似を行うことにより，以下の式が成り立つ．ここで， $1/n = (1/n_p + 1/n_n)/2$  である．

$$1 - \exp\left(-\frac{V_{DD} - V_{out}}{v_T}\right) \simeq \frac{n}{n+2} + \frac{1}{v_T} \frac{2}{n+2} \times \left\{V_{DD} - V_{out} - v_T \ln\left(\frac{n}{2} + 1\right)\right\}. \quad (4)$$

また， $\eta_p(V_{DD} - V_{out})/n_p v_T \simeq 0$  であることから，以下の式が成り立つ．

$$\exp\left\{\frac{\eta_p(V_{DD} - V_{out})}{n_p v_T}\right\} \simeq 1. \quad (5)$$

$$\begin{aligned} \exp\left(\frac{\eta_n V_{out}}{n_n v_T}\right) &= \exp\left\{\frac{\eta_n(V_{out} - V_{DD} + V_{DD})}{n_n v_T}\right\} \\ &= \exp\left(\frac{\eta_n V_{DD}}{n_n v_T}\right) \exp\left\{\frac{\eta_n(V_{out} - V_{DD})}{n_n v_T}\right\} \\ &\simeq \exp\left(\frac{\eta_n V_{DD}}{n_n v_T}\right). \end{aligned} \quad (6)$$

以上の近似により、式 (1) を以下の式で書きなおすことができる。

$$\begin{aligned} I_{\text{out}} &= k_n \frac{W_n}{L_n} \exp\left(-\frac{\Delta V_{\text{TH},n}}{n_n v_T}\right) \exp\left(\frac{V_{\text{in}} + \eta_n V_{\text{DD}}}{n_n v_T}\right) \\ &= k_p \frac{W_p}{L_p} \exp\left(-\frac{\Delta V_{\text{TH},p}}{n_p v_T}\right) \exp\left(\frac{V_{\text{DD}} - V_{\text{in}}}{n_p v_T}\right) \\ &\times \left[ \frac{n}{n+2} + \frac{1}{v_T} \frac{2}{n+2} \left\{ V_{\text{DD}} - V_{\text{out}} - v_T \ln\left(\frac{n}{2} + 1\right) \right\} \right]. \quad (7) \end{aligned}$$

これを  $V_{\text{out}}$  について解き、 $(\partial V_{\text{out}}/\partial V_{\text{in}}) = -1$  となるような  $V_{\text{in}}$  とそのときの  $V_{\text{out}}$  を考えることでそれぞれ  $V_{\text{IL}}, V_{\text{OH}}$  を導出することができる。

$$\begin{aligned} V_{\text{IL}} &= \frac{n}{2} \left( \frac{1}{n_p} - \frac{\eta_n}{n_n} \right) V_{\text{DD}} - \frac{n v_T}{2} \left\{ \ln\left(\frac{2}{n} + 1\right) + \ln \frac{k_n \frac{W_n}{L_n}}{k_p \frac{W_p}{L_p}} \right\} \\ &\quad + \frac{n}{2} \left( \frac{\Delta V_{\text{TH},n}}{n_n} - \frac{\Delta V_{\text{TH},p}}{n_p} \right). \quad (8) \end{aligned}$$

$$V_{\text{OH}} = V_{\text{DD}} - v_T \ln\left(\frac{n}{2} + 1\right). \quad (9)$$

ここで、 $V_{\text{DD}} - V_{\text{OH}} = v_T \ln(n/2 + 1)$  であることから、 $V_{\text{out}} = V_{\text{OH}}$  の近傍での式 (4) の近似が妥当なものであることがわかる。以上の式展開は、文献 [9, 10] から基本の考えを倣い、精度向上のためにテイラー展開の展開中心に変更を施した。

$V_{\text{in}}$  が  $V_{\text{DD}}$  に近く  $V_{\text{out}}$  が十分小さい場合について、以上と同様の議論をすることで  $V_{\text{IH}}, V_{\text{OL}}$  をそれぞれ式 (10), (11) のように求めることができる。

$$\begin{aligned} V_{\text{IH}} &= \frac{n}{2n_p} (1 + \eta_p) V_{\text{DD}} + \frac{n v_T}{2} \left\{ \ln\left(\frac{2}{n} + 1\right) + \ln \frac{k_p \frac{W_p}{L_p}}{k_n \frac{W_n}{L_n}} \right\} \\ &\quad + \frac{n}{2} \left( \frac{\Delta V_{\text{TH},n}}{n_n} - \frac{\Delta V_{\text{TH},p}}{n_p} \right). \quad (10) \end{aligned}$$

$$V_{\text{OL}} = v_T \ln\left(\frac{n}{2} + 1\right). \quad (11)$$

以上より、単位利得を得るときの  $V_{\text{in}}, V_{\text{out}}$  を解析的に求めることができた。

### 3.3.2 平行四辺形の面積 > 0 となる条件

図 3 の平行四辺形の面積を導出する。図 5 のように、 $\alpha$  利得を得るときの  $V_{\text{in}}, V_{\text{out}}$  をそれぞれ  $V_{\text{I}\alpha, \text{L}}, V_{\text{O}\alpha, \text{H}}$  および  $V_{\text{I}\alpha, \text{H}}, V_{\text{O}\alpha, \text{L}}$  と定義すると、前節と同様の方法でこれらの値を導出できる。

次に、平行四辺形の辺の長さを求める。平行四辺形の上下の辺の長さを  $u$ 、左右の辺の長さを  $v$  とする。このとき、 $u, v$  は次式で表すことができる。

$$u = \frac{\sqrt{1+a^2}}{(1-a^2)} (aV_{\text{IH}} + V_{\text{IL}} - aV_{\text{OH}} - V_{\text{OL}}). \quad (12)$$

$$v = \frac{a\sqrt{1+a^2}}{(1-a^2)} (V_{\text{IH}} + aV_{\text{IL}} - V_{\text{OH}} - aV_{\text{OL}}). \quad (13)$$

$$a = \frac{2 \ln\{(n+2)/(n\alpha+2)\}}{n \ln\{\alpha(n+2)/(n\alpha+2)\}}. \quad (14)$$

したがって、「平行四辺形の面積 > 0」の条件は次のように書き換えることができる。ここで、 $a < 0$  であることに注意。

「平行四辺形の面積 > 0」

$\Leftrightarrow$  「 $u > 0$  かつ  $v > 0$ 」

$\Leftrightarrow$  「 $(aV_{\text{IH}} + V_{\text{IL}} - aV_{\text{OH}} - V_{\text{OL}} > 0)$

かつ  $(V_{\text{IH}} + aV_{\text{IL}} - V_{\text{OH}} - aV_{\text{OL}} < 0)$ 」. (15)

### 3.3.3 電源電圧に応じた $\alpha$

式 (14) および条件式 (15) から分かるとおり、パタフライカーブの目が開く条件は  $\alpha$  に依存する。電源電圧が低くなっていくと、トランジスタのオン電流は減少していく。このことから、パタフライカーブ特性の傾きは  $-1$  の直線に近づいていくと予想できる。したがって、 $\alpha$  は電源電圧に依存して変化していくべきであると考えられる。そこで、本稿では次式の  $\alpha$  を考える。

$$\alpha = \frac{(V_{\text{in}} = 0 \text{ のときの傾き}) + 1}{2} \quad (16)$$

“ $V_{\text{in}} = 0$  のときの傾き” =  $\alpha_0$  は、3.3.1 節と同様の手法により解析的に式 (17) で表される。

$$\alpha_0 = \frac{2}{n} \frac{1}{\frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}} \exp\left\{\frac{1}{v_T} \left(\frac{1}{n_p} - \frac{\eta_n}{n_n}\right) V_{\text{DD}}\right\} - 1} \quad (17)$$

本稿では、提案モデルのための  $\alpha$  として式 (16) を適用した。

### 3.3.4 平行四辺形の面積 > 0 となる確率

平行四辺形の面積が正となる確率を求める。図 2 において、インバータ #1 の特性には添字に 1 を、インバータ #2 の特性には添字に 2 をつけることにする。前節までの議論より、パタフライカーブの 2 つある目に描く平行四辺形の面積がどちらも正となる条件は次のようになる。

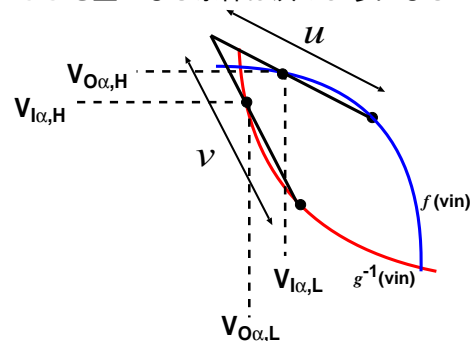


図 5: パタフライカーブの左上の目の拡大図。単位利得点と  $\alpha$  利得点で平行四辺形を作る。

- $aV_{IH,2} + V_{IL,1} - aV_{OH,1} - V_{OL,2} > 0$   
 かつ  $V_{IH,2} + aV_{IL,1} - V_{OH,1} - aV_{OL,2} < 0$   
 かつ  $aV_{IH,1} + V_{IL,2} - aV_{OH,2} - V_{OL,1} > 0$   
 かつ  $V_{IH,1} + aV_{IL,2} - V_{OH,2} - aV_{OL,1} < 0$

この条件は、以下のようにばらつき項とプロセス依存の定数項に分離して考えることができる。

- $\Delta u < H_{const.}$  かつ  $\Delta v > L_{const.}$   
 かつ  $\Delta u' < H'_{const.}$  かつ  $\Delta v' > L'_{const.}$

$$\begin{pmatrix} \Delta u \\ \Delta v \end{pmatrix} = \frac{n}{2} \begin{pmatrix} 1 & a \\ a & 1 \end{pmatrix} \begin{pmatrix} \frac{\Delta V_{TH,p,1}}{n_p} - \frac{\Delta V_{TH,n,1}}{n_n} \\ \frac{\Delta V_{TH,p,2}}{n_p} - \frac{\Delta V_{TH,n,2}}{n_n} \end{pmatrix}. \quad (18)$$

$$\begin{aligned} H_{const.} &= \left\{ -a + (a+1)\frac{n}{2n_p} + a\frac{n}{2n_p}\eta_p - \frac{n}{2n_n}\eta_n \right\} V_{DD} \\ &+ v_T(a-1) \left\{ \ln\left(\frac{n}{2}+1\right) + \frac{n}{2} \ln\left(\frac{2}{n}+1\right) \right\} \\ &+ \frac{nv_T}{2} \left\{ \ln\left(\frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}}\right) + a \ln\left(\frac{k_p \frac{W_{p,2}}{L_{p,2}}}{k_n \frac{W_{n,2}}{L_{n,2}}}\right) \right\}. \quad (19) \end{aligned}$$

$$\begin{aligned} L_{const.} &= \left\{ -1 + (a+1)\frac{n}{2n_p} + \frac{n}{2n_p}\eta_p - a\frac{n}{2n_n}\eta_n \right\} V_{DD} \\ &+ v_T(-a+1) \left\{ \ln\left(\frac{n}{2}+1\right) + \frac{n}{2} \ln\left(\frac{2}{n}+1\right) \right\} \\ &+ \frac{nv_T}{2} \left\{ a \ln\left(\frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}}\right) + \ln\left(\frac{k_p \frac{W_{p,2}}{L_{p,2}}}{k_n \frac{W_{n,2}}{L_{n,2}}}\right) \right\}. \quad (20) \end{aligned}$$

ここで、 $\Delta u'$ 、 $\Delta v'$ 、 $H'_{const.}$ 、 $L'_{const.}$  は、それぞれ  $\Delta u$ 、 $\Delta v$ 、 $H_{const.}$ 、 $L_{const.}$  の添字の 1 と 2 を入れ替えたものである。式 (18) より  $\Delta u' = \Delta v$ 、 $\Delta v' = \Delta u$  である。したがって、上記条件を満たす確率は、式 (21) で表すことができる。

$$P(L'_{const.} < \Delta u < H_{const.}) \cap P(L_{const.} < \Delta v < H'_{const.}). \quad (21)$$

ここで、トランジスタのしきい値電圧のばらつきが正規分布に従うそれぞれ独立な分布をもつと仮定する。このとき、 $\Delta u$  と  $\Delta v$  は互いに相関を持つ正規分布となることが式 (18) からわかる。したがって、式 (21) を満たす確率は、相関を持つ 2 変数正規分布の積分により求められることがわかる。

### 3.3.5 2 変数正規分布の積分

2 つの確率変数  $X$  と  $Y$  を持つ、2 変数正規分布の同時確率密度関数 (PDF:  $f(x, y)$ ) は式 (22) で与えられる。ここで、 $\rho$  は 2 つの分布の相関係数である。また、この分布の累積分布関数 (CDF:  $\Phi(X, Y)$ ) は式 (23) で与えられる。

$$\begin{aligned} f(x, y) &= \frac{1}{2\pi\sigma_x\sigma_y\sqrt{1-\rho^2}} \exp\left[-\frac{1}{2(1-\rho^2)}\right. \\ &\times \left.\left\{ \frac{(x-\mu_x)^2}{\sigma_x^2} - 2\rho\frac{(x-\mu_x)(y-\mu_y)}{\sigma_x\sigma_y} + \frac{(y-\mu_y)^2}{\sigma_y^2} \right\}\right]. \quad (22) \end{aligned}$$

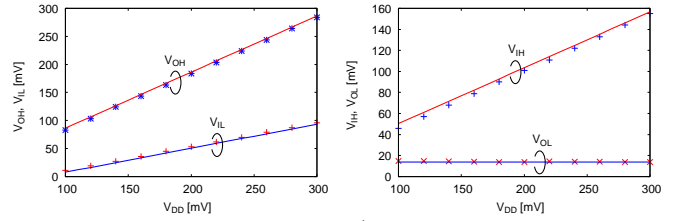


図 6:  $V_{IL}$ 、 $V_{IH}$ 、 $V_{OL}$ 、 $V_{OH}$  の、モデル式とシミュレーション結果との比較。実線がモデル、点がシミュレーション結果。

$$\Phi(X, Y) = \int_{-\infty}^Y \int_{-\infty}^X f(x, y) dx dy. \quad (23)$$

したがって、式 (21) が満たされる確率は次式で与えられる。

$$\begin{aligned} &\int_{L_{const.}}^{H'_{const.}} \int_{L'_{const.}}^{H_{const.}} f(\Delta u, \Delta v) d\Delta u d\Delta v \\ &= \Phi(H_{const.}, H'_{const.}) - \Phi(H_{const.}, L_{const.}) \\ &- \Phi(L'_{const.}, H'_{const.}) + \Phi(L'_{const.}, L_{const.}). \quad (24) \end{aligned}$$

以上より、バタフライカーブの目が開く確率を解析的に表現できた。式 (24) を解くためには、2 次元のガウス積分を解く必要があるが、2 次元のガウス積分は解析的に解けないことが一般的に知られている。しかしながら、2 変数の累積分布関数は解析的には解けないものの、計算ツールを使って高速に解を得るための様々なアルゴリズムが提案されている。また、様々な言語でそれを適用するためのパッケージが提供されている。次章以降の実験例では、octave による数値計算を用いて式 (24) の確率を算出した。

## 4 提案モデルの検証実験

商用 28 nm プロセスのトランジスタモデルを用い、提案モデルの検証を行った。トランジスタのプロセスパラメータ ( $n$ ,  $\eta$ ,  $k$ ) は、実験的に式 (1) をパラメータフィッティングすることで求めた。

まず、モデル式における  $V_{IL}$ 、 $V_{IH}$ 、 $V_{OL}$ 、 $V_{OH}$  を検証した。プロセスパラメータを式 (8)–(11) に代入したモデルと、シミュレーション結果との比較を図 6 に示す。モデルとシミュレーション結果がよく一致していることがわかる。モデル式の導出で 3 種類の近似を行ったが、それによる誤差は小さいことが示された。

次に、提案モデル式 (24) を検証した。本検証では、モデル化対象回路の 2 つのインバータに同じサイズのものを用いた。提案モデルとシミュレーション結果との比較を図 7 に示す。シミュレーションでは、各電圧に対しそれぞれ 10 万パターンのばらつきを与えるモンテ・カルロ法により値を算出した。

提案モデルとシミュレーション結果がよく一致していることから、提案モデルがクロスカップルドインバータ回路の歩留まりを精度よく表せていることがわかる。さらに、重要な性質として、提案モデルでは高電圧領域において電

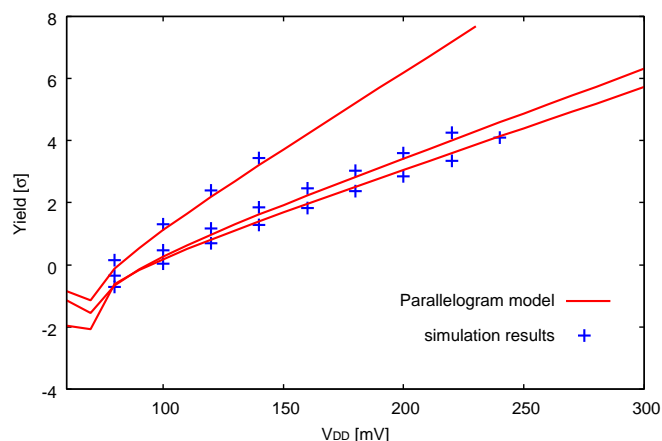


図 7: モデルの検証. 3 種類のゲートサイズのラッチ回路について実験を行った.  
下から順に,  $(W_p, W_n) = (80, 80), (120, 80), (350, 250)$  [nm].

源電圧の変化に対して累積確率が線形に変化することが明らかになった. これは, ある歩留まりを達成するための電源電圧が正規分布に従いばらつくことを意味する結果である. この性質は FF における最低動作電圧の分布の特徴 [5] と一致する.

## 5 モデル式が示す設計指針

解析的なアプローチからモデル式を構築できたことにより, 歩留まり向上のための設計指針を得ることができる. 提案モデル式 (18)–(24) により示される, ラッチ回路設計のための設計指針を以下にまとめる.

- $\Delta u, \Delta v$  を小さくすればよいことがわかる. すなわち, ラッチを構成するトランジスタのサイズはすべて大きいほどよい.
- $\min\{H_{\text{const}}, L_{\text{const}}, H'_{\text{const}}, L'_{\text{const}}\}$  が大きいほどよい. すなわち, ラッチを構成する 2 つのインバータの PN 比は同じものがよい. また, それぞれのインバータにおいて PMOS/NMOS トランジスタのオン電流が等しくなるよう設計する.

## 6 結論

本研究では, 極低電圧動作におけるラッチ回路の安定性を解析的に表すモデルを導出すべく研究を行った. クロスカップルドインバータのパタフライカーブ特性を近似的に表現し, 動作安定性を表現するモデルを提案した.

商用 28 nm プロセスのトランジスタモデルを用いた回路シミュレーションによる検証実験を行い, モデルの検証を行った. 検証の結果, 提案モデルが高い精度でラッチ回路の安定性を表現出来ていることを示した. その後, 提案モデルからわかるラッチ回路の設計指針をまとめた.

本研究の今後の課題は, FF, SRAM など実用的な回路へのモデル化対象の発展が挙げられる.

## 謝辞

本研究は科研費 (B-25280014 および B-26280013) による支援によっておこなわれた. また設計実験は, 東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社, 日本ケイデンス株式会社, メンター株式会社の協力で行われた.

## 参考文献

- [1] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th ed. Addison-Wesley Publishing Company, 2010.
- [2] S. Dighe, S. Vangal, and P. Aseron, “Within-die variation-aware dynamic-voltage-frequency-scaling with optimal core allocation and thread hopping for the 80-core teraflops processor,” *IEEE Journal of Solid-State Circuits*, vol. 46, pp. 184–193, 2011.
- [3] K. Takeuchi, T. Tatsumi, and A. Furukawa, “Channel engineering for the reduction of random-dopant-placement-induced threshold voltage fluctuation,” in *International Electron Devices Meeting*, 1997, pp. 841–844.
- [4] H. Fuketa, K. Hirairi, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, “12.7-times energy efficiency increase of 16-bit integer unit by power supply voltage (VDD) scaling from 1.2V to 310mV enabled by contention-less flip-flops (CLFF) and separated VDD between flip-flops and combinational logics,” in *International Symposium on Low Power Electronics and Design*, 2011, pp. 163–168.
- [5] 鎌苅竜也, 西澤真一, 石原亨, and 小野寺秀俊, “製造ばらつきを考慮した極低電圧動作向けフリップフロップの設計手法,” in *DA シンポジウム 2014 論文集*, 2014, pp. 91–96.
- [6] T. Mizutani, Y. Yamatmoto, and h. Makiyama, “Detailed analysis of minimum operation voltage of extraordinarily unstable cells in fully depleted silicon-on-buried-oxide six-transistor static random access memory,” *Japanese Journal of Applied Physics*, vol. 54, no. 4S, p. 04DC16, 2015.
- [7] B. Calhoun and A. Chandrakasan, “Static Noise Margin Variation for Sub-Threshold SRAM in 65-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 1673–1679, 2006.
- [8] M. Pelgrom and A. C. J. Duinmaijer, “Matching properties of MOS transistors,” in *European Solid-State Circuits Conference*, 1988, pp. 327–330.
- [9] M. Alioto, “Understanding DC Behavior of Subthreshold CMOS Logic Through Closed-Form Analysis,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, pp. 1597–1607, 2010.
- [10] H. Fuketa, S. Iida, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, “A closed-form expression for estimating minimum operating voltage (VDDmin) of CMOS logic gates,” in *Design Automation Conference*, 2011, pp. 984–989.