

[DAS 招待講演]

Java ベースの FPGA 向け高位合成処理系の実装と活用事例

三好 健文

イーツリーズ・ジャパン/わさらぼ

概要：

FPGA によるハードウェア開発コストの軽減を目的に、Java プログラムを合成可能な VHDL/Verilog HDL に変換する処理系 **Synthesijer** を開発しています。パソコン上でソフトウェアとして実行し動作を確認した Java プログラムをハードウェア化できるため、機能レベルのデバッグコストの削減が期待できます。本発表では、FPGA を使った開発案件に携わる一技術者の立場からみた高位合成技術の動向を踏まえた上で、**Synthesijer** の実装と活用事例を紹介します。また、EDA 研究ツールとしての Java および OpenJDK の使い方を紹介します。