

# PHITS-TCADシミュレーションによる完全空乏型 SOIプロセスにおけるBOX層の厚さと基板バイアスによる ソフトエラー耐性の評価

張 魁元<sup>1</sup> 神田 翔平<sup>1</sup> 山口 潤己<sup>1</sup> 古田 潤<sup>1</sup> 小林 和淑<sup>1</sup>

**概要:** 近年の集積回路の素子の微細化により、ソフトエラーに代表される一過性エラーが増加し、回路の信頼性に与える影響はますます深刻になってきた。SOI構造のトランジスタのBOX (Buried OXide) 層は粒子線による誘起電荷の収集を抑制し、ソフトエラー耐性を強くする。本研究はPHITS-TCADシミュレーションを用いて、28nmと65nmの完全空乏型SOIラッチにおけるBOX層の厚さと基板バイアスによるラッチのソフトエラー耐性を評価する。核反応計算コードPHITSを用いて、中性子や線起因ソフトエラー率の評価が可能となり、シミュレーション結果は実測とほぼ一致している。BOX層の厚さを増すことにより、寄生バイポーラ効果が弱くなり、ソフトエラー耐性が強くなると考えられる。基板バイアスによるラッチのソフトエラー耐性の変化についても評価する。

## Analysis of the Soft Error Tolerance on FD-SOI Process Influenced by the Thickness of BOX and Body Bias by PHITS-TCAD Simulation

KUIYUAN ZHANG<sup>1</sup> SHOHEI KANDA<sup>1</sup> JUNKI YAMAGUCHI<sup>1</sup> JUN FURUTA<sup>1</sup> KAZUTOSHI KOBAYASHI<sup>1</sup>

**Abstract:** Recently, the soft error rates of integrated circuits is increased by process scaling. It decreases the tolerance of VLSIs. SOI structure is have stronger soft error tolerance than bulk. In this paper, we estimate the soft error rates of FD-SOI structures according to the thicknesses of BOX(Buried OXide) layers and body bias on 65-nm and 28-nm processes by reducing the supply voltage. A Monte-Carlo based simulation is used in this work. The parasitic bipolar effect is suppressed by thicker BOX on FD-SOI structure. The simulation results are consistent with the alpha and neutron irradiation measurement results. We will show the SERs of FD-SOI structures according to the body bias in the paper.

### 1. 序論

近年、大規模集積回路システムの信頼性が注目されている。集積回路における各種の信頼性を下げる要因もよく検討されている。集積回路の素子の微細化により、ソフトエラーに代表される一過性のエラーが増加し、回路の信頼性に与える影響はますます深刻になってきた。ソフトエラーの一種のSEU (Single Event Upset) は放射線や、宇宙線などによりラッチなどの記憶素子で生じ、保持データを反転させる。SEUに関しては様々な測定結果や対策が報告

されており、特にSRAMではECC (Error Check Code) 回路と呼ばれる誤り訂正回路が既にサーバ等では必須の技術となっている [1]。他に三重化回路構造 (Triple Modular Redundancy) や、DICE (Dual Interlocked storage) [2] などSEU耐性を持つ回路構造も提案されている。

しかしながら、集積回路の微小化、低消費電力化に伴い、集積回路への信頼性の要求はさらに厳しくなってきた。Silicon On Thin BOX (SOTB) [3] と Ultra Thin Body and BOX (UTBB) [4] という二つの完全空乏型SOI構造があり、粒子線の衝突による誘起電荷の収集を防ぐことができる。従って、SOTBとUTBBはバルク構造より高いソフトエラー耐性を持っている。完全空乏型SOIトランジスタの

<sup>1</sup> 京都工芸繊維大学 電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

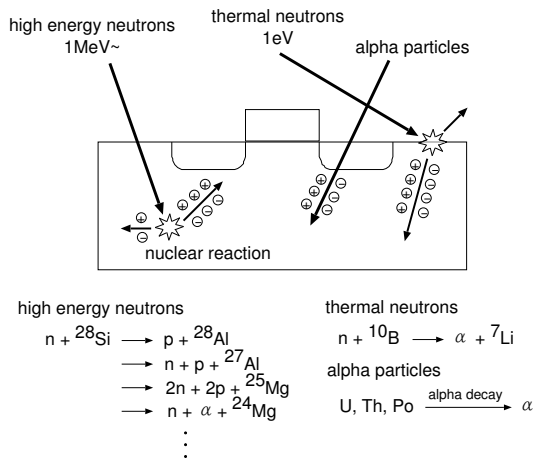


図 1 ソフトエラーを引き起こす粒子線

チャンネル部分に不純物の注入は無いため、低電圧動作によるばらつきの影響も有効に防ぎ、電源電圧を 0.4V までに下げることができる [5]。低電圧動作状態の SOI のソフトエラー耐性を評価することは重要な課題である。

本稿は 65nm プロセス SOTB と 28nm プロセス UTBB において、実測とシミュレーションを用いた中性子起因のソフトエラー率を求める。モンテカルロシミュレーションツールの名前は PHITS-TCAD である。このツールは MRED[6]、IRT[7] そして PHYSERD[8] に似ている。PHITS[9] は核反応計算コードである。PHITS を用いて回路のレイアウト構造における数種類の粒子線の核反応を行うことができ、より実測に一致したシミュレーション結果を得た。さらに、TCAD シミュレーションを用いて、SOI 構造の BOX 層の厚さと基板バイアスを変えて、ソフトエラー耐性の変化について評価した。

本稿の構成を次に述べる。第 2 節では、ソフトエラーの発生要因について述べる。第 3 節では、PHITS-TCAD シミュレーション手法について説明し、ソフトエラー率の電源電圧依存性を評価し、シミュレーションと実測の結果を比較する。第 4 節では、完全空乏型 SOI の BOX 層の厚さと基板バイアスによるソフトエラー耐性について評価する。第 6 節では、本文をまとめる。

## 2. ソフトエラーに関して

### 2.1 ソフトエラーの要因

図 1 に示すように、粒子線が LSI の基板を通過、または衝突することで電子正孔対が生成する。ドリフトと拡散により、電荷がトランジスタのドレインに収集され、デバイスにおいて一時的電流パルスが生じ、トランジスタの出力を変える。それをソフトエラーと呼ぶ。

近年の地上におけるソフトエラーの主要因は高エネルギー中性子である。しかし微細化により  $\alpha$  粒子起因のソフトエラーの割合が増加すると実測から予測している文献 [10] や、熱中性子起因のソフトエラーを報告している文

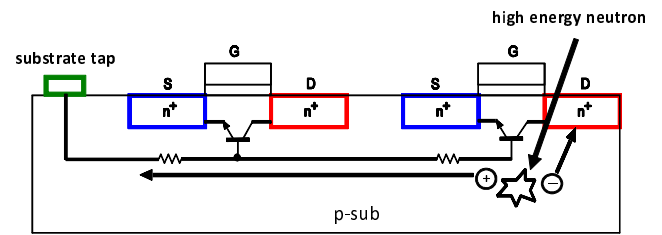


図 2 寄生バイポーラ効果

献も存在しており [11]、全ての粒子に対する対策が必要とされている。

一方、宇宙空間にある人工衛星などにおいては重イオンによるソフトエラーも問題となる。重イオンは、H, D, He 以外の Li より重い元素のイオンである。 $\alpha$  粒子と同じように重イオンが MOS トランジスタの拡散領域を通過することで電子正孔対が生成され、ここで生じた電子が拡散や空乏層の電界によるドリフトにより拡散層に集められる。集められた電子によりエラーパルスが生じ、回路が誤動作する。この場合には重イオンのエネルギーは LET (Linear Energy Transfer) と呼ばれる。LET はデバイスの中に単位長における重イオン粒子が失うエネルギーのことを表し、単位は  $\text{MeV}\cdot\text{mg}/\text{cm}^2$  である。

### 2.2 Multiple Cell Upset (MCU)

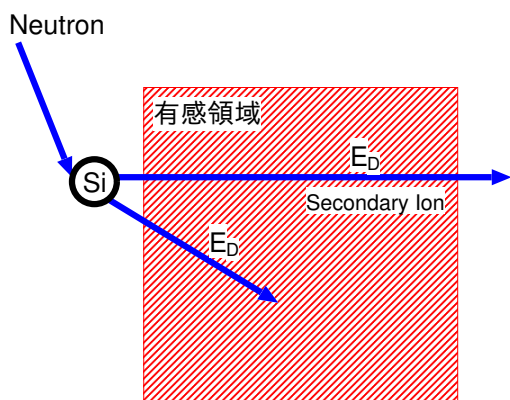
MCU とは一度の粒子の衝突で複数のラッチや SRAM が同時に反転する現象であり、MBE (Multiple Bit Error) や MNSEU (Multi-Node Single Event Upset) とも呼ばれる。発生機構として、寄生バイポーラ効果 (parasitic bipolar effect) と電荷共有 (charge sharing) が挙げられる。MCU の発生率は素子間の距離に強く依存する [12]。複数のラッチや SRAM を隣接して配置した場合は MCU が生じやすく、離すと生じにくくなる。

#### 寄生バイポーラ効果

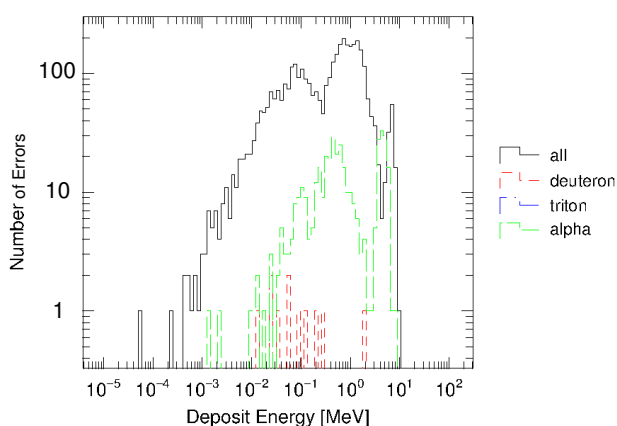
粒子線の衝突により生じた電子正孔対のうち、基板に残留した正孔 (PMOS では電子) によって基板電位が上昇する (図 2)。基板電位の上昇によりトランジスタに寄生しているバイポーラトランジスタが ON となる。粒子線の衝突位置に隣接したトランジスタの出力も反転し、MCU となる。ツインウェル構造に比べ、トリプルウェル構造では deep n-well により p-well が分離しているため、p-well での寄生バイポーラ効果による MCU が生じ易い [13]。

#### 電荷共有

粒子線の衝突によって生じた電荷が複数の SRAM やラッチに収集される通過する現象である。電子正孔対が複数の SRAM 近傍で生じるため、ドリフトや拡散により複数の SRAM やラッチの保持値が反転し、MCU となる。



(a) 中性子による  $E_D$



(b)  $E_D$  の分布

図 3 PHITS を用いた  $E_D$  の計算.

### 3. PHITS-TCAD シミュレーション手法について

この節では、PHITS-TCAD シミュレーション手法によるソフトエラー率の計算を説明する。

#### 3.1 PHITS とは

PHITS は Particle and Heavy Ion Transport code System の略で、任意の体系中における様々な放射線の挙動、核反応モデルや核データを用いて模擬するモンテカルロ核反応計算コードである。ソフトエラー率を求めることもできる。

#### 3.2 PHITS-TCAD を用いたソフトエラー率の計算

PHITS を用いたソフトエラー率の計算方法を説明する。デバイス内で中性子による核反応を図 5 に示す。中性子がデバイス内のシリコンと衝突し、二次イオンを生成する。二次イオンがデバイスの有感領域内に突入/通過する際に、Deposit Energy と呼ばれるエネルギーが放出される。粒子数対 Deposit Energy の分布を図 3(b) に示す。

一方、デバイスシミュレーションではイオン粒子線がト

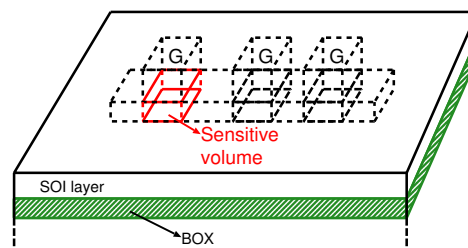


図 4 PHITS 用デバイスモデル。赤い部分は有感領域を示す

ランジスタに突入する際に、正孔電子対を生成され、ドレインに収集される。収集された電荷が一定の量を超えると、ソフトエラーが発生する。その電荷量を Deposit Q と定義する。1MeV の Deposit Energy は 50fC の Deposit Q に相当する [14]。デバイスシミュレーションを用いて求めた Deposit Q を臨界 Deposit Energy に換算する。臨界 Deposit Energy より大きいエネルギーを放出した二次粒子の数がソフトエラー数である。

#### 3.3 中性子起因ソフトエラー率の電源電圧依存性

本節は PHITS-TCAD を用いて中性子起因ソフトエラー率の電源電圧依存性を計算する。シミュレーションの結果と実測の結果を比較する。

図 4 に PHITS 用モデルの構造図を示す。このモデルは実際のラッチ回路のレイアウトに基づき構築された。ゲート直下の赤い領域はモデルの有感領域である。SOTB の SOI 層と BOX 層の厚さはそれぞれ 12nm と 10nm で、UTBB のは 7nm と 25nm である。

図 5 に実測と PHITS-TCAD シミュレーションを用いた中性子起因ソフトエラー率を示す。式 1 に PHITS で求めたエラー数をソフトエラー率に換算する方法を示す。中性子実測は大阪大学の RCNP で行った。

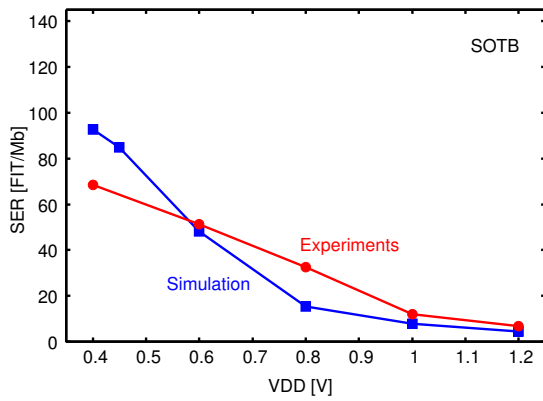
$$SER_{SEU}[\text{FIT}/\text{Mb}] = \frac{3.6 \times 10^{18} \times A_{\text{neutron}} \times N_{\text{SEU}} \times F}{N_{\text{neutron}}} \quad (1)$$

ただし、 $A_{\text{neutron}}$  は PHITS で定義した中性子線源の照射面積である。 $N_{\text{SEU}}$  と  $N_{\text{neutron}}$  はそれぞれエラー数と中性子数を表す。F は照射領域の Flux である。

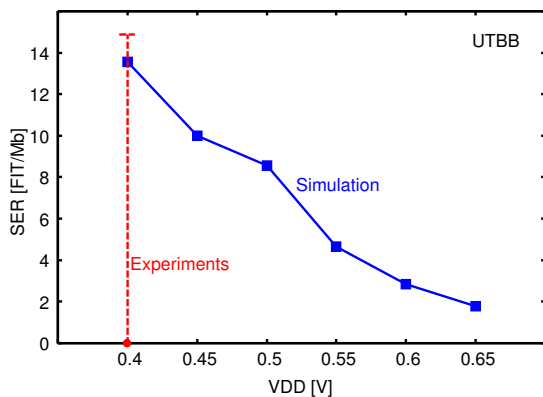
電源電圧を下げることにより、ラッチが反転しやすくなり、ソフトエラー率が上がる。中性子実測の結果によると、28nm プロセスの UTBB におけるソフトエラーは発生していない。図 5(b) に示すように、実測のソフトエラー率は 90%エラーバーで示される。電源電圧が 0.4V の場合には UTBB のソフトエラー率は 14.6FIT/Mbit で SOTB の約 10%となる。シミュレーション結果は実測と一致している。

#### 4. BOX の厚さによるソフトエラー率

前節では PHITS-TCAD のシミュレーション結果は実測と一致することを検証した。そのため、本節では、PHITS-TCAD を用いて、SOTB と UTBB の BOX 層の厚さによ

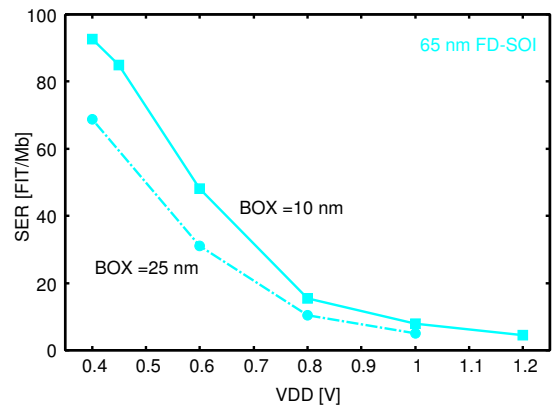


(a) SOTB でのソフトエラー率.

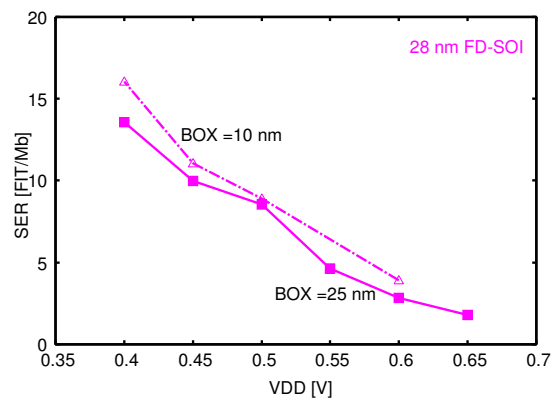


(b) UTBB でのソフトエラー率.

図 5 PHITS-TCAD を用いた中性子起因ソフトエラー率の電源電圧依存性.



(a) 65-nm SOTB での結果. BOX 層を厚くする



(b) 28-nm UTBB での結果. BOX 層を薄くする

図 6 BOX の厚さによる PHITS-TCAD を用いた中性子起因ソフトエラー率

るソフトエラー率を計算する。SOTB の BOX 層の厚さを 10nm から 25nm に増やし、UTBB の BOX 層の厚さを 25nm から 10nm に減らす。BOX 層の厚さを変えた新しいデバイスモデルのソフトエラー率を計算する。

図 6 に PHITS-TCAD を用いた中性子起因ソフトエラー率を示す。65nm の SOTB 構造では、BOX の厚さを増やすことにより、ソフトエラー率が下がっている。粒子線がデバイスに衝突する際に基板電位が上昇し、寄生パイポーラトランジスタがオンになる。FD-SOI 構造は主にこの寄生パイポーラ効果による電荷収集し、ソフトエラーを起こす。しかし、厚い BOX 層は基板電位の上昇による影響を防ぐことができ、SOI のソフトエラーの耐性が強くなった。図 6(a) 示すように、SOTB のソフトエラー率は約 20%減っている。それに対し、28nm UTBB でのソフトエラー数が極端に少なくなった為、BOX 層の厚さを 10nm に変えても、ソフトエラー率は約 10%増えた。その結果は図 6(b) に示す。

図 7 に SOTB における BOX 層の厚さ対ソフトエラーを起こす粒子線の臨界 LET の関係を示す。BOX 層の厚さを増えることにより SOTB ラッチの臨界 LET 量が増加する。寄生パイポーラ効果が抑制されることが原因だと考えられる。

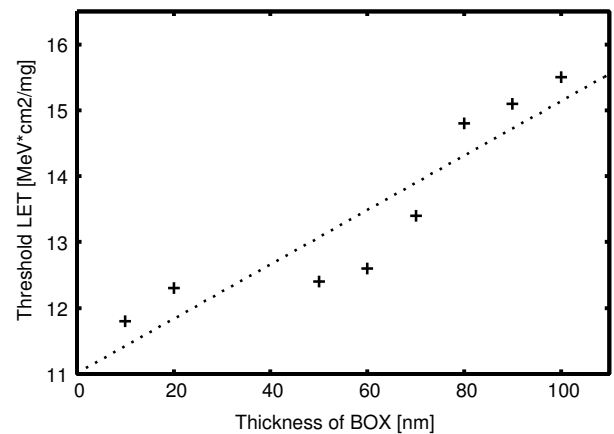


図 7 SOTB の BOX 層厚さによる臨界 LET 量. 電源電圧は 1V である.

## 5. SOTB 構造における基板バイアスによるソフトエラー率

本節は 65nm プロセス SOTB 構造において、ラッチ回路にリバースバイアスを印加することによるソフトエラー率の変化について説明する。図 8 に SOTB ラッチのドレインで発生する粒子線起因の電流パルスを示す。電流パルスは二つの部分がある。前の部分は粒子線がデバイスに当たる際にドリフトや拡散により収集された電荷量である。SOI 層は細いため、その電流パルスが小さい。後の部分は

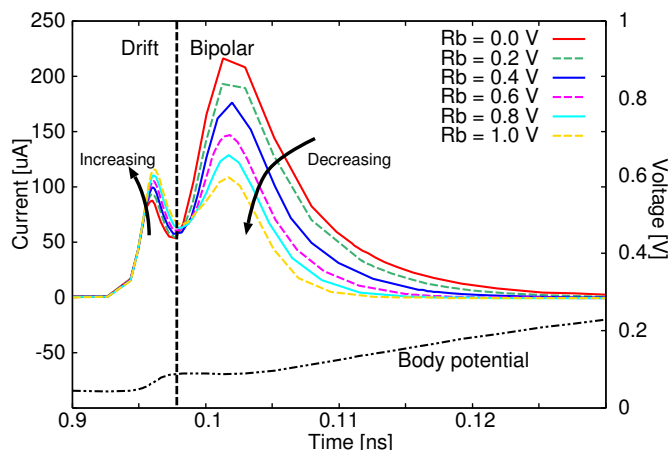


図 8 粒子線起因電流パルスの基板バイアス依存性

寄生バイポーラ効果による収集された電荷である。SOI 構造は主に寄生バイポーラ効果によりソフトエラーを起こす。図 8 に示すように、リバースバイアスをかけることにより、基板電位の上昇が抑制され、寄生バイポーラ効果が弱くなっていく。その結果、エラーパルスが徐々に小さくなっていく。

図 9 に PHITS-TCAD を用いて、SOTB ラッチにリバースバイアスに依存するソフトエラー率を示す。電源電圧 1V である。リバースバイアスにより、電荷収集が弱くなり、SOTB ラッチのソフトエラー耐性が強くなってきた。

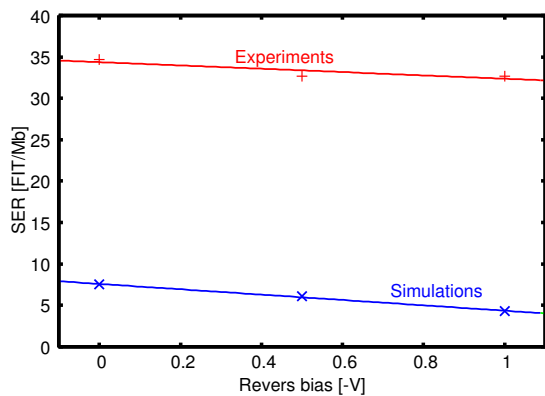


図 9 SOTB 構造におけるソフトエラー率の基板バイアス依存性。

## 6. 結論

本稿では PHITS-TCAD シミュレーション手法を用いて、65nm プロセス FD-SOI:SOTB と 28nm プロセス FD-SOI:UTBB の中性子起因ソフトエラー耐性を評価した。1V の電源電圧を 0.4V に下げることにより、ラッチが反転しやすくなり、ソフトエラー率が上昇してしまう。UTBB ラッチでのソフトエラー率は SOTB の約 10%となる。SOTB 構造の BOX 層を厚く変えることで、基板電位の上昇は SOI 層に影響を与えず、寄生バイポーラ効果が弱くなり、ソフトエラー率が下がった。同様に、SOTB ラッチの基板にリバースバイアスをかけて、基板電位の上昇が抑制

され、寄生バイポーラ効果も弱くなる。その結果、ソフトエラー率がリバースバイアスを増やすことにより下がる。PHITS-TCAD シミュレーションの結果は実測と一致している。

## 謝辞

本研究は JSPS 科研費 15H02677、26889037、STARC 共同研究の助成を受けて実施したものである。本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケイデンス株式会社とメンター株式会社の協力で行われたものである。

## 参考文献

- [1] Ando, H., Seki, K., Sakashita, S., Aihara, M., Kan, R., Imada, K., Itoh, M., Nagai, M., Tosaka, Y., Takahisa, K. et al.: "Accelerated Testing of a 90nm SPARC64V Microprocessor for Neutron SER", *The Third Workshop on System Effects on Logic Soft Errors* (2007).
- [2] D. Krueger, E. Francom, and J. Langsdorf, "Circuit Design for Voltage Scaling and SER Immunity on a Quad-Core Itanium Processor", *ISSCC*, (2008), pp. 94–95.
- [3] N. Sugii, R. Tsuchiya, T. Ishigaki, Y. Morita, H. Yoshimoto, and S. Kimura, "Local  $V_{th}$  Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant Fluctuation", *IEEE Trans. Elec. Dev.*, Vol. 57, No. 4, pp. 835–845, (2010).
- [4] P. Roche, J.-L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue", *IEDM*, (2013), pp. 31.1.1–31.1.4.
- [5] K. Kobayashi, K. Kubota, M. Masuda, Y. Manzawa, J. Furuta, S. Kanda, and H. Onodera, "A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFF, in a 65 nm Thin-BOX FD-SOI", *IEEE Trans. Nucl. Sci.*, Vol. 61, No. 4, pp. 1881–1888, (2014).
- [6] Kevin M. Warren, Brian D. Sierawski, Robert A. Reed, Robert A. Weller, Carl Carmichael, Austin Lesea, Marcus H. Mendenhall, Paul E. Dodd, Ron D. Schrimpf, Lloyd W. Massengill, Tan Hoang, Hsing Wan, J. L. De Jong, Rick Padovani, and Joe J. Fabula, "Monte-Carlo Based On-Orbit Single Event Upset Rate Prediction for a Radiation Hardened by Design Latch", *IEEE Trans. Nucl. Sci.*, Vol. 54, No. 6, pp. 2419–2425, (2007).
- [7] Kerryann Foley, Norbert Seifert, Jyothi B. Velamala, William G. Bennett, and Shashank Gupta., "IRT: A Modeling System for Single Event Upset Analysis that Captures Charge Sharing Effects", *Proc. Int. Rel. Phys. Symp.*, (2014), pp. 5F.1.1–5F.1.9.
- [8] S. Abe, R. Ogata, and Y. Watanabe, "Impact of Nuclear Reaction Models on Neutron-Induced Soft Error Rate Analysis", *IEEE Trans. Nucl. Sci.*, Vol. 61, No. 4, pp. 1806–1812, (2014).
- [9] K. Niita, N. Matsuda, Y. Iwamoto, H. Iwase, T. Sato, H. Nakashima, Y. Sakamoto, and L. Sihver, "PHITS: Particle and Heavy Ion Transport code System, Version 2.23", *JAEA-Data/code.*, No. 2010-022, (2010).
- [10] Kobayashi, H., Kawamoto, N., Kase, J. and Shiraish, K.: "Alpha Particle and Neutron-induced Soft Error Rates and Scaling Trends in SRAM", *Reliability Physics Sym-*

- posium, 2009 IEEE International*, pp. 206–211 (2009).
- [11] ShiJie Wen, R. Wong, M. Romain, and N. Tam, “Thermal neutron soft error rate for SRAMS in the 90nm-45nm technology range”, *Proc. Int. Reliability Phys. Symp.*, (2010), pp. 1036–1039.
- [12] O. A. Amusan, A. F. Witulski, L. W. Massengill, B. L. Bhuvu, P. R. Fleming, M. L. Alles, A. L. Sternberg, J. D. Black, and R. D. Schrimpf, “Charge Collection and Charge Sharing in a 130 nm CMOS Technology”, *IEEE Trans. Nucl. Sci.*, Vol. 53, No. 6, pp. 3253–3258, (2006).
- [13] G. Gasiot, D. Giot, and P. Roche, “Multiple cell upsets as the key contribution to the total SER of 65 nm CMOS SRAMS and its dependence on well engineering”, *IEEE Trans. Nucl. Sci.*, Vol. 54, No. 6, pp. 2468–2473, (2007).
- [14] T. Handa, K Niita, and H Sawamura, “Neutron-induced semiconductor soft error simulation using the PHITS Monte Carlo simulator”, *2003 symposium on nuclear data.*, (2003).