

ローテータベースマルチプレクサネットワークによる フィールドデータ抽出器の構成手法

伊東 光希^{1,a)} 川村 一志¹ 田宮 豊² 柳澤 政生¹ 戸川 望¹

概要: ストリームデータ処理に見られるように、あるデータ全体から特定のデータフィールドを読み出すことがしばしば必要となる。これは、入出力となるレジスタを多数のマルチプレクサ (MUX) で接続したフィールドデータ抽出器によって実現できるが、構成に必要な MUX 数をいかに削減するかが課題となる。MUX 数を削減する構成として MUX ネットワーク分割による構成がある。本稿では、まず、MUX ネットワーク分割を繰り返して構成する多層化 MUX ネットワークを考察する。多層化 MUX ネットワークはバレルシフトから冗長な MUX を取り除いた構成と等価であり、MUX ネットワーク分割による構成の中で MUX 数が最小であることを示す。続いて、フィールドデータ抽出器のためのローテータベース MUX ネットワークの構成手法を提案する。ローテータベース MUX ネットワークは、入力レジスタ中の特定のデータを出力レジスタサイズのローテータに読み出し、ローテータによりデータ順序を正すことでフィールドデータ抽出器を構成し、必要となる MUX 数を削減する。ローテータベース MUX ネットワークを論理合成し評価したところ、単純な MUX ネットワークの構成と比べてゲート数を最大 98%削減することを確認した。

Field-Data Extractor Construction Based on Rotator-Based Multiplexer Network

KOKI ITO^{1,a)} KAZUSHI KAWAMURA¹ YUTAKA TAMIYA² MASAO YANAGISAWA¹ NOZOMU TOGAWA¹

Abstract: As seen in stream data processing, it is necessary to extract a particular data field from bulk data, where we can use a *field-data extractor*. Particularly, an (M, N) -field-data extractor reads out any consecutive N bytes from an M -byte register by connecting its input/output using multiplexers (MUXs). However, the number of required MUXs increases too much as the input/output byte lengths increase. It is known that partitioning MUX network leads to reducing the number of MUXs. In this paper, we firstly pick up a multi-layered MUX network, which is generated by repeatedly partitioning MUX network into a collection of single-layered MUX networks. We prove that the multi-layered MUX network is equivalent to the barrel shifter from which we remove redundant MUXs and wires and the number of its required MUXs becomes the *smallest* among MUX-network-partitioning based field-data extractors. Next, we propose a rotator-based MUX network for a field-data extractor, which reads out a particular data in an input register to a *rotator*. The size of the rotator is the same as its output register and hence we no longer require any extra wires nor MUXs. By rotating the input data correctly, we can finally have a right-ordered data into an output register. Experimental results show that our rotator-based MUX network reduces the required number of gates to implement a field-data extractor by up to 98% compared with the one using a naive MUX network.

1. はじめに

TCP オフロードエンジン [3],[5] のパケット解析や動画のストリーム処理 [1],[4] に見られるように、あるデータ全体から特定のデータフィールドを読み出すことがしばしば

必要となる。パケットやストリームデータは自身のデータの情報をヘッダとして持つ。そのため、ヘッダの情報を解析するまで、そのデータ構造を知ることができない。前もってデータフィールドを知ることのできないようなデータに対して、効率よくフィールドデータを読み出すハードウェアが必要となる。

パケットやストリームデータをレジスタに格納するとすると、必要となるデータを取り出すために、レジスタ中の任意の箇所にアクセスできるように構成しなければならない。マルチプレクサ (MUX) を用いて、 M バイト長デー

¹ 早稲田大学大学院基幹理工学研究科情報理工・情報通信専攻
Dept. of Computer Science and Communications Engineering,
Waseda University

² 富士通研究所
Fujitsu Laboratories Ltd.

a) koki.ito@togawa.cs.waseda.ac.jp

データを格納するレジスタの任意オフセットから連続した N バイトを読み出す回路をフィールドデータ抽出器と呼ぶ。 M バイトのレジスタから連続した N バイトを読み出す場合、入力長 M や出力長 N が大きくなると必要となる MUX 数が増大し、回路量が非常に大きくなる。そのため、いかに構成に必要となる MUX 数を削減するかが課題となる。

フィールドデータ抽出器の構成に必要となる MUX 数を削減する構成として、MUX ネットワークを分割する構成が提案されている [2]。入出力レジスタ間に仮想中間レジスタを設置し MUX ネットワークを分割することで、MUX ネットワークの段数を変えずに MUX 数を削減する。 [2] は、MUX ネットワークに 1 つの仮想中間レジスタを挿入し MUX ネットワークを 2 層化する手法であり、2 層化 MUX ネットワークにおいて MUX 数を最小とする構成を導出している。しかし、MUX ネットワークの分割は 1 回のみ、すなわち、2 層化 MUX ネットワークのみを考慮しているため、3 層以上の MUX ネットワークについては考察されていない。

本稿では、まず、MUX ネットワークの 2 分割を繰り返して MUX ネットワークを多層化する構成である多層化 MUX ネットワークについて考察する。多層化 MUX ネットワークは、MUX ネットワークに仮想中間レジスタを複数段挿入し、レジスタ間の MUX ネットワークが 1 段になるまで分割をすることで MUX ネットワークを多層化した構成である。MUX ネットワークを多層化することで、2 層化 MUX ネットワークよりも必要となる MUX 数を削減できる。多層化 MUX ネットワークは、バレルシフタから冗長な MUX を取り除いた構成と等価となる。バレルシフタから冗長な MUX を取り除いた構成が、単純接続を分割して得られる MUX ネットワーク構成の中で MUX 数を最小化する構成となる。

続いて、フィールドデータ抽出器の構成のためのローテータベース MUX ネットワークを提案する。提案手法は、入力レジスタのデータを出力レジスタサイズのローテータに読み出し、ローテータによりデータ順序を正すことでフィールドデータ抽出器を構成し、必要となる MUX 数を削減する。フィールドデータ抽出器のための MUX ネットワークを提案手法により構成して論理合成した結果、単純な MUX ネットワーク構成に比べてゲート数を最大 98%削減することを確認した。

2. フィールドデータ抽出器

(M, N) フィールドデータ抽出器は次のように定義される。

定義 1. M バイト長データを格納したレジスタの任意オフセットから連続する N バイトを読み出す回路を (M, N) フィールドデータ抽出器という。

フィールドデータ抽出器は図 1 のように、データを格納する入力レジスタと読み出したデータを格納する出力レジスタを MUX ネットワークを用いて接続することで構成でき、図 1 では、入力レジスタ M バイト中の連続する 4 バイトを抽出している。

MUX は制御信号に応じて複数の入力から 1 つを出力する。一般的に、任意の MUX は 2 入力 1 出力 MUX の組み合わせで実現できる。簡単のため、本稿では断りが無い場

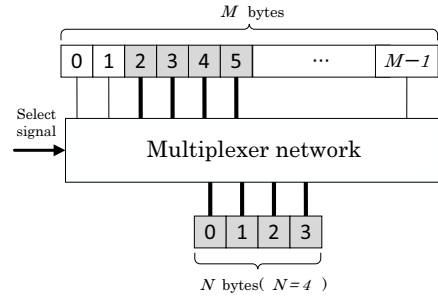


図 1: フィールドデータ抽出器の概念図。

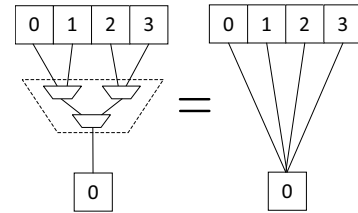


図 2: MUX ネットワークの表現方法。

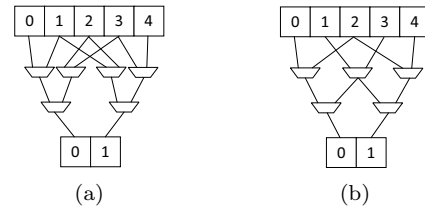


図 3: MUX ネットワーク ($M = 5, N = 2$).

合、MUX は 2 入力 1 出力 MUX を表すとする。また、本稿では k 入力 1 出力 MUX は 2 入力 1 出力 MUX を二分木状に構成することによって実現する。このとき、 k 入力 1 出力 MUX に必要な 2 入力 1 出力 MUX の個数 $N_{k, MUX}$ は以下ようになる。

$$N_{k, MUX} = k - 1 \quad (1)$$

また、 k 入力 1 出力 MUX の段数 $D_{k, MUX}$ は以下のようにになる。

$$D_{k, MUX} = \lceil \lg k \rceil \quad (2)$$

k 入力 1 出力 MUX を 2 入力 1 出力 MUX の組み合わせで実現する場合、必要となる MUX 数と MUX 木の段数は、入力数によって式 (1), (2) で一意に求まる。そこで、本稿では簡単のために、 k 入力 1 出力 MUX を図 2 のように、入力と出力を線で結んだ表現で表す。

図 3 のように、 M バイト入力レジスタから連続する N バイトを出力レジスタに読み出す (M, N) フィールドデータ抽出器において、MUX ネットワークの大きさは、必要となる 2 入力 1 出力 MUX 数の合計で表すことができる。図 3(a) では 6 個の 2 入力 1 出力 MUX によって MUX ネットワークが構成され、図 3(b) では 5 個の 2 入力 1 出力 MUX によって MUX ネットワークが構成されている。MUX ネットワークの段数は、 M バイトレジスタから N バイトレジスタへの全てのパスの中で通過する 2 入力 1 出力 MUX の最大数で表すことができる。

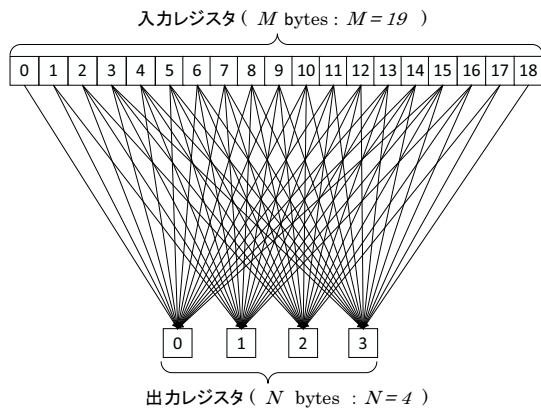


図 4: (19, 4) 単純接続による (19, 4) フィールドデータ抽出器。

2.1 単純接続によるフィールドデータ抽出器の構成

(M, N) フィールドデータ抽出器の構成として一番単純なものは、 N バイトの出力レジスタの各バイトが M バイトの入力レジスタと直接に MUX 木を構成する方法である。これを (M, N) 単純接続と呼ぶ。図 4 に、(19, 4) 単純接続を示す。 $M = 19, N = 4$ の場合、入力レジスタの (0, 1, 2, 3) バイト目、(1, 2, 3, 4) バイト目、 \dots 、(15, 16, 17, 18) バイト目の 16 通りのデータを出力レジスタに読み出せればよく、これらを直接接続する。

(M, N) 単純接続に必要な MUX ネットワークの大きさ N_{simple} は以下ようになる。

$$N_{simple} = N(M - N) \quad (3)$$

(M, N) 単純接続の MUX ネットワークの段数 D_{simple} は、入力数が ($M - N + 1$) であるから以下ようになる。

$$D_{simple} = \lceil \lg(M - N + 1) \rceil \quad (4)$$

(M, N) 単純接続では、 M や N が大きくなると MUX 数が非常に多くなるため回路規模が大きくなる。

2.2 2層化 MUX ネットワークによるフィールドデータ抽出器の構成 [2]

入出力レジスタの間に仮想中間レジスタを設置し、MUX ネットワークを 2 層に分割することで、効率よくフィールドデータ抽出器を構成できる (図 5)。これを 2 層化 MUX ネットワークと呼ぶ。仮想中間レジスタは、通過するデータを仮想的に保持するもので、実際の回路において仮想中間レジスタ部分にレジスタを設置する必要はない。仮想中間レジスタの各バイトに入力される信号線から任意の 1 バイトを選択するような MUX ネットワーク構成をとれば良く、これを後段の MUX ネットワークの入力に接続する。

図 5 に 2 層化 MUX ネットワークの構成を示す。まず、図 4 で与えられる単純接続による MUX ネットワークに対し ($N + B - 1$) バイトの仮想中間レジスタを設けて MUX ネットワークを分割する。ただし $B = 2^b$ ($1 < B \leq M - N + 1$) とする。分割された MUX ネットワークの 1 段目 (下段 MUX ネットワーク) は、仮想中間レジスタと出力レジスタで MUX ネットワークを構成する。仮想中間レジスタと出力レジスタの接続は、($N + B - 1, N$) 単純接続とする。分割された MUX ネットワークの 2 段目 (上段 MUX ネットワーク)

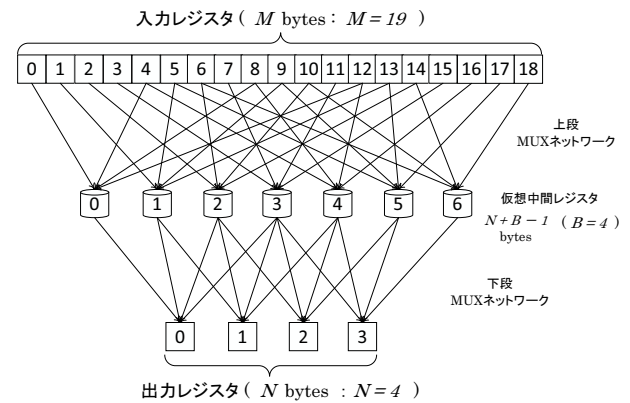


図 5: 2層化 MUX ネットワークによる (19, 4) フィールドデータ抽出器。

ネットワーク) は、入力レジスタと仮想中間レジスタで MUX ネットワークを構成する。仮想中間レジスタの各バイトは、入力レジスタ中の B バイト間隔と接続する。つまり、仮想中間レジスタの k バイト目は、入力レジスタの $k, k + B, k + 2B, \dots$ バイト目のいずれかを格納する。上段 MUX ネットワークのように、出力レジスタの各バイトが入力レジスタの B バイト間隔で接続した MUX ネットワークを、 B ピッチネットワークと呼ぶ。

2 層化 MUX ネットワーク分割によりフィールドデータ抽出器を構成すると、出力レジスタ長 N が 2 バイト以上であれば、MUX ネットワークの段数を変えずに、単純接続による構成よりも必要となる 2 入力 1 出力 MUX の数が必ず小さくなる。2 層化 MUX ネットワークは、単純接続による MUX ネットワークの段数の中央で分割すると、必要となる MUX 数が最小となる。

3. 多層化 MUX ネットワークによるフィールドデータ抽出器の構成

2 層化 MUX ネットワークによるフィールドデータ抽出器の構成は、単純接続による MUX ネットワークを 1 回だけ分割した手法である。ここで、単純接続による MUX ネットワークを複数回分割し、MUX ネットワークを多層化することを考える。

2.2 節で示したように、単純接続による MUX ネットワークを分割すると、MUX ネットワークは図 6 のように上段と下段に分割される。下段 MUX ネットワークは単純接続となっているため、2.2 節の議論と同様に、出力レジスタが 2 バイト以上の場合、MUX ネットワークを分割することで段数を増加することなく MUX 数を削減できる。

次に、仮想中間レジスタを設けて上段 MUX ネットワークを分割した場合を考える。つまり、 B ピッチネットワークを分割した後に必要な MUX 数を考える。

B ピッチネットワークに対して、($C + N - 1$) バイトの仮想中間レジスタを設けて C ピッチネットワークと B ピッチネットワークに分割したとする (図 7)。ただし、 $M = 2^m + N - 1, B = 2^b, C = 2^c$ ($0 < b < c < m$) である。このとき、 $N \geq 2$ であれば、 B ピッチネットワークに仮想中間レジスタを挿入し、 C ピッチネットワークと B ピッチネットワークに分割することで MUX 数は必ず削減される。ゆえに、分割を可能な限り行うことで MUX 数を

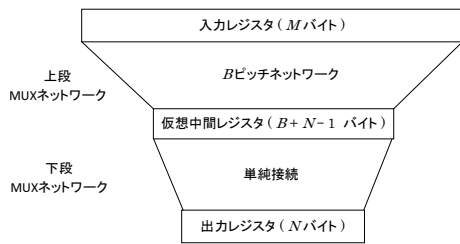


図 6: MUX ネットワーク分割の概略図。

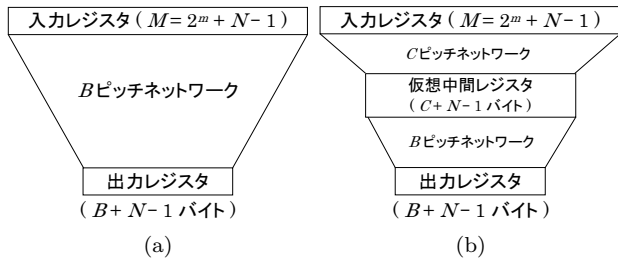


図 7: B ピッチネットワークの分割。

小さくできる。

$M(=2^m + N - 1)$ バイトの入力レジスタと N バイトの出力レジスタの間に $(m - 1)$ 段の仮想中間レジスタを設けて各段を 1 段ずつに分割した多層化 MUX ネットワークを考える。出力レジスタ側から見て、第 i 段の仮想中間レジスタを VR_i と書き、そのサイズ (バイト数) は $(2^i + N - 1)$ バイトとする。ただし、 $1 \leq i \leq m - 1$ である。第 i 段目の仮想中間レジスタ VR_i が挿入されたとする。このとき、挿入の順序によらず、必ず VR_i とそのすぐ上の仮想中間レジスタあるいは入力レジスタとは 2^i ピッチネットワークによって接続されることになる。また、出力レジスタは常にそのすぐ上の仮想中間レジスタあるいは出力レジスタと単純接続による MUX ネットワークによって接続されている。つまり、単純接続による m 段の MUX ネットワークに $(m - 1)$ 段の仮想中間レジスタを挿入するとき、挿入の順序によらず、構成される MUX ネットワークは同一のものとなる。

したがって、単純接続による m 段の MUX ネットワークが与えられたとき、MUX ネットワークの各段が 1 段になるまで、単純接続による MUX ネットワークは 2 層化 MUX ネットワークに分割し、 B ピッチネットワークは C ピッチネットワークと B ピッチネットワークに分割することを繰り返すと、どのような順番に分割しても多層化 MUX ネットワークにおいて必要となる MUX 数は最小となる。 $M = 19, N = 4$ の場合、 $B_3 = 8, B_2 = 4, B_1 = 2$ の仮想中間レジスタを設けることで図 8 のようになる。

多層化 MUX ネットワークによるフィールドデータ抽出器の構成に必要な MUX 数 N_{multi} は $M \geq 2N$ において以下となる。

$$N_{multi} = \sum_{i=0}^{m-1} (2^i + N - 1) = 2^m - 1 + m(N - 1) \quad (5)$$

また、MUX ネットワークを分割をしても、MUX ネットワークの段数は変わらないため、多層化 MUX ネットワークの段数 D_{multi} は以下となる。

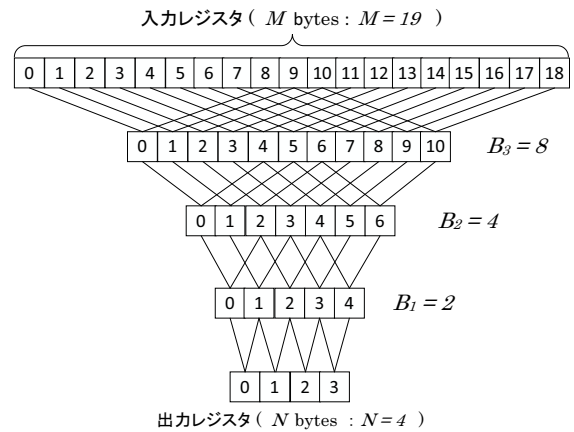


図 8: 多層化 MUX ネットワークによる $(19, 4)$ フィールドデータ抽出器。

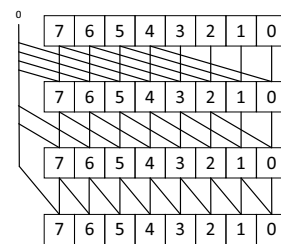


図 9: 8 ビットパレルシフタ。

$$D_{multi} = m \quad (6)$$

図 9 にパレルシフタ (8 ビット) の構成を示す。パレルシフタ [6] は入力データを任意のビット数シフトする回路である。入力データを各段で 1, 2, 4, ... ビットシフトするかを MUX で選択することで任意ビット数のシフトを実現する。任意ビットのシフトが可能であるため、例えば 8 ビットデータから連続した 2 ビットを読み出すことを考えると、8 ビットパレルシフタを用いて、読み出したいデータ 2 ビットを下位 2 ビットにシフトするなどをすれば、フィールドデータ抽出器と同等の機能を実現できる。

ここで、図 8 と 9 を比較すると、どちらも入力データを各段で 1, 2, 4, ... ビット (バイト) シフトするかを MUX で選択する構成となっている。多層化 MUX ネットワークはパレルシフタの構成において、連続する N バイトを読み出す際に冗長となる MUX を取り除いた構成と等価となる。多層化 MUX ネットワークに対して更なる MUX ネットワーク分割を適用できないため、MUX ネットワーク分割による構成では、パレルシフタから冗長な MUX を取り除いた構成が MUX 数を最小とする構成となる。

4. ローテータベース MUX ネットワークによるフィールドデータ抽出器

図 5 は、 $(19, 4)$ フィールドデータ抽出器の MUX ネットワークを一回分割した構成である。この場合、仮想中間レジスタには $[0, 6], [4, 10], [8, 14], [12, 18]$ のいずれかの区間を格納する。この構成では、連続した N バイト区間を読み出すために仮想中間レジスタへの格納区間に重なりが生じる。格納区間に重なりがあるため、ここに構成上のオーバーヘッドがある。これは、仮想中間レジスタのサイズが N より大きいことが原因である。

そこで、ちょうど N バイトの仮想中間レジスタを出入力レジスタの間に設けて、入力レジスタと仮想中間レジスタを N ピッチネットワークで接続することを考える。入力レジスタと仮想中間レジスタを N ピッチネットワークで接続することで、仮想中間レジスタには入力レジスタのデータが N バイトごとに重なりなく格納できる。このとき次の定理が成り立つ。

定理 1. N ピッチネットワークを構成すると、仮想中間レジスタには入力レジスタ中の連続した N バイト区間が循環を許して格納される。

Proof. 仮想中間レジスタの k バイト目は、入力レジスタの $k, k+N, k+2N, \dots$ バイト目を格納する。このとき、入力レジスタの x バイト目は、仮想中間レジスタの $(x \bmod N)$ バイト目に格納される。仮想中間レジスタの 0 バイト目と $(N-1)$ バイト目がつながっているように考えると、入力レジスタ中で連続しているバイト列は、仮想中間レジスタでも連続して格納できる。したがって、仮想中間レジスタには、入力レジスタの循環して連続した N バイト区間が格納される。 □

図 10 に、入力レジスタ長 $M = 19$ 、出力レジスタ長 $N = 4$ のときの N ピッチネットワークの構成を示す。仮想中間レジスタの 0 バイト目には入力レジスタの 0, 4, 8, 12, 16 バイト目のいずれかを格納する。同様に、仮想中間レジスタの 1 バイト目には入力レジスタの 1, 5, 9, 13, 17 バイト目、仮想中間レジスタの 2 バイト目には入力レジスタの 2, 6, 10, 14, 18 バイト目、仮想中間レジスタの 3 バイト目には入力レジスタの 3, 7, 11, 15 バイト目のいずれかが格納される。したがって、仮想中間レジスタには、入力レジスタの $(0, 1, 2, 3), (4, 1, 2, 3), (4, 5, 2, 3), \dots, (16, 17, 18, 15)$ バイト目のいずれかの区間を格納できる。仮想中間レジスタを環状に考えると入力レジスタ中の連続した N バイトを仮想中間レジスタに格納できる。

定理 1 より、仮想中間レジスタに入力レジスタの循環して連続した任意の N バイト区間のデータを格納できるため、格納したデータ順を正せば入力データ中の連続する N バイトを読み出せることになる。これは、仮想中間レジスタと出力レジスタの間にローテータを挿入し、ローテータを用いて並び順を正すことによって実現できる。その結果、フィールドデータ抽出器と同等の機能を持つ回路となる。

次に、ローテータの構成を考える。ローテータを単純に MUX で構成すると、出力レジスタの各バイトはすべての仮想中間レジスタと接続することになる。出力レジスタのバイト長が増大すると必要となる MUX 数が増大する。ローテータの MUX 数を削減する構成にバレルローテータがある。バレルローテータは、入力データを任意のビット数ローテートする回路である。バレルローテータは、各段で 1, 2, 4, ... ビットのローテートをするかしないかを MUX で選択するものである。バレルローテータを用いることで、ローテートに必要な MUX 数の増大を抑えることができるため、MUX 数を大幅に削減することができる。

上記により構成したローテータベース MUX ネットワークの構成を図 11 に示す。上段 MUX ネットワークで、入力レジスタ M バイトと仮想中間レジスタ N バイトを N ピッチネットワークで接続して、下段 MUX ネットワーク

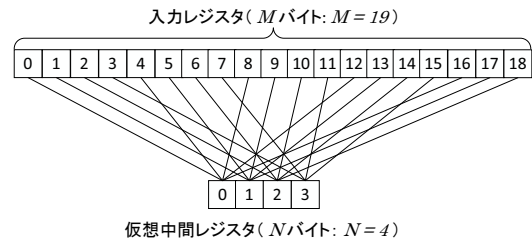


図 10: N ピッチネットワーク ($M = 19, N = 4$).

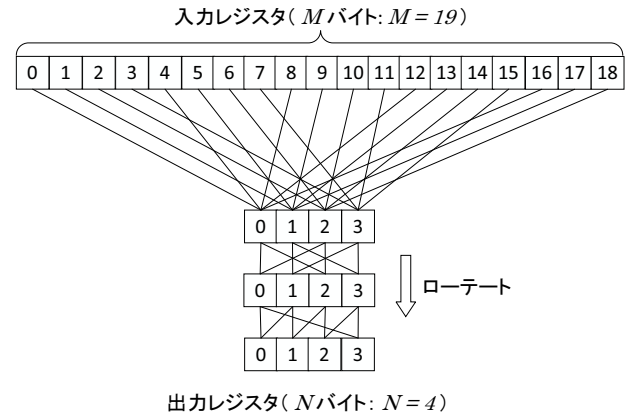


図 11: ローテータベース MUX ネットワークによる $(19, 4)$ フィールドデータ抽出器。

では仮想中間レジスタと出力レジスタをバレルローテータで接続する。

入力レジスタ長 $M = 2^m$ 、出力レジスタ長 $N = 2^n$ とすると、ローテータベース MUX ネットワーク構成に必要な MUX 数 N_{rotate} は以下となる。

$$N_{rotate} = 2^m + (n-1)2^n \quad (7)$$

また、ローテータベース MUX ネットワークの段数 D_{rotate} は以下となる。

$$D_{rotate} = \lceil \lg \lceil 2^{m-n} \rceil \rceil + \lceil \lg 2^n \rceil = m \quad (8)$$

入力レジスタ長 $M = 2^m$ 、出力レジスタ長 $N = 2^n$ のとき、次の定理が成り立つ。

定理 2. $M \geq 2N$ において $N_{multi} \geq N_{rotate}$ が成り立つ。

Proof. $M = 2^m, N = 2^n$ のとき、 $N_{multi} = 2^m + (m-1) \times 2^n - m$ となる。 N_{multi} と N_{rotate} の差は次のようになる。

$$N_{multi} - N_{rotate} = (m-n) \times 2^n - m \quad (9)$$

$m \geq n+1$ のとき、Eqn. (9) ≥ 0 となるので、 $N_{multi} \geq N_{rotate}$ が成り立つ。 □

したがって、ローテータベース MUX ネットワークによる構成に必要な MUX 数は、多層化 MUX ネットワークによる構成に必要な MUX 数よりも必ず小さくなる。

5. 実験結果

本章では、提案手法の回路をハードウェア記述言語 Verilog HDL で記述し設計し、論理合成ツールを用いて、ゲー

ト数の評価・比較をする。

5.1 実験方法

論理合成ツールは Synopsys 社の Design Compiler のトポグラフィカルモードを用い、遅延最小化を目的とした。セルライブラリには STARC90nm を用いた。合成対象回路は、2 入力 1 出力の MUX を提案手法通りに配線することで実装した。実験では、入力レジスタ $M = 1024$ において出力レジスタ $N = 2 \sim 512$ の場合の多層化 MUX ネットワークによる構成とローテータベース MUX ネットワークによる構成のフィールドデータ抽出器のゲート数を評価・比較した。また、(1024, 8), (1024, 64) フィールドデータ抽出器の単純接続による構成、多層化 MUX ネットワークによる構成、ローテータベース MUX ネットワークによる構成のゲート数を比較した。

5.2 論理合成結果

入力レジスタ $M = 1024$ において出力レジスタ $N = 2 \sim 512$ としたとき、多層化 MUX ネットワークとローテータベース MUX ネットワークによるフィールドデータ抽出器のクリティカルパス遅延とゲート数を表 1 に示す。

ローテータベース MUX ネットワークによる構成は、多層化 MUX ネットワークによる構成より MUX 数が小さく、ゲート数も小さくなった。また、 N が大きくなるにつれて MUX 数の差が大きくなり、ゲート数の差も大きくなった。 $N = 256$ のときが、多層化 MUX ネットワークによる構成に対するローテータベース MUX ネットワークによる構成のゲート数削減率が最大となり、多層化 MUX ネットワークによる構成と比べてゲート数を最大 33% で削減できることを確認した。ローテータベース MUX ネットワークによる構成は、多層化 MUX ネットワークに構成と比べてクリティカルパス遅延も小さくなった。これは、多層化 MUX ネットワークによる構成よりもローテータベース MUX ネットワークによる構成の方が平均のファンアウト数が小さくなったためであると考えられる。

(1024, 8), (1024, 64) フィールドデータ抽出器の単純接続による構成のゲート数を 1 とした場合の、多層化 MUX ネットワークによる構成、ローテータベース MUX ネットワークによる構成のゲート数比を表 2 に示す。単純接続による構成と比べると、多層化 MUX ネットワークによる構成はゲート数を大幅に削減しているが、ローテータベース MUX はさらにゲート数を削減している。(1024, 8) の場合、単純接続による構成と比べて、ローテータベース MUX ネットワークによる構成のゲート数は 87% 削減した。(1024, 64) の場合、単純接続による構成と比べて、ローテータベース MUX ネットワークによる構成のゲート数は 98% 削減した。したがって、ローテータベース MUX ネットワークによりフィールドデータ抽出器を構成することで、必要となる MUX 数は大幅に削減できる。

6. おわりに

本稿では、MUX ネットワーク分割を繰り返す多層化 MUX ネットワークを考察した。続いて、フィールドデータ抽出器の構成として、ローテータベース MUX ネット

表 1: 提案手法の論理合成結果 ($M = 1024$)。

N	ローテータベース MUX ネットワーク			多層化 MUX ネットワーク		
	#MUX	#gate	delay [ns]	#MUX	#gate	delay [ns]
2	1,024	22,554	1.9	1,032	22,788	1.8
4	1,028	22,695	1.8	1,050	22,776	1.9
8	1,040	23,172	1.8	1,086	24,778	1.9
16	1,072	24,563	1.8	1,158	25,978	1.9
32	1,152	25,964	1.8	1,302	32,336	1.9
64	1,344	28,449	1.8	1,590	42,293	1.9
128	1,792	36,787	1.9	2,166	50,997	2.1
256	2,816	58,561	2	3,318	86,621	2.1
512	5,120	109,107	2.1	5,622	125,310	2.3

表 2: 各構成の比較。

	construction	#gate (rate)	delay[ns]
(1024, 8)	単純接続	173,056 (1)	2.5
	多層化	24,771 (0.14)	1.9
	ローテータベース	23,172 (0.13)	1.8
(1024, 64)	単純接続	1,405,833 (1)	3.2
	多層化	42,293 (0.03)	1.9
	ローテータベース	28,449 (0.02)	1.8

ワークによる構成を提案した。提案手法は、入力レジスタのデータを出力レジスタサイズのローテータに読み出し、ローテータによりデータ順序を正すことでフィールドデータ抽出器を構成し、必要となる MUX 数を削減する。ローテータベース MUX ネットワークは多層化 MUX ネットワークよりも必要となる MUX 数が小さくなる。提案手法を論理合成し評価したところ、単純接続による構成と比べてゲート数を最大 98% 削減することを確認した。今後の課題として、ローテータベース MUX ネットワークの制御線の評価が挙げられる。

参考文献

- [1] Y.-H. Chen and V. Sze, "A 2014 Mbin/s deeply pipelined CABAC decoder for HEVC," in *Proc. of IEEE International Conference on Image Processing*, 2014.
- [2] 伊東光希, 川村一志, 柳澤政生, 戸川望, 田宮豊, "マルチプレクサ木分割によるフィールドデータ抽出器の構成手法," 信学技報, VLD2014-101, vol. 114, no. 328, pp. 197-202, Nov. 2014.
- [3] H. Jang, S. H. Chung, D. K. Kim, and Y. S. Lee, "An efficient architecture for a TCP offload engine based on hardware/software co-design," *Journal of Information Science and Engineering*, vol. 27, no. 2, pp. 493-509, 2011.
- [4] Y.-H. Liao, G.-L. Li, and T.-S. Chang, "A highly efficient VLSI architecture for H. 264/AVC level 5.1 CABAC decoder," *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 22, no. 2, pp. 272-281, 2012.
- [5] S. Senapathi and R. Hernandez, "Introduction to TCP offload engines," *Dell Power Solutions Magazine*, pp. 103-107, 2004.
- [6] J. F. Wakerly, *Digital Design Principles and Practices Third Edition*, Prentice Hall, 2000.