

一層型 FinFET、積層型 FinFET を用いたシステム LSI のパターン面積の比較

福田 佑貴 廣島 佑 渡辺 重佳

1. はじめに

近年 LSI の高集積化のため三次元構造のトランジスタとして FinFET が提案され、そのシステム LSI への適用例が報告されている[1]。一方更なるパターン面積の縮小化のため積層型 FinFET が提案され、そのインバータへの適用が検討されている[2]。本論文では初めて積層型 FinFET を用いた NAND 等の複雑な回路のパターン設計を行い、パターン面積を一層型の場合と定量的に比較した。

2. インバータ、NAND 回路のパターン面積の比較

一層型 FinFET と積層型 FinFET のインバータの鳥瞰図を図 1 に示す。積層型では NMOS、PMOS 間の分離が不要なため、一層型よりパターン面積が縮小できる特徴がある。また一層型と比較して電源 (図の例では VDD) の上層と下層間接続部分が必要となるため、面積縮小効果は若干低下する。チャンネル幅 $5F$ (F はデザインルール) のインバータのパターン図を図 2 に示す。デザインルールは参考文献[1]と同じ値を用いた。一層型と比べると、積層型ではパターン面積を 82% に縮小できるが縮小効果は大きくない。これは積層化では必要不可欠な上層と下層の接続部分 (ここでは VDD) のパターン全体に占める割合が大きいためである。インバータと 2~4 入力 NAND 回路の積層化によるパターン面積の縮小効果のチャンネル幅依存性を図 3 に示す。チャンネル幅 $5F$ と比べると面積縮小効果はチャンネル幅の増加と共に上がっているのが分かる。これはチャンネル幅 $5F$ と比較して上層と下層の接続部分のパターン全体に占める割合が減ったためである。

Study of pattern area reduction for System LSI with FinFET and stacked FinFET

Yuki FUKUDA, Yu Hiroshima, and Shigeyoshi WATANABE

Department of Information Science, Shonan Institute of Technology

NAND では同一チャンネル幅の時インバータより更に一層型と比較したパターン面積の縮小効率は低くなる。これは、電源 (VDD) に加え出力 (VOU) も上層下層間の接続部分が新たに必要となるためである。NAND の入力数が増えても縮小効率は変わらない。図 4 に NAND の中で縮小率の大きいチャンネル幅 $20F$ の 4 入力 NAND のパターン図を示す。

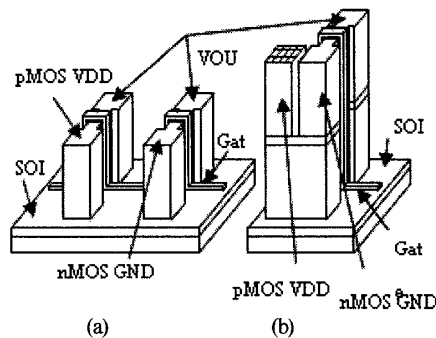


図 1 一層型 FinFET(a)と積層型 FinFET(b)を用いたインバータの鳥瞰図
Fig.1 Top view of inverter with FinFET(a) and stacked FinFET(b)

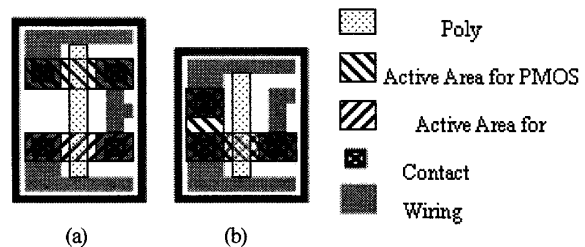


図 2 チャンネル幅 $5F$ のインバータの一層型(a)と積層型(b)のパターン図
Fig.2 Pattern layout of inverter with FinFET(a) and stacked FinFET(b) (W=5F)

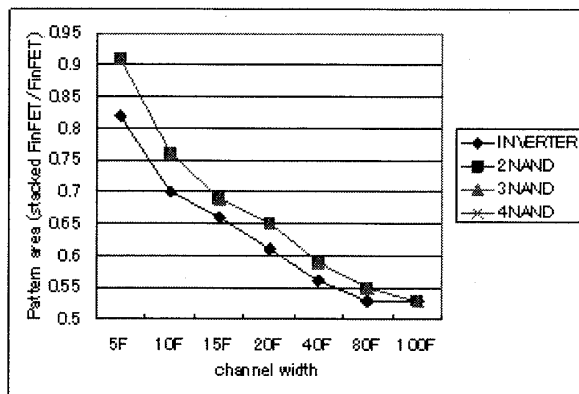


図3 パターン面積のチャンネル幅依存性 (インバータと NAND)

Fig.3 Pattern area dependence on channel width (INVERTER and NAND)

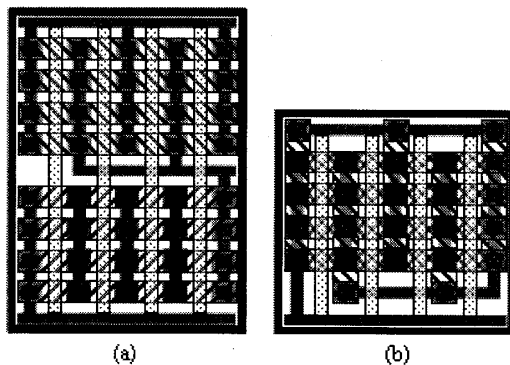


図4 チャンネル幅 20F の 4 入力 NAND の一層型と積層型のパターン図

Fig.4 Pattern layout of inverter with FinFET(a) and stacked FinFET(b) (w=20F)

3. 1 ビットフルアダーのパターン面積の比較

次に 2 入力 NAND、NOR、インバータを用いて 1 ビットフルアダーをパターン設計し、一層型 FinFET と積層型 FinFET でパターン面積を比較した。2 入力 NAND、NOR とインバータで設計されているフルアダー回路と、それを一層型 FinFET と積層型 FinFET で設計したパターン図を図 5 に示す。チャンネル幅は最小の 5F とした。図 5(c)では、図 1 に示すように、GND と VOUT は一直線上に並ぶが、上層と下層の接続部分はその直線上に並ばない方式でパターン設計した。その場合、積層型 FinFET は一層型 FinFET に比べて 86%に縮小された。図 5 (b),(c)にあるように両者で横幅は変わらず、縦幅は若干縮小する。縦幅の縮小効果が小さいのは、上層下層間の接続部分が多いためである。縦幅を更に縮小す

るために上層と下層の接続部分を GND、VOUT と横方向に一直線に並ぶ方式でのレイアウトも試みたが(d)、縦幅は一層の 83%とかなり縮小するものの、横幅が 128%と大幅に増加し、結果的に面積は 107%に増加してしまう欠点があった。複雑な回路では図 5(c)の方式の方がパターン面積が図 5(d)方式より縮小効果が大きくなる可能性が高い。

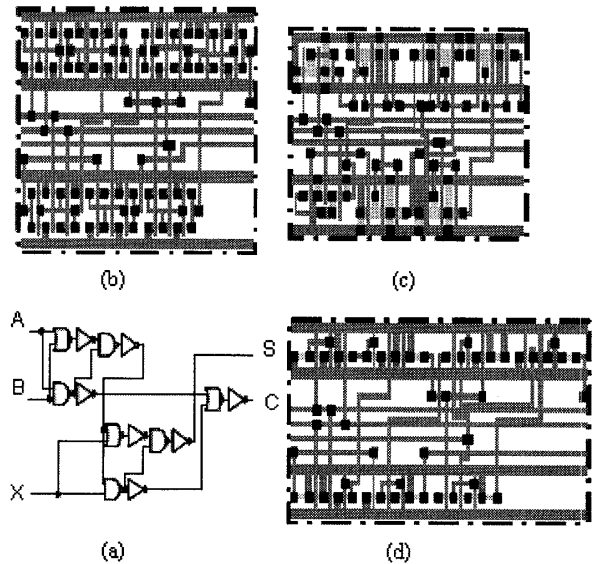


図5 2入力 NAND、NOR、インバータのフルアダーの回路図とレイアウト図、(a)回路図、(b)一層型 FinFET レイアウト図、(c),(d)積層型 FinFET レイアウト図

Fig.5 Circuit diagram and pattern layout of 1_bit 2_input NAND/NOR full adder.(a) circuit diagram(b), layout with FinFET(c),(d), layout with stacked FinFET

4. 終わりに

積層型 FinFET の導入によりインバータ、NAND 等のパターン面積は縮小し、その結果はチャンネル幅が大きいほど顕著になる。フルアダーもパターン面積は縮小するが、上層下層間の接続部分の面積確保のため、縮小効果は比較的小さい。

参考

[1] 廣島, 渡辺 “独立したゲートをもつスタック型三次元トランジスタによるシステム LSI の設計法” 電子情報通信学会論文誌 C. vol.92-c, No.3, pp.94-103, 2009.
 [2] Xusheng Wu, et al, “A Three Dimensional Stacked Fin - CMOS Technology for High - Density ULSI Circuits”, IEEE Trans. Electron Devices, vol.52, NO.9, Sep. 2005.