

モデルベースデザインによる フィルタのハードウェア設計事例

松田 昭信 石原 亨

九州大学 統合新領域学府 オートモーティブサイエンス専攻

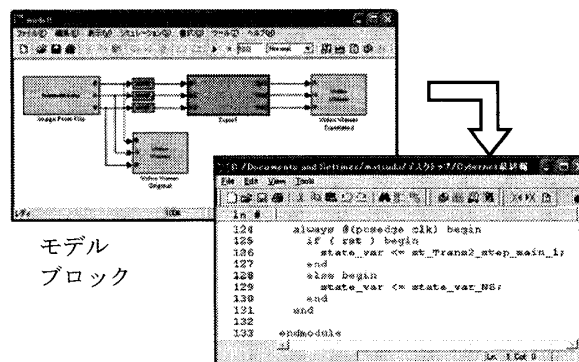
1. はじめに

現在、各種デジタルシステムの高機能化に従い、ハードウェア設計における回路の大規模化が進むと共に、多様化／複雑化が進んでいる。それに伴い、設計期間の長期化、設計コストの増大、品質問題などの課題が多発している。こうした課題に対して、設計品質の向上と設計期間短縮を実現するため、仕様書レベルから人手によるハードウェア記述言語 (HDL など) 作成をおこなう従来の設計手法から、モデルベースデザイン手法を用いる、設計自動化へ移行しつつある^[1]。本稿では、これらの動向に着目して、新しい設計手法を効果的に利用するシステムレベル記述から詳細設計まで、モデルベースデザイン環境による設計手法を用いた効率的なフィルタのハードウェア設計事例について述べる。

2. 開発プロセス改善

これら課題解決の一つとして提案されている手法としてモデルベースデザイン手法がある。これは、モデルベースブロック (MATLAB/Simulink など) から HDL へ自動変換する手法である。しかし、モデルベースブロックは元来アルゴリズム開発向きであり、HDL の変換ツールへの適合は、多くの労力を要する。さらに、システムレベル設計においては、モデルベースブロックはハードウェアに関する処理ブロックや制約を持ち合わせていないので、種々の制約を必要に応じて作成する必要がある、設計から実装までかなりの工数を要する。そこで、図 1 に示すようにモデルベースデザインを活用すれば、この一連の流れを短時間で精度よくシミュレーションできる。さらに、このモデルベースブロックから HDL へ確実かつ自動変換できれば、仕様書レベルから LSI への実装まで、アルゴリズムレベルでのパフォーマンスを維持したまま、高機能／高品質の LSI が実現可能である。

A Development Example for Hard Ware of Filter
with Model-Based Design
Akitoshi Matsuda, Tohru Ishihara
Department of Automotive Science, Graduate School of
Integrated Frontier Sciences, Kyushu University



HDL

図 1. 設計フロー

3. ハードウェア設計事例

今回は、ターゲットデバイスの FPGA である XILINX 社 Virtex™ シリーズを使用し、デジタル信号処理システムを構成するデジタル FIR フィルタを設計した。この 20 次 FIR 型ローパスフィルタの仕様は以下とする。

- ・サンプリング周波数 20kHz
- ・カットオフ周波数 1kHz
- ・窓関数 ブラックマン窓

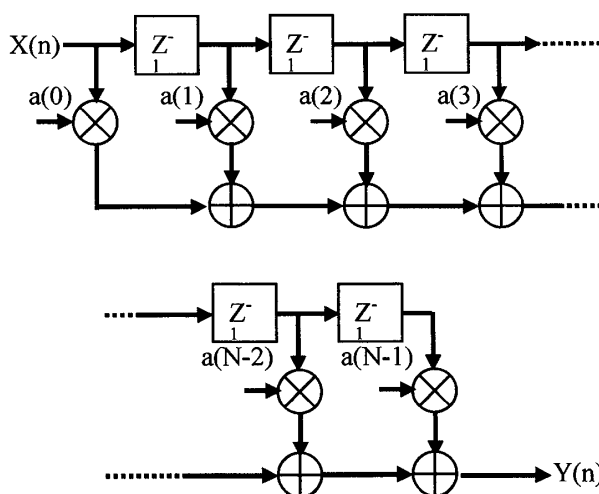


図 2. FIR フィルタ構造

また、このフィルタは、主に遅延器(Z⁻¹)、乗算器(⊗)、加算器(⊕)からなり、Simulinkから HDL に変換するにあたって、種々の最適化コマンドが豊富なため、HDL 変換の性能を検証するには最適と判断した。図 2 は、今回設計したフィルタ構造の一部を示す。

4. 実験結果

今回は、モデルベースデザイン環境で検証したアルゴリズムから HDL へ自動変換する機能を使用して生成した回路と、仕様書レベルからハンドコーディング (手作業) によって HDL を生成した回路との工数比較をおこなった。図 3 は今回用いたモデルベースデザイン環境利用による新設計工数と、従来の設計工数 (手設計工数) の比較を簡易的に示した。

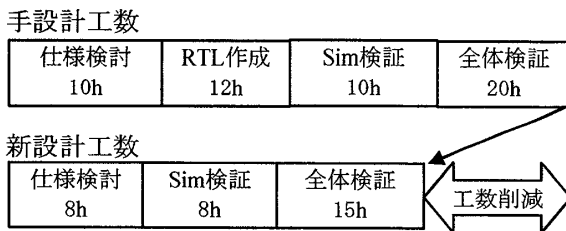


図 3. 設計工数の比較

	20次	25次	30次
最大周波数(MHz)	277	277	277
面積(Gate)	29K	31K	33K
FF使用数(個)	2226	2550	2803
Slice使用数(個)	1194	1357	1482
LUT使用数(個)	1690	1742	2117

図 4. 回路性能比較

新設計手法により、モデルベースブロックから HDL の書換え作業が不要となり、また、シミュレーション時間も短縮され工数が短縮された。さらに、仕様検討が終了すると同時に、ハードウェア/ソフトウェア設計が並列に検証できる。これにより、イタレーション及びリスピンが減り、全体的な設計工数も短縮される。今回の設計事例では、設計工数が 52(h) 時間から 31(h) 時間に短縮しており、全体の 40% 工数削減が実現できた。また、新設計手法を用いて自動生成した回路において、フィルタの次数を変化させて比較した結果を図 4 に示す。次数を増加させると回路規模が大きくなる。

次に、フィルタへの入力信号のビット数を変化させて生成回路を比較した結果を図 5 に示す。

ビット数	8	16	24	32
周波数(MHz)	266	230	193	154
面積(Gate)	17K	35K	48K	69K
Slice使用数(個)	771	1561	2152	3090
Power(mW)	660	684	703	765
Temp(°C)	33.4	33.7	33.9	34.7

図 5. ビット数比較

これによれば、入力ビット数が増えれば、それに比例して回路の面積が増加する。これは、ビット数が 2 倍になれば、比例してスライス数が 2 倍に増加しているためと考えられる。この傾向は 3, 4 倍になっても同じ関係ができています。しかし、フリップフリップや LUT の数は、ビット数が増えていくことに比例して増加していくが、増加率はビット数が大きくなるに連れて小さくなっている。また、消費電力やデバイス内温度は、ビット数が増加していくと単純に増加していくことがわかった。特に、低消費電力の検証は最近注目を浴びているので、今回の設計手法がどのような影響を及ぼすか、検証を進めていく。

5. まとめ

今回の設計手法により、アルゴリズム検証から FPGA のシステム記述、詳細設計まで一貫してほぼ自動化することによって、システムレベル設計が高品質かつスピーディに実行できることがわかった。今回の結果は、FPGA デバイスへ特化されて最適化されている面もあるので、あらゆるケースにおいて、このような性能は出ないのかもしれないが、着実に設計期間を短縮することは見て取れる。よって、今後は手続き的な処理やデータフロー的な処理など、様々なターゲットに対して適用していく予定である。

6. 今後の課題

現状では、まだ全てのモデルベースブロックのライブラリが HDL 自動変換へサポートされておらず、例えば、高度な関数や、複雑な制御回路などの対応ができていない。よって、依然ハードウェアを意識したコーディングが必要である。また、生成された HDL コードの等価性検証などが十分に実施できない。これらの課題についても検討を要する。