

並列 LSI ルーター PROTON2

—— 並列マシン Cenju2/Cenju-3 上での評価 ——

山内 宗[†] 中田 登志之[†]

本論文では、我々が開発した並列 LSI ルーター PROTON 2 について述べる。PROTON 2 は、64 台の RISC マイクロプロセッサで構成された分散共有メモリ型 MIMD 型並列マシン Cenju 2 (VR 3000 (25 MHz)) および Cenju-3 (VR 4400 (内部 150 MHz)) に実装されている。基本配線アルゴリズムとしては、障害物の周辺に生成したエスケープラインに基づいて生成した重み付き無向グラフの上で最短経路を探索する高速最短経路探索アルゴリズムを提案している。そして、配線速度を向上するために領域分割に基づく並列性とネット間の並列性を抽出、利用している。その際に、概略配線経路の面積や端子数に基づく負荷量の見積りに従った静的な負荷のスケジューリングを用いることにより、負荷の均衡をはかり、高い台数効果を得た。また、PROTON 2 は種々の複雑なデザイン・ルールを持つ多層配線層のチャンネルレス・ゲートアレイを配線対象とする詳細配線処理をすることを目的としている。更に、PROTON 2 の並列配線アルゴリズムは、従来の逐次型ルーターと同等の配線品質を保っている。また、PROTON 2 では配線領域に関する情報が各要素プロセッサに分散配置されるので、要素プロセッサ数を増すことによって、より大規模の VLSI の配線問題も扱えることが可能となる。大規模のチャンネルレスゲートアレイ (4,480 × 4,705 格子, 59,835 ピンペア) を配線対象とした場合に 63 プロセッサの Cenju 2 で 21.6 倍の速度向上を得た。

An Evaluation of Parallel LSI Router PROTON2 on MIMD Parallel Machine Cenju2/Cenju-3

TSUKASA YAMAUCHI[†] and TOSHIYUKI NAKATA[†]

This paper describes a new parallel detailed router named PROTON 2 with various new features including: 1) Novel Shortest Path Search algorithm using weighted undirected graph generated from escape lines around obstacles (This algorithm is up to 4.7 times faster than a commercial maze router), 2) Detailed router supporting multi-layer channelless gate arrays with complex industrial design rules, 3) Parallel router on a distributed shared memory based MIMD (Multiple Instruction streams Multiple Data streams) parallel machine, 4) Extraction of high degree of parallelism by routing area division and simultaneous routing of multiple nets, 5) Static task scheduling according to the global route and number of pin pairs. PROTON 2 improves routing speed by routing multiple nets simultaneously. PROTON 2 also solves memory space problem by dividing routing area among all processing elements. For a large scale channelless gate array (4,480 × 4,705 grids, 59,835 pin pairs), we have achieved a speedup of 21.6 times using 63 processors. And this is also 21.8 times faster than the commercial maze router.

1. はじめに

配線処理は、VLSI を開発する際の重要な課題の一つとして挙げられるが、莫大な処理時間とメモリ空間を必要とする。従って、今後大規模な VLSI の配線を行うためには、配線アルゴリズムの並列化による高速化が重要である。また、大規模な VLSI の配線処理が必要とする莫大なメモリ空間については、データを並

列計算機の各プロセッサに分散配置するという方法を取り、プロセッサ数を増すことによって、より大きな VLSI の配線処理にも対応が可能となる。従って、今後 VLSI が大規模化するにつれて、配線処理の並列化は重要となると考えられる。

本論文では、以下の特徴を持つ並列 LSI ルーター PROTON 2 について述べる。

- エスケープラインから生成した重み付き無向グラフの上で最短経路を探索する高速最短経路探索アルゴリズム
- 領域分割に基づく並列性とネット間の並列性の抽

[†] 日本電気(株)C & C 研究所コンピュータ・システム研究部
Computer System Research Laboratory, C & C
Research Laboratories, NEC Corporation

出

- 概略配線径路や端子数に基づく負荷量の見積りに従った静的スケジューリング
- 分散共有メモリ型 MIMD (Multiple Instruction streams Multiple Data streams) 型の並列計算機 Cenju 2/Cenju-3 上で動く並列ルーター
- 種々の複雑なデザイン・ルールを持つ多層配線層のチャンネルレス・ゲートアレイを配線対象とする詳細配線 (概略配線の結果を入力とする)
- 従来の逐次型ルーターと同等の配線品質を保ちながら、高い並列性を抽出

従来の並列ルーターでは、十分な並列性を引き出せずにいるもの、高い並列性を引き出すために配線結果の品質 (配線長, 配線率) を犠牲にしているもの、あるいは、配線本数の制限や複雑なデザイン・ルールの対応が原因で実用レベルの配線対象を扱うことが困難なものが多かった。しかし、本論文で述べる LSI ルーター PROTON 2 は、従来の逐次型ルーターの配線品質を犠牲にすることなく高い並列性を引き出し、しかも、複雑なデザイン・ルールを持つ実際の大規模ゲートアレイの配線処理が可能である。

第 2 章では、従来の配線アルゴリズムとその並列化について述べ、第 3 章では、PROTON 2 で採用した基本配線アルゴリズムについて述べ、第 4 章では、PROTON 2 における配線アルゴリズムの並列化手法について述べ、第 5 章では、ネット間並列性の抽出手法について述べ、第 6 章では、PROTON 2 を実装した並列マシン Cenju 2/Cenju-3 の概要について述べ、第 7 章では、PROTON 2 の評価結果について述べ、第 8 章では、本論文の結論について述べている。

2. 従来の配線アルゴリズムとその並列化

2.1 従来の配線アルゴリズム

従来よく知られている配線アルゴリズムとしては、

1. 格子展開法 (迷路法)⁸⁾
2. 線分探索法
3. チャンネル配線法

の 3 種類がある。各配線アルゴリズムの特徴を表 1 に示す⁹⁾。

格子展開法や線分探索法のように配線処理を 1 ネットずつ行うアルゴリズムでは、1 つのネットの配線処理に内在するネット内並列性と、複数のネットを同時に配線することによって得られるネット間並列性の 2 つのレベルの並列性が内在すると考えられる。しかし、チャンネル配線法は、チャンネル内のすべてのネットの配線処理を同時に行うので、ネット内並列性やネット間

表 1 各配線アルゴリズムの特徴
Table 1 Features of routing algorithms.

	格子展開法	線分探索法	チャンネル配線法
径路の特徴	最短径路	最少折れ曲がり径路	端子列間の配線
メモリ使用量	多	中	少
配線領域の制約	制約なし	制約なし	障害物不可 配線間隔一定
デザイン・ルールへの対応	問題が多い	容易	問題が多い
配線速度	遅い	やや遅い	速い

表 2 ネット間、ネット内そして配線領域間の並列性の問題点
Table 2 Problems of intra-net, inter-net and interrouting-area parallelism.

	格子展開法	線分探索法	チャンネル配線法
ネット内並列性	波面のプロセッサへの効率的な割り当て困難 →プロセッサ稼働率低 処理粒度が細かい →MIMD に不適	プロセッサ間通信が多くなりやすい	—
ネット間並列性	複数ネットを複数のプロセッサが協調しながら配線 →プロセッサ台数増に連れて配線率、配線の品質が低下 (逐次処理と比較して)	—	—
領域間並列性	配線領域の分割方法が配線結果に悪影響を及ぼしやすい	—	チャンネル領域間の並列性を利用 →各チャンネルの配線処理の順番が配線結果の品質に影響を与える

並列性を用いた並列化というものは存在しない。チャンネル配線法は、グラフ理論を用いて配線処理を行うので、グラフ処理の並列化というアプローチも取りえるがそのような例はなく、むしろ、配線領域間の並列性は、チャンネル配線法に限らず用いることが可能である¹⁰⁾。表 2 に、(1) ネット内、(2) ネット間、(3) 配線領域間の 3 種類の並列性と各配線アルゴリズムの問題点についてまとめる。

格子展開法のネット内並列性 (波面伝搬の並列処理) を用いた例は、比較的多く見られる^{10), 11)}。処理の粒度が細かいので Routing Processor¹⁰⁾、MAPLE¹¹⁾ のどちらも専用のプロセッサを用いている。

線分探索法のネット内、ネット間並列性を用いた例もいくつかある^{12), 14)}。これらは、複数のプロセッサが互いに協調しながら複数ネットの配線処理を同時に進行するので、逐次処理した結果と比較した場合に、配

線品質や配線率に関して何の保証もなく、実用化という点では問題が多い。そこで、逐次配線システムと同等の配線結果を保証するためにタイムワープの手法を適用したり¹³⁾、引き刺し再配線をして配線率の向上を目指すもの¹⁵⁾も現れた。また、我々は以前、線分探索法をベースとし、概略配線径路が交差しないネットを同時に配線することによってネット間の並列性を抽出した並列 LSI ルーター PROTON¹¹⁻⁵⁾を開発した。これは高い並列性を得ることができたが、後述のように線分探索をベースとしていることによる配線長の問題があった。

2.2 PROTON2における配線アルゴリズムの選択

本システムで配線の対象としているのは主にゲートアレイ、特に、近年大規模ゲートアレイの主流となっているチャンネルレス型のゲートアレイ (Sea-of-gates) である。チャンネルレス型のゲートアレイは、「チャンネルの領域が必ずしも明確ではない」、あるいは、「チャンネル内に障害物が存在する」等の特徴を持っている。従って、配線アルゴリズムを選択するに当たっては、そのように多様なデザイン・ルールに対応することができるかが重要である。その他にもメモリ使用量、プロセッサ稼働率、処理粒度などがアルゴリズム選択の重要な判断基準となる。表3に、各配線アルゴリズムの特徴を比較したものを示す。

この表3を見て、更にチャンネルレス型ゲートアレイの細かなデザイン・ルールにも対応する必要があるという点を考慮に入れると、基本配線アルゴリズムとして、線分探索法を選択するのが最も適していることがわかる。そこで、以前我々は並列 LSI ルーター PROTONを開発した際に、基本配線アルゴリズムとして線分探索法（「改良線分探索法」¹⁷⁾）を選択し、MIMD型並列計算機に適した新たな並列線分探索手法を提案した。しかし、線分探索法は基本的に最少折れ曲がり径路をみつける手法であり、最短径路をみつける保証はない。格子展開法は逆の性質を持っており、折れ曲がり数の方が問題となる。従って格子展開法の場合は探索の途中でなるべく折れ曲がりの少ない径路を選ぶというヒューリスティクスを加えるのが通常であり、線分探索法では、径路長のなるべく短い方を選ぶというヒューリスティクスを追加することが多い。PROTONもなるべく短い方の径路を選ぶというヒューリスティクスを加えた線分探索法を用いていたが、それでも図1のような場合（わかりやすくするための極端な例ではあるが）には長い径路長を選んでしまうことが避けられない。

そこで本論文で報告する PROTON 2 では、新たな

表3 各配線アルゴリズムの比較
Table 3 Comparison among routing algorithms.

	格子展開法	線分探索法	チャンネル配線法
メモリ使用量	×	○	○
デザイン・ルールへの対応	×	○	×
プロセッサ稼働率	×	○	○
処理粒度	×	○	○

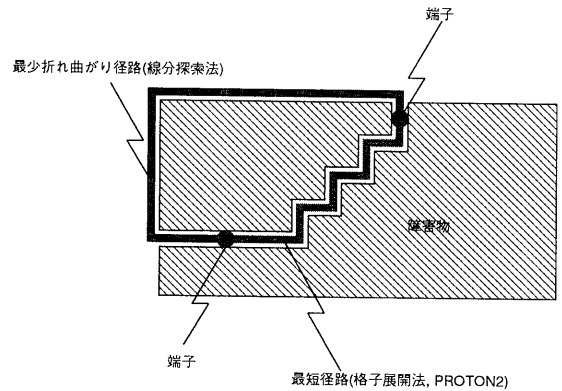


図1 線分探索法と最短径路

Fig. 1 Line Search Algorithm and Shortest Path.

配線アルゴリズムを用いることにした。PROTONの基本配線アルゴリズムである線分探索法は、障害物の周囲にエスケープ・ラインと呼ぶ線を生成し、それらのエスケープ・ラインの集合上で線分探索を行うというものであった。PROTON 2では同様に生成されたエスケープ・ラインの集合から重み付き無向グラフを生成し、そのグラフ上で最短径路探索を行うことにより径路長の短い配線径路を探索するという新たな配線アルゴリズムを提案した。そして、領域分割に基づく並列性とネット間の並列性の2種類の並列性を併用することによって、高い並列性を得ている。並列化手法の詳細については後述するが、ネット間並列性については、概略配線径路が重ならないネットの配線処理を同時に行うことによって、逐次計算機上の配線結果と同等の配線径路の品質や配線率を得ることを保証した（従来の研究では、逐次処理をした場合と同等の品質を得るのが困難であった）。

3. 基本配線アルゴリズム

我々が以前開発した並列 LSI ルーター PROTONの基本配線アルゴリズムは配線長の短い径路を探すことは本質的に困難であり、実ゲートアレイの配線処理では問題となる。そこで、PROTON 2では、配線領域

に存在する障害物の周囲（障害物と配線の許容距離だけ離れた位置）にエスケープ・ラインと呼ぶ線分を生成するところまでは「改良線分探索法」と同様に処理を進めるが、それらの線分を線分探索するのではなく、それらの線分から無向グラフを生成してそのグラフ上で端子から端子への最短経路を探索する新たな配線アルゴリズムを考案した。

具体的には、PROTON 2 における配線処理は以下のように進められる。まず、コーナー・ポイントを障害物から障害物と配線の許容距離だけ離れた位置に生成し、障害物等を回避するエスケープ・ラインをコーナー・ポイントから生成する。また、これから配線する端子からは、それらの端子を通り端点が障害物と配線の許容距離を満たすように探索線を生成する。次に、それらのエスケープ・ラインや探索線の交点および端

子を頂点とし、頂点間の物理的な距離を枝の重みとする無向グラフを生成する(図 2 参照)。そして、そのグラフ上で Dijkstra のアルゴリズムを用いて端子(を表す頂点)間の最短配線経路を求める。

4. 並列化手法

配線処理には、領域分割に基づく並列性、ネット内並列性およびネット間並列性の 3 つのレベルの並列性が内在すると考えられる。PROTON では、領域分割に基づく並列性、ネット内並列性およびネット間並列性のすべてを用いていたが PROTON 2 では、(1) ネット内並列性の粒度が小さ過ぎる、(2) ネット内並列性を用いると配線経路の質(配線長等)を高く保つためには多くのプロセッサ間通信が必要となってしまう、(3) Cenju 2⁶⁾ や Cenju-3⁷⁾ は Cenju と比較してプロセッサ性能が飛躍的に向上しており、演算能力と通信性能の比率を考慮するとプロセッサ間通信を減らしたアルゴリズムが有利である、の 3 つの理由から、領域分割に基づく並列性とネット間並列性のみを用いることとした。

4.1 全体の処理の流れ

1. 障害物の周囲にエスケープ・ライン等を生成(前処理)
2. 端子から探索線を生成
3. エスケープ・ラインや探索線から重み付き無向グラフを生成
4. グラフ上で端子間の最短経路を求める
5. 新たにできた配線経路に従ってエスケープ・ラインを更新
6. 2へ戻って次のネットの配線へと進む

というようになっている。そして、エスケープ・ラインの生成と更新は領域分割に基づく並列性を用い、グラフの生成、配線経路の探索はネット間並列性を用いる。

4.2 領域分割に基づく並列性

エスケープ・ラインの生成や更新は配線領域に存在

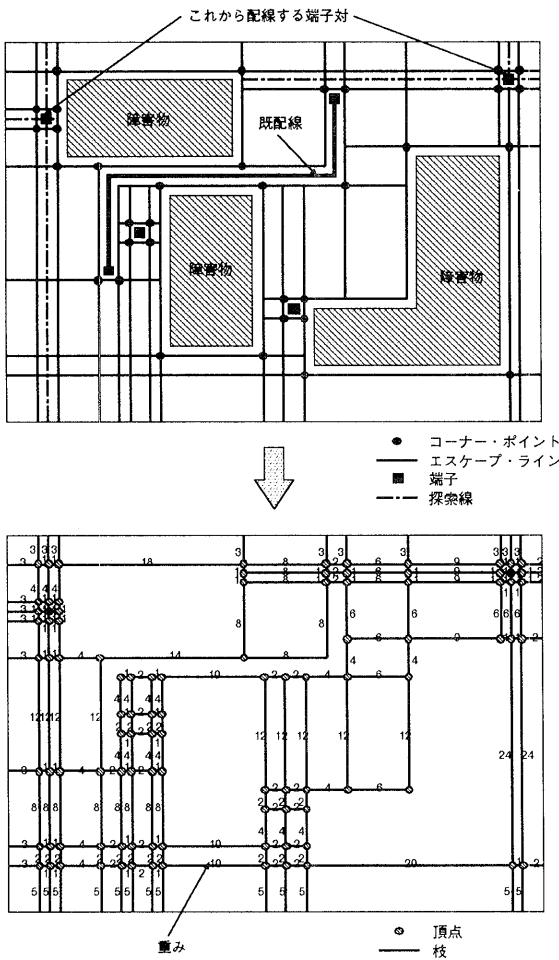


図 2 エスケープ・ライン、重み付き無向グラフ生成
Fig. 2 Escape line and weighted undirected graph generation.

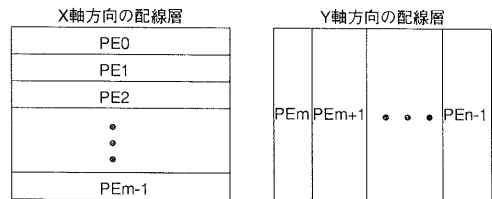


図 3 各 PE への配線領域の割り当て
Fig. 3 Routing area assignment for each PE.

する障害物の情報のみで可能なので、配線領域の分割に基づく並列性を用いるのが適している。図3に示すように、各配線層の配線方向（主軸方向）にそって配線領域を帯状に分割し、各プロセッサ（PE）は、自分が担当する領域内のエスケープ・ラインを生成、更新する。

4.3 ネット間並列性

一般的に、LSIの自動配線は概略配線と詳細配線の2つのフェーズで構成されていることが多い。これは、概略配線を用いることによって、探索空間を絞り込んで詳細配線の処理時間を削減し、配線の順番が配線の品質、配線率に与える影響を減らすためである。ここで、詳細配線は概略配線の領域内で行われるという点に着目すると、概略配線領域が重ならないネットを同時に詳細配線処理を行うことが可能であることがわか

る。そこでPROTON2では、概略配線の領域が重ならないそれらのネットを並列に配線することにより、ネット間の並列性を引き出している。

PROTON2でどのようにネット間の並列性を用いているかを図4に示す。この図では、ネット#0、#1、#2の概略配線径路が重ならないので同時に配線処理可能である。以前我々が開発した並列LSIルーターPROTONでも同様のネット間並列性を用いていたが、行や列方向の概略配線領域の重複を許さないという領域分割の制約を受けていたので、十分なネット間並列性を引き出せずにいた。しかし、PROTON2ではそのような制約を取り除くことにより、より高いネット間並列性を抽出した。

前述のように、グラフの生成、配線径路の探索にネット間の並列性を用いる。しかし、エスケープ・ラインの生成、更新は領域分割に基づく並列性を用いており、グラフの生成、配線径路の探索に必要なエスケープ・ラインは各PEが分散して保持している。従って、あるネットに関してグラフの生成、配線径路の探索を行う場合には、(1)必要なエスケープ・ラインの転送、(2)配線結果の分配（エスケープ・ラインの更新のため）、をする必要がある。ネット間並列性とプロセッサ間通信の関係を図5に示す。このように、領域分割に従ってエスケープ・ラインを保持しているプロセッサが、そのエスケープ・ラインを用いて配線処理をするプロセッサにエスケープ・ラインを送るといった通信パターンが生じる。

4.4 PROTON2の処理フロー

以上の2種類の並列性を考慮したPROTON2の処

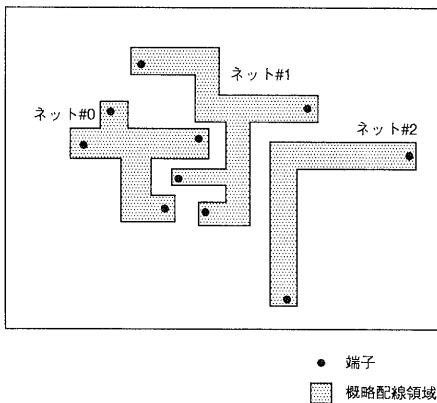


図4 ネット間並列性
Fig. 4 Inter-net parallelism.

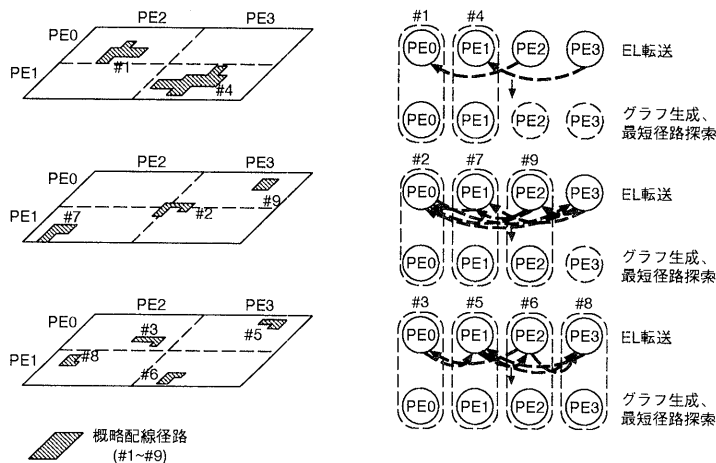


図5 ネット間並列性とプロセッサ間通信
Fig. 5 Inter-net parallelism and inter-processor communication.

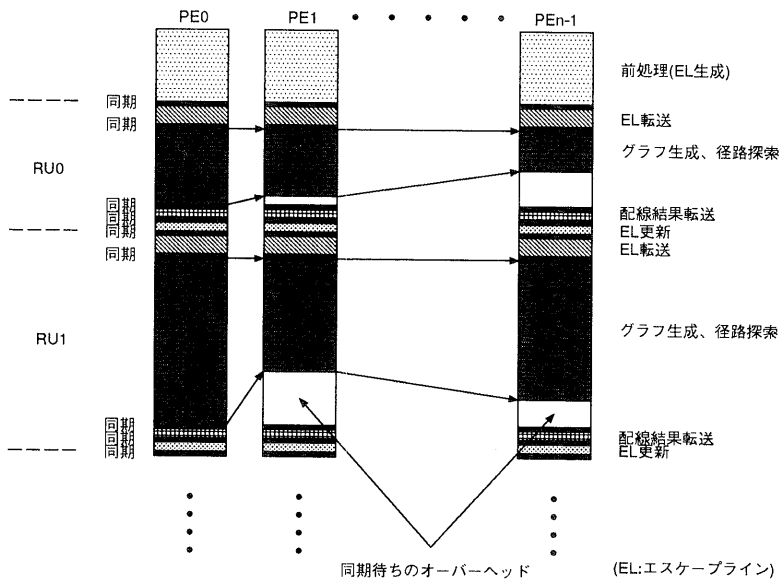


図6 PROTON 2 の処理フロー
Fig.6 Process flow of PROTON2.

理フローを図6に示す。

同時に配線可能なネットのグループを1つのRU (Routing Unit) と呼ぶ。そして各 PE は自分が配線処理をするネットの概略配線径路内に含まれるエスケープ・ライン (EL) を受けとり (EL 転送)、その EL からグラフを生成し径路を探索する。そして、1つのRUに含まれるネットの配線が終わったらすべての PE が同期をとり、配線結果を互いに転送し、領域分割に従ってエスケープ・ラインの更新を行い、次のRUの配線へと進む。従って、1つのRUに含まれているネットの配線時間にばらつきがあると図6に示すような同期待ちのオーバーヘッドが生じる可能性があり、どのネットを同時に配線するか (RUの静的スケジューリング) が重要である。

5. ネット間並列性の抽出

前述のようにネット間並列性を抽出するにあたってはRUをどのように選ぶかが重要である。各ネットの間では概略配線径路の重なり以外には依存関係はないが、同じRU内のネットの配線時間にばらつきがあると、図6に示すとおり同期待ちのオーバーヘッドが大きくなり、処理効率の低下を招く。従って、何らかの手段を用いて必要となるであろう配線時間を見積り、それに従ってRUのスケジューリングをするのが望ましい。そこで、本論文では、後述の2種類の配線時間見積りを試み、比較評価を行った。なお、スケジュー

リング方式は負荷 (配線時間) の大きいと考えられるネットから順番にソートし、そのリストの先頭から順番に同時に配線可能なネットを (プロセッサ台数分) 選ぶという greedy アルゴリズムとした (スケジューリングはワークステーション上でを行い、所要時間は250 k ゲートのゲートアレイで数十秒程度である)。

5.1 配線時間の見積り

同時に配線処理を行うネットの静的なスケジューリングを行うためには、あるネットの配線処理にどれぐらいの時間がかかるのかをある程度見積もる必要がある。そこで、負荷 (配線時間) 見積りのパラメータとして、(1) ネットに含まれるピンペア数、(2) ピンペア数 × 概略配線径路の面積、の2種類について、並列マシン Cenju 2 (1 プロセッサを使用) 上で評価した (図7, 図8参照、X軸が見積もった負荷量、Y軸が配線時間で、ネットの分布を示す)。

この結果を比較すると、「ピンペア数」だけよりも「ピンペア数 × 概略配線径路の面積」の方が配線時間との相関が高く、配線時間をより正確に見積もることが可能であることがわかる。この2種類の負荷見積りパラメータの違いが台数効果にも現れることを後述する。

6. 並列マシン Cenju2/Cenju-3

PROTON 2 を実装した並列マシン Cenju 2⁶⁾ / Cenju-3⁷⁾ は、次の特徴を有する。Cenju 2/Cenju-3 は、最大256台の要素プロセッサ (PE) を接続可能であり、

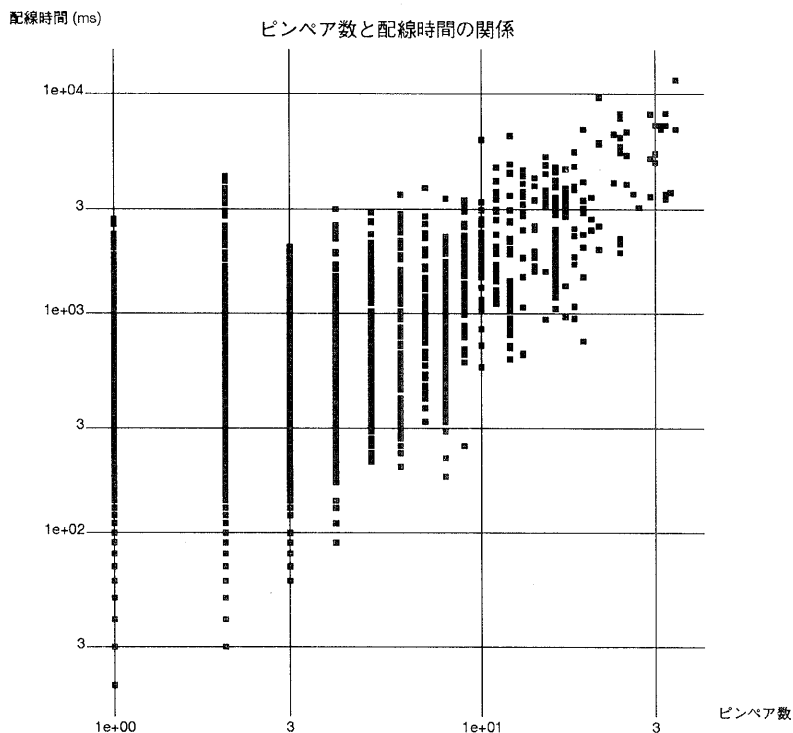


図7 ピンペア数と配線時間
Fig. 7 Number of pin pairs and routing time.

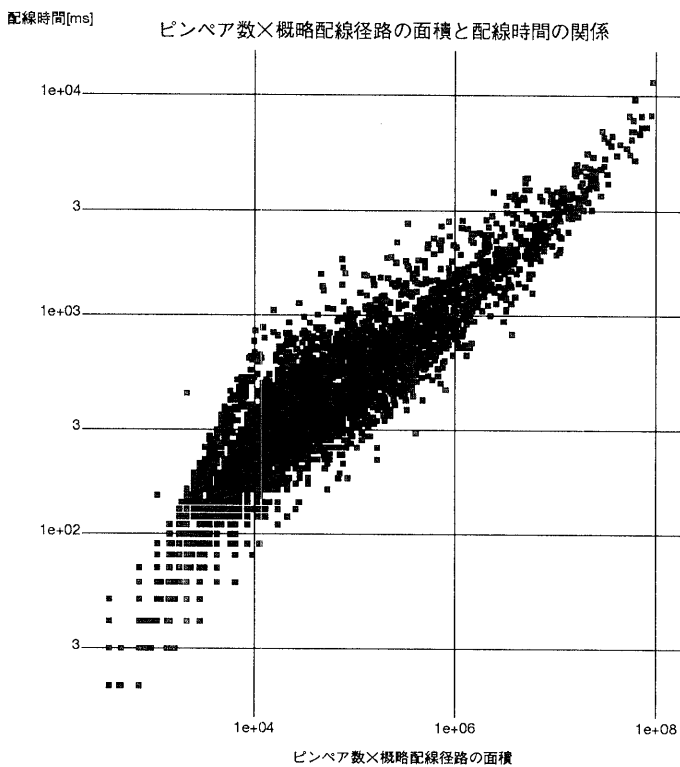


図8 ピンペア数×概略配線径路の面積と配線時間
Fig. 8 Number of pin pairs multiplied by area of global route and routing time.

各要素プロセッサはパケット交換の多段網で接続されている (図 9, 図 10 参照)。Cenju 2 は 25 MHz の VR 3000 を要素プロセッサとし, その後継機種である Cenju-3 は内部クロック 150 MHz の VR 4400 を要素プロセッサとしている。メモリ空間は各 PE に分割された分散共有メモリの構成をとっている。また, 各 PE 間の通信, 同期は共有メモリや remote procedure call (rpc), barrier 等を用いて実現することが可能である。

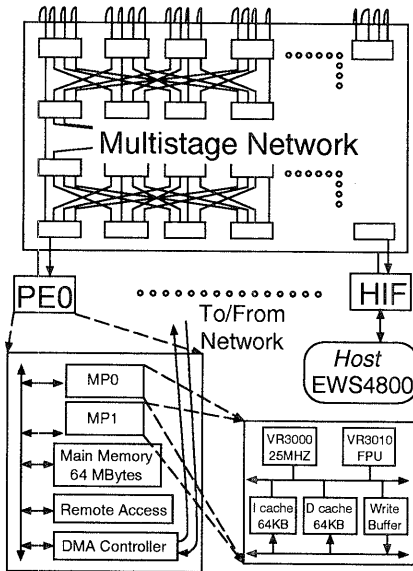


図 9 Cenju 2 のブロック図
Fig.9 A block diagram of Cenju2.

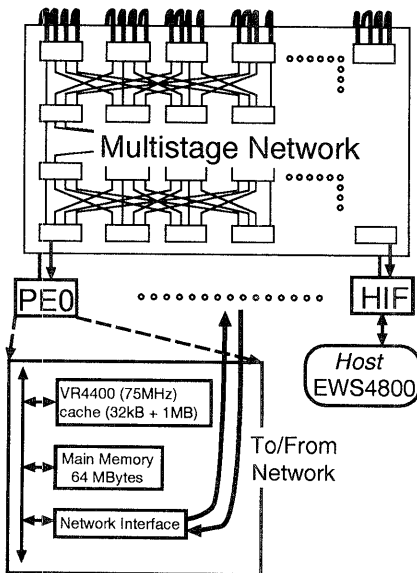


図 10 Cenju-3 のブロック図
Fig. 10 A block diagram of Cenju-3.

7. PROTON2 の配線結果および評価

本論文では, 以下の 3 種類のチャンネルレス・ゲートアレイを用いて PROTON 2 の評価を行った。

- ゲートアレイ A (30 k ゲート, 2 層, 1,537×1,790 格子 5,842 ネット (12,591 ピンペア))
- ゲートアレイ B (42 k ゲート, 3 層, 1,761×2,148 格子 8,368 ネット (17,948 ピンペア))
- ゲートアレイ C (250 k ゲート, 3 層, 4,480×4,705 格子 27,148 ネット (59,835 ピンペア))

表 4 スケジューリング手法の効果 (配線結果)
Table 4 Scheduling method and routing result.
(1) ピンペア数で評価

PE 台数	配線時間 (秒)	配線率 (%)	速度向上
1	1166.43	96.66	1.00
2	888.63	96.82	1.31
4	648.96	96.55	1.80
8	473.23	96.57	2.46
16	345.72	96.70	3.37

(2) ピンペア数×概略配線径路の面積で

PE 台数	配線時間 (秒)	配線率 (%)	速度向上
1	1244.30	98.09	1.00
2	800.34	98.11	1.55
4	535.67	98.18	2.32
8	344.61	98.19	3.61
16	249.58	98.05	4.99

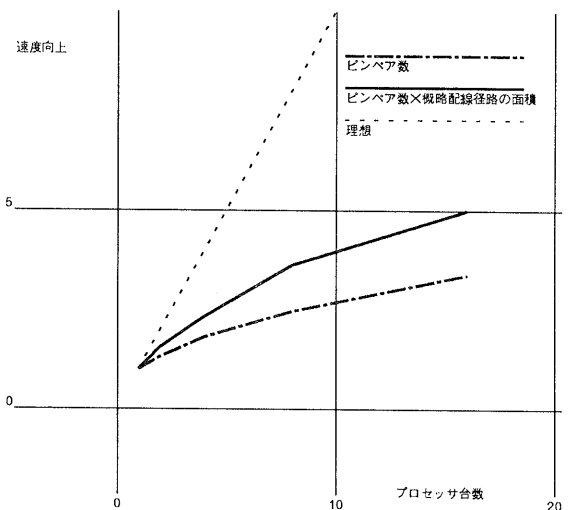


図 11 配線時間見積りパラメータと台数効果
Fig. 11 Estimation parameter and speedup.

7.1 負荷見積りパラメータの評価

静的なスケジューリングの際の前述の2種類の負荷見積りのパラメータの違いが処理時間にどのように影響を与えるかについて、並列マシン Cenju 2 上で評価した結果を表 4, 図 11 に示す。対象はゲートアレイ A である。この結果を見ると、スケジューリングの際の配線時間の見積りに「ピンペア数」を用いた場合よりも「ピンペア数×概略配線径路の面積」を用いた場合の方が、配線時間と台数効果の双方とも 10~30%改善されることがわかる。これは、「ピンペア数」だけよりも「ピンペア数×概略配線径路の面積」の方が配線時間との相関が高いという前述の結果(図 7, 8)とも一致する。従って、負荷見積りパラメータとしては、「ピンペア数×概略配線径路の面積」を用いることが有

表 5 配線結果
Table 5 Routing result.
ゲートアレイ A

(30 k ゲート, 2 層, 5,842 ネット, 12,591 ピンペア)

PE 台数	配線時間 (秒)	配線率 (%)	速度向上
1	1244.3	98.1	1.00
2	800.3	98.1	1.55
4	535.7	98.2	2.32
8	344.6	98.2	3.61
16	249.6	98.1	4.99
32	197.7	98.0	6.29
63	182.6	97.5	6.82

ゲートアレイ B

(42 k ゲート, 3 層, 8,368 ネット, 17,948 ピンペア)

PE 台数	配線時間 (秒)	配線率 (%)	速度向上
1	3501.4	96.0	1.00
2	2138.6	96.0	1.64
4	1325.2	96.0	2.64
8	886.5	96.0	3.95
16	671.9	95.9	5.21
32	573.4	95.5	6.11
63	543.4	95.0	6.44

ゲートアレイ C

(250 k ゲート, 3 層, 27,148 ネット, 59,835 ピンペア)

PE 台数	配線時間 (秒)	配線率 (%)	速度向上
1	33119.4	89.8	1.00
8	6000.1	89.8	5.52
16	3598.5	89.8	9.20
32	2159.1	89.7	15.34
63	1531.4	89.2	21.63

効である。以後、断りのない限り負荷見積りパラメータとして「ピンペア数×概略配線径路の面積」を用いる。

7.2 配線時間, 台数効果の評価

並列 LSI ルーター PROTON 2 を並列マシン Cenju 2 上で評価した結果を表 5, 図 12 に示す。表 5 は配線結果(実行時間, 配線率, 台数効果)を、図 12 は台数効果のグラフを示す。これを見ると、中規模のゲートアレイ(ゲートアレイ A, B)では、台数効果が7倍程度で飽和している。これは、図 7, 8 を見てもわかるように、各ネットの配線処理時間が2~3桁も異なるものがあり、スケジューリングによっても吸収不可能なほど大きな負荷の不均衡が生じるためである。これはクロック系等のピンペア数, 概略配線径路の面積共に大きなネットが原因となっていると考えられる(そのネットが逐次部分になってしまう)。しかし、このような特殊なネットの数は限られており、対象となるゲートアレイの規模が大きくなる(数百k~数Mゲート)につれて、逐次部分としての影響は減少すると考えられる。そこで、実データにおける巨大ネットの分布がどのようなものであるかを示す。ネットの大きさを示す目安としてネットを囲む概略配線径路の面積を用いることにする。ゲートアレイ B の概略配線径路の分布を図 13 に、ゲートアレイ C の概略配線径路の分布を図 14 に示す。これら2つの図を比較すると、42

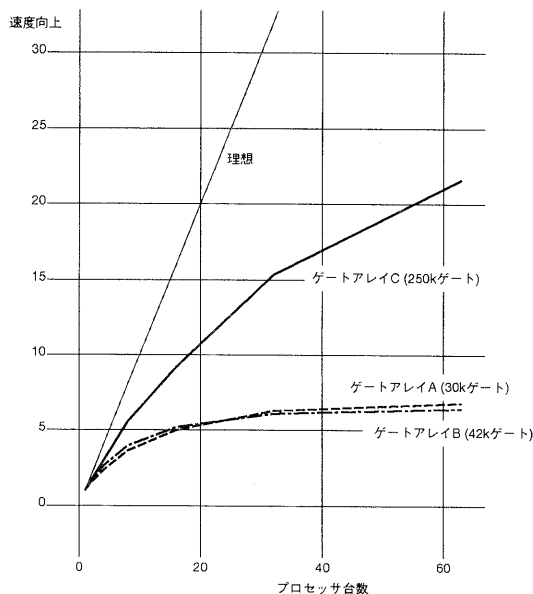


図 12 チャネルレス・ゲートアレイを配線した場合の PROTON 2 の台数効果

Fig. 12 PROTON2's speedup routing channelless gate arrays.

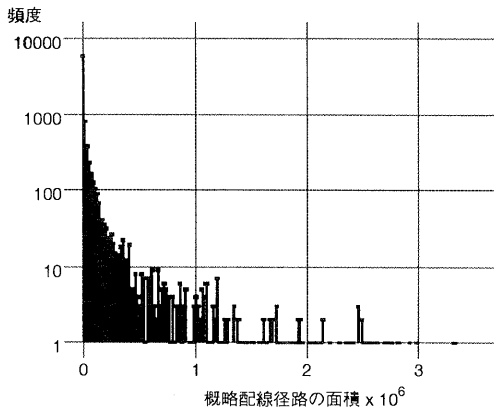


図 13 概略配線径路の面積の分布 (ゲートアレイ B)
Fig. 13 Area of global route for each net (Gate array B).

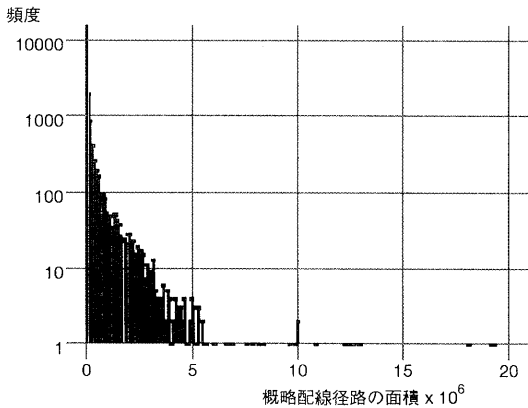


図 14 概略配線径路の面積の分布 (ゲートアレイ C)
Fig. 14 Area of global route for each net (Gate array C).

k ゲートのゲートアレイ B と比較して 250 k ゲートのゲートアレイ C の方が、ネット全体に対する巨大ネットの比率が低く、逐次部分としての影響が現象することが予測される。そして、表 5、図 12 に示されるように、ゲートアレイ C の場合、プロセッサ台数 63 台の Cenju 2 で 21.6 倍という高い台数効果が得られ、大規模ゲートアレイにおいては巨大ネットが原因となる逐次部分の影響が少なくなり高い台数効果が得られる、という予測が実証された。

7.3 市販 MAZE ルーターとの性能比較

次に、PROTON 2 で採用した新たな配線アルゴリズムが、逐次マシンで実行した場合においても、既存の格子展開法に基づいたルーター (MAZE ルーター) よりも速いことを示す。表 6 に、Cenju 2 (1 プロセッサ, 63 プロセッサ) 上で実行した PROTON 2 と、SPARCstation 2 上の市販 MAZE ルーターの初期配

表 6 PROTON 2 と市販 MAZE ルーターの初期配線時間の比較
Table 6 Comparison of initial routing time between PROTON 2 and commercial maze router.

	配線時間 (秒)	
	ゲートアレイ B (42 k ゲート)	ゲートアレイ C (250 k ゲート)
市販の MAZE ルーター SPARC station 2 (SPARC (40 MHz))	16,515.0	33,360.0
PROTON 2 Cenju 2/1 PE (R 3000 (25 MHz))	3,501.4	33,119.4
PROTON 2 Cenju 2/63 PE (R 3000 (25 MHz) *63)	543.4	1,531.4

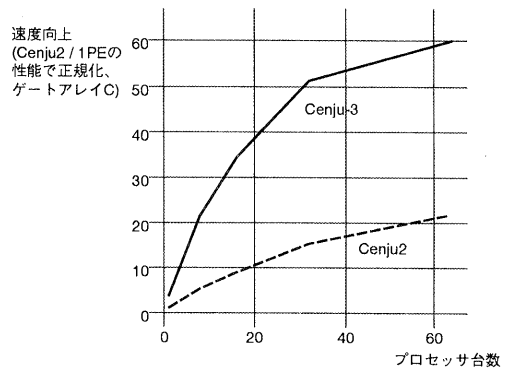


図 15 PROTON 2 の Cenju-3 での評価 (Cenju 2 との比較)
Fig. 15 Evaluation result of PROTON2 on Cenju-3 (Compared with Cenju2).

線時間の比較を示す。1 プロセッサで実行した場合、PROTON 2 は市販 MAZE ルーターよりも最大 4.7 倍高速である。さらに、63 プロセッサ用いれば、PROTON 2 は市販 MAZE ルーターの 21.8~30.4 倍も高速になることがわかる。

7.4 並列マシン Cenju-3 上での評価

今までの評価結果はすべて並列マシン Cenju 2 上実行して得たものであるが、次にその後継機の Cenju-3 での評価結果を示す。図 15 はゲートアレイ C を配線対象とした場合の台数効果を Cenju 2 と比較したものである。Cenju 2 との比較を容易にするために、図 15 の縦軸は Cenju 2 の 1 プロセッサの性能で正規化している。このグラフを見ると、並列 LSI ルーター PROTON 2 を実行した場合に Cenju-3 は Cenju 2 の 3~4 倍の性能が得られることがわかる。VR 3000 (25 MHz) と比較して VR 4400 (内部 150 MHz) のピーク整数演

算性能は6倍高速であるが、そこまでの差が現れない原因の1つとして、キャッシュのミスヒット率の高さが挙げられる。ルーターのような大規模探索問題では、キャッシュ・ミスすることが多く、R 4400のように内部クロックを高くしたスーパー・パイプライン・アーキテクチャにおいては、そのメリットが発揮されにくくなる。また、PROTON 2において台数効果を低下させる主な原因は前述のようなネット間の配線時間のばらつきを原因とするPE間の負荷の偏りが主であり、通信性能がボトルネックになっているわけではないので、ネットワーク・インタフェースをハードワイヤード化し通信性能を強化したCenju-3においても、その効果はそれほど現れていない。

8. おわりに

本報告では、実用規模のゲートアレイにおいて、市販MAZEルーターの最大4.7倍も高速に最短径路を探索するアルゴリズムを提案し、それをネット間並列性に基いて並列化したLSIルーターPROTON 2を並列マシンCenju 2/Cenju-3に実装、評価結果について述べた。そして、ネット間の並列性を抽出しスケジューリングする際の配線時間の見積りとしては、「概略配線径路の面積×ピンペア」が適していることがわかり、その見積りに従ってスケジューリングすることにより、プロセッサ数63台のCenju 2を用いた場合に21.6倍の台数効果を達成した。そして、これは市販のMAZEルーターと比較して21.8倍高速である。

今後の課題としては、より高い台数効果を得るために、動的負荷分散の併用、スケジューリング法の改善等の検討が挙げられる。

謝辞 本研究の機会を与えて頂き、また有益な示唆を頂いた日本電気(株)研究開発グループ 石黒取締役、同C&C研究所 山本所長、同ULSIシステム開発研究所 森野所長、同欧州研究所 小池所長、ハードウェア製作に尽力された同C&C研究所 三野輪一氏に感謝いたします。

参考文献

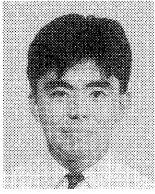
- 1) Yamauchi, T., Ishizuka, A., Nakata, T., Nishiguchi, N. and Koike, N.: PROTON: A Parallel Detailed Router on an MIMDParallel Machine, *ICCAD-91*, pp. 340-343 (1991).
- 2) 山内, 中田, 石塚, 西口, 小池: 並列シミュレーションマシンCenju上のLSIルーターの評価, 第40回情報処理学会全国大会論文集, 5 L-6 (1990).
- 3) 山内, 中田, 石塚, 西口, 小池: 並列マシンCenju上のLSIルーター—PROTON—, 第44回情報処

理学会全国大会論文集, 3 D-8 (1992).

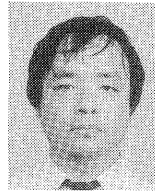
- 4) 山内, 中田, 石塚, 西口, 小池: MIMD型計算機上のLSIルーター—PROTON—, 並列処理シンポジウム JSP'92, pp. 445-452 (June 1992).
- 5) 山内, 中田, 石塚, 西口, 小池: MIMD型並列計算機上のLSIルーター—PROTON— 情報処理学会論文誌, Vol. 34, No. 4, pp. 699-707 (1993).
- 6) 松下, 山内, 中田, 小池: 並列マシンCenju 2のアーキテクチャ, 情報処理学会研究会報告, Vol. 92, No. 64, pp. 17-23 (1992).
- 7) 広瀬, 加納, 丸山, 中田, 浅野, 稲村: 並列コンピュータCenju-3のアーキテクチャ, 情報処理学会研究会報告, Vol. 94, No. 66, pp. 121-128 (1994).
- 8) Lee, C. Y.: An Algorithm for Path Connections and Its Applications, *IRE Trans. Electron. Comput.*, Vol. EC-10, pp. 346-365 (1961).
- 9) 大附: 配線処理手法, 情報処理, Vol. 25, No. 10, pp. 1090-1099 (1984).
- 10) 橘, 鈴木, 大賀, 中島, 大附: 並列ルーティング・プロセッサの試作研究, 情報処理学会論文誌, Vol. 27, No. 6, pp. 639-647 (1986).
- 11) 河村, 進藤, 澁谷, 三渡, 大木, 土肥: 超並列配線マシンMAPLE-RP, 並列処理シンポジウム JSP'91, pp. 373-379 (May 1991).
- 12) 伊達, 大嶽, 瀧: 並列オブジェクトモデルに基づくLSI配線プログラム, 並列処理シンポジウム JSP'91, pp. 381-388 (May 1991).
- 13) 松本, 瀧: タイムワープによる並列無格子配線システム, 並列処理シンポジウム JSP'93, pp. 323-330 (May 1993).
- 14) 高橋, 佐々木: 競合プロセッサ群による配線問題の並列処理, 情報処理学会計算機アーキテクチャ研究会, 82-7 (Apr. 1990).
- 15) 佐野, 高橋: プロセッサ競合方式による並列配線処理—引き剥し処理による品質改善—, 並列処理シンポジウム JSP'93, pp. 331-338 (May 1993).
- 16) 羽根, 油井, 島本, 白川, 西口: 分散処理を用いた多層VLSI配線システム, 信学技報, CAS 91-90 (1991).
- 17) Suzuki, K., Ohtsuki, T. and Sato, M.: A Gridless Router: Software and Hardware Implementations, *VLSI'87*, pp. 121-131 (1987).
- 18) Sagar, V. K. and Massara, R. E.: Exploiting Parallelism in Routing for a Hierarchical VLSI Design Environment, *Proc. 1989 European Conf. Circuit Theory and Design*, IEE, Brighton, U. K. (Sep. 1989).

(平成6年9月14日受付)

(平成7年1月12日採録)

**山内 宗 (正会員)**

1964年生, 1986年東京大学工学部電子工学科卒業, 1988年同大学院工学系研究科情報工学専攻修士課程修了。同年日本電気(株)入社。現在, 同社 C & C 研究所コンピュータ・システム研究部にて, 並列計算機アーキテクチャ, CAD 等の研究に従事。

**中田登志之 (正会員)**

昭和 32 年生, 昭和 57 年京都大学大学院工学研究科修士課程修了, 昭和 60 年同大学院博士後期課程単位取得退学, 同年日本電気(株)入社, 京都大学工学博士, 現在同社 C & C 研究所コンピュータ・システム研究部研究課長, 並列計算機システムの研究に従事, 昭和 61 年度本学会論文賞受賞, 30 周年記念論文入賞, 電子情報通信学会会員。