

多層化半導体における回路長最短を目標とした配置手法の提案

石井 健作^{††}齋藤 義人[†]松尾 徳朗[†]永井 明彦[‡]^{††}山形大学工学部情報科学科[†]山形大学大学院理工学研究科[‡]緑屋電気株式会社

1 はじめに

近年、様々な電子機器に使われている半導体は、電子機器の高性能化のために多量に搭載できるようになり、小型化のために小さくなった。また、半導体の性能は、集積回路におけるトランジスタの集積密度が 18~24ヵ月ごとに倍になるという経験則の示すとおりに向上してきた [1]。半導体の発展は今後も続くといわれているが、近年、半導体の微細化に限界が見えてきている。この問題を解決するため、半導体回路の多層化が研究されている。この研究によって、一層に搭載することができない数の回路素子を搭載することができ、半導体の性能が向上すると考えられる。しかし、半導体を多層化することによって回路がより複雑になる。これによって配線長が長くなり、回路内の電気抵抗が増し、消費電力が増えるとともに信号遅延等の問題につながる。また、配線が複雑になることで不良品発生にもつながる [2]。

本稿では、これらの問題を対処するために、多層化し複雑化する回路を最適な配置にするための回路素子配置手法を提案する。最適な配置とは、回路の配線長の合計が最も短くなる配置である。本提案手法を用いることで、配線長が長くなることによって発生する問題を解決することができ、また、最適な配置によって配線長が短くなるため製作コストの削減が期待できる。

2 一層半導体の配置手法

一層の半導体に素子を配置する既存の手法として pair-wise 法、Mincut 法等がある。pair-wise 法は、回路の全ての素子を重複することなく配置領域に配置し、2つの素子を入れ替える作業を繰り返すことで配線長が最短となる配置を目指す手法である。Mincut 法は、回路の素子群を接続数が最小となるような2つのグループに分ける。それを二次元に2つに分けて配置することを繰り返すことによって素子レベルでの配置位置を決定する。接続数とは素子に接続されている配線数を表している。配線は素子と素子の間にのみあるものとする。これらの手法は処理時間は短くてすむが初期状態からの改善解のみを検索するためよりよい配置を得ることは難しい [2]。

3 提案手法

3.1 配置ルール

本稿で提案する手法は、一つの回路素子を基点として用いる手法である。基点を選択する際には回路を一度展開し、その上で以下の基準に沿って選択する。その際に図 1 のように素子に通し番号を割り振っておく。

A New Design Method For Multilayer Semiconductor

^{††}Kensaku ISHII [†]Yoshihito SAITO [†]Tokuro MATSUO
[‡]Akihiko NAGAI

^{††}Department of Infomatics, Faculty of Engineering, Yamagata University

[†]Graduate School of Science and Engineering, Yamagata University

[‡]MIDORIYA ELECTRIC CO

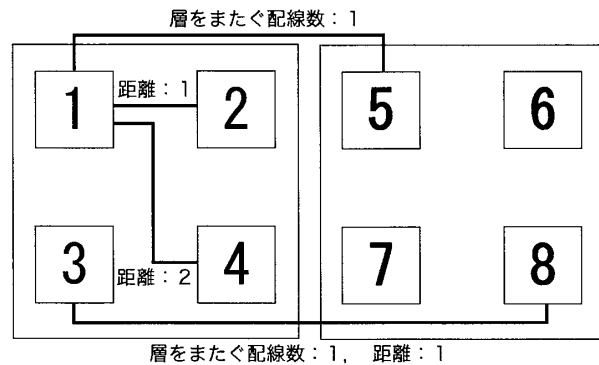


図 1: 配線の数え方

また、配線長の数え方を示している。配線長は隣接し合っている素子をつないだ長さを 1 とし、その隣は 2 とする。以下 3, 4, ... と長くなる。層をまたぐ配線数は一つの層とすぐ上の層、もしくはすぐ下の層をつなぐものを 1 として数える。層が違う素子の距離は同じ層にあると仮定したときの素子間の距離を用い、層をまたぐ配線数を数える。基点は以下のルールを用いて選択する。

- (1) 回路の中で最も接続数が多い素子を選択する。
- (2) (1) で選択できない場合には、展開図で見た隣接する素子の接続数の合計が多い素子を選択する。
- (3) (2) を用いても選択できない場合には更にその隣接する (1) をのぞいた素子の接続数の合計が多い素子を用いる。同じ場合には、更に隣接する素子を調査し、差が出るまで素子の接続数の合計数を参照する。
- (4) (3) を用いても選択できない場合には、番号が小さい素子を用いる。

決定した基点を一層目の中心に配置する。中心に配置できない場合には、中心部の付近に配置する。これ意外の素子は中心に配置した基点を元に配置する。基点以外の素子を配置するルールは以下の通りである。

- (1) 基点から末端までの配線長の短い素子から順に基点に近い位置に配置する。
- (2) (1) で同じ場合には接続数が多い素子から配置する。
- (3) (2) で同じ場合には番号の小さい素子から配置する。

半導体配置の評価方法は配線長の合計と層をまたぐ配線数で評価する。配線長の合計が短い配置がより良い配置であり、層をまたぐ配線数は少ない配置がよい配置とする。

3.2 具体例

以下では具体例を用いて手法を説明する。簡単なモデルとして 4 × 4 の回路素子を持つ正方形の基盤が二層ある半導体回路を扱う。

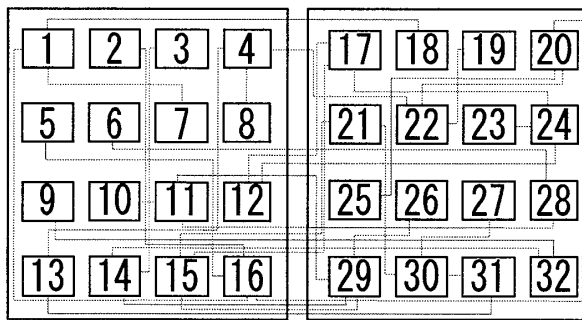


図 2: 4 × 4 の基盤が二層ある半導体回路の初期状態

素子には一層目の左上端から番号を 1 番から付けていき対角にある素子を 16 番とする。二層目も同様に 1 番の上になる位置に 17 番とつけ、順に 32 番まで番号を付ける。この半導体に図 2 のように配線を接続したものを初期状態とする。図 2 の配線長は 94 であり、層をまたぐ配線数は 15 である。図 3 は図 2 を展開した図である。以下、図 3 を参考にして、提案手法によって配置する。

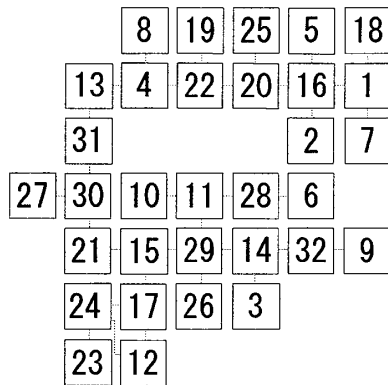


図 3: 具体例の展開図

図 2 の中で接続数が最も多い素子は、接続数が 4 となる 16 番と 29 番である。16 番に隣接する素子の接続数は、1 番が 3、2 番が 1、5 番が 1、20 番が 3 となり合計が 8 となる。一方、29 番に隣接する素子は、11 番、14 番、15 番、26 番であり接続数はそれぞれ 3、3、3、1 となり合計が 10 となるため、基点には 29 番を用いる。配置する場所は中心部の 4 カ所のうちの左上とする。

次に基点から見て最も配線長の短い 26 番を配置する。以降、順に、11 番、14 番、15 番の順に配置していく。このようにして全ての素子を順に配置した結果が図 4 である。

4 考察

提案手法を用いることで初期状態からどの程度配線長を短くする事ができ、また、最適な配置に近づいたかを考察する。まず、初期状態の配線長を合計すると 94 となり、層をまたぐ配線数は 15 となる。一層でかつ基盤の大きさを気にしないで配置した場合、つまり、回路を展開した場合、回路長が最小となるのは図 3 の状態で 33 であると考えられる。

図 4 の提案手法によって再配置した回路の配線長の合計は 33 となり層をまたぐ配線数は 2 となる。初期

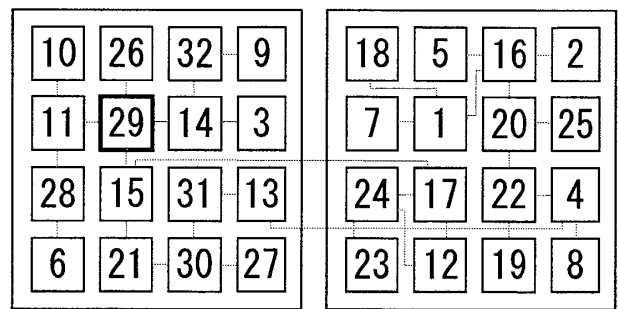


図 4: 提案手法による最適な配置

状態(図 2)に比べ、約 65 % の配線長の短縮ができ、層をまたぐ配線数は初期状態の 15 に比べ大幅に減らす事ができた。また、図 3 と比べれば、基盤に配置したことによって、層をまたぐ配線数は 2 本になった。しかし、配線長は図 2 と同じ長さにする事ができた。ま

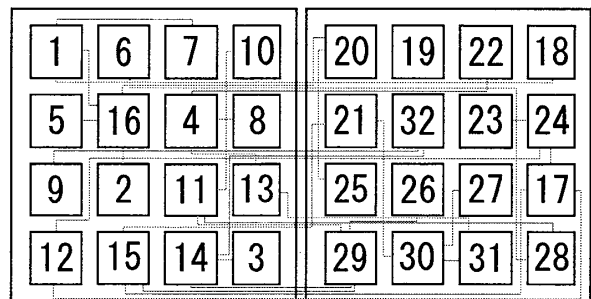


図 5: pair-wise 法によって配置した回路

た、本提案手法と pair-wise 法を比較するために具体例を pair-wise 法で再配置したものを図 5 に示す。各層 40 回ずつ入れ替えた後、各層にまたがる配線を通す。これを初期状態と比較する。図 4 は配線長が 68、層をまたぐ配線数は 15 となる。初期状態に比べ約 28% 短縮することができた。しかし、層をまたぐ配線数は一層目と二層目を別々で配置し直すため減らず、15 のままである。

pair-wise 法は、提案手法に比べ、2 倍以上の配線長となる。層をまたぐ配線数は初期状態から改善されていない前者に比べ、後者は格段に減らすことができている。pair-wise 法は時間をかけるほどより配線長を短くできる。しかし、今回行ったような層ごとに pair-wise 法を行った場合に比べると、提案手法は、配線長が短くなる。

5 おわりに

本稿では、多層化した半導体が最適な配置となる回路素子配置手法を簡単なモデルを用いて提案した。提案手法によって配線長を短くするとともに、回路を簡略化できた。これによって、不良品発生を抑えることもできる。今後の研究では、更なる条件付けによって精度を高めていくとともに、回路素子の大きさが不揃いな場合や、層が幾層もある状態等の更に複雑なシミュレーションになった場合に対処できるようにするとともに、今回は考慮されていないが信号ノイズに対処する方法も模索していきたい。

参考文献

- [1] 社団法人電気学会：電気学会誌 vol.128 No.3 (2008).
- [2] 竹内、豊永：「ネットリスト接続の削除と再構成による高速配置法」高知大学理学部紀要 vol.29(2008).