

# GALS 型システムにおける効率的なインタフェースの一構成法

唐澤 陽平<sup>†</sup> 桑子 雅史<sup>††</sup> 新家 稔央<sup>††</sup> 横山 孝典<sup>††</sup>

<sup>†</sup> 武蔵工業大学大学院 工学研究科 電気工学専攻 <sup>††</sup> 武蔵工業大学 知識工学部 情報科学科

## 1 はじめに

近年、同期式論理設計と非同期式論理設計の両設計を用いた GALS (Globally Asynchronous Locally Synchronous) 型システム [1] が注目されている。

GALS 型システムでは、同期式論理回路を複数のモジュールに分割し、モジュール間のデータ通信を制御するインタフェースを非同期式論理設計を用いて設計する。これにより、同期式回路の設計資産を用いて低消費電力な回路を設計することができる。GALS 型システムの一方式として、各モジュールのクロック生成方法に Clock Gating を用いたものがある [2]。この種の GALS 型システムでは、クロックの生成に水晶発振器などを用いるためクロックが安定する。

従来の Clock Gating を用いた GALS 型システムでは、通信元の出力用インタフェースと通信先の入力用インタフェースを別々に設計する。そのため、本来共有できるはずの機能や回路が冗長となり、回路量や速度のオーバーヘッドが発生する可能性がある。そこで本研究では、Clock Gating を用いた GALS 型システムにおいて、回路量・速度のオーバーヘッドを低減したインタフェースの一構成法を提案する。

## 2 Clock Gating を用いた GALS 型システム [2]

Clock Gating を用いた GALS 型システムの回路図を図 1 に示す。

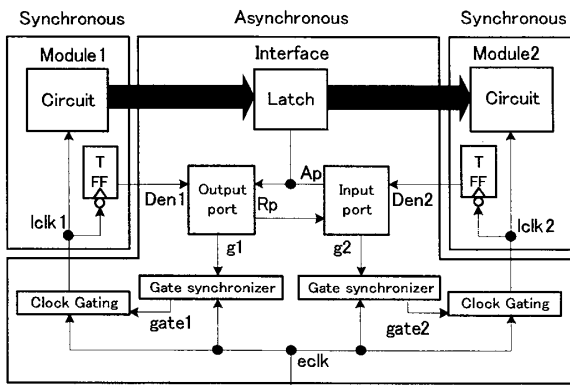


図 1: Clock Gating を用いた GALS 型システム

この回路は、モジュール 1 から 2 へデータを送信するものである。出力ポート (Output port) と入力ポート (Input port) はデータ通信を制御する。ラッチ (Latch) はモジュール 2 の処理が完了するまでデータ

を保持する。Clock Gating は、外部から供給されるクロック eclk から各モジュールへ供給するクロック lclk を生成する。Gate synchronizer がデータ通信とクロック供給のタイミングを調整する。

図 2, 図 3 [2] に図 1 の各ポートの STG (Signal Transition Graph) を示す。STG とは、制御信号の遷移の因果関係を有向グラフで表現したものである。信号  $x$  の  $0 \rightarrow 1$  遷移は  $x^+$  と表され、 $1 \rightarrow 0$  遷移は  $x^-$  と表される。回路が現在どの状態にあるのかは、有向枝上にトークンを置くことで表す。

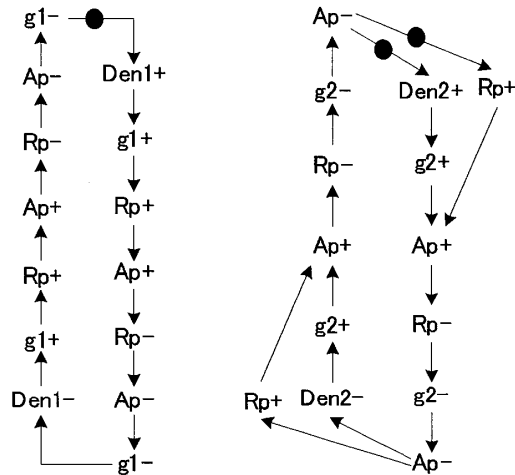


図 2: Output port STG 図 3: Input port STG

回路の動作を説明する。データ通信は  $eclk^-$  の遷移で開始する。 $lclk^-$  が起きるとモジュール 1 と 2 の T フリップフロップ (T-FF) により、 $Den1^+$  と  $Den2^+$  が発生する。その後、出力ポートは  $g1^+$  と  $Rp^+$  の遷移を起こし、入力ポートは  $g2^+$  の遷移を起こす。 $g1^+$  と  $g2^+$  の遷移により、Gate synchronizer と Clock Gating が、モジュール 1 と 2 へのクロック供給を止める。入力ポートは  $g2^+$  と出力ポートにより起こる  $Rp^+$  の遷移により、 $Ap^+$  の遷移を起こす。そして、 $Ap^+$  の遷移によりラッチが透過状態になるため、データがモジュール 1 から 2 へ転送される。 $Ap^+$  の遷移後、出力ポートが  $Rp^-$  の遷移を起こす。その後、入力ポートが  $g2^-$  の遷移を起こしモジュール 2 のクロック供給が再開される。そして、 $g2^-$  の遷移により  $Ap^-$  が起こるため、出力ポートが  $g1^-$  の遷移を起こしモジュール 1 のクロック供給が再開される。

従来研究では、前述のような入力ポート・出力ポートをそれぞれ定義し、それぞれの入出力仕様を定めて個々に設計を行っている。よって、本来ポート同士で共有できるはずの回路が冗長となり、回路量と速度のオーバーヘッドが生じる可能性がある。

A design method of efficient interface in GALS systems

<sup>†</sup> Yohei KARASAWA

<sup>††</sup> Masashi KUWAKO, Toshihiro NIINOMI and Takanori YOKOYAMA

<sup>†</sup> Graduate School of Research Division in Engineering, Musashi Institute of Technology

<sup>††</sup> Faculty of knowledge Engineering, Musashi Institute of Technology

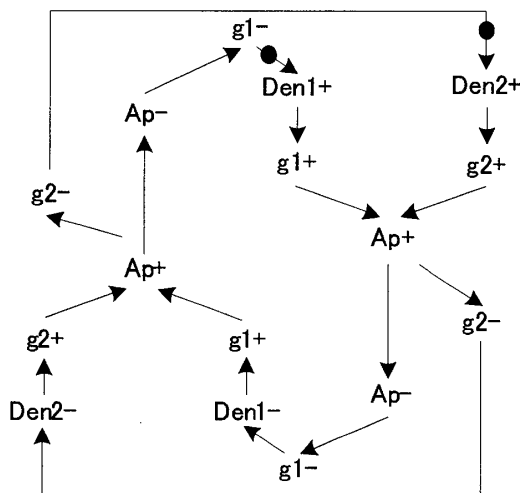


図 4: 提案するポート回路の STG

### 3 提案手法

本研究では、入力ポートと出力ポートを 1 つの回路ブロックと考えることで、回路量と速度のオーバーヘッドの低減を図る。

まず、従来の GALS 型システムにおける入力ポート・出力ポートの入出力信号から必然的に不可欠な信号を選択する。必然的に不可欠な信号とは、その信号が他の回路の動作に関与する信号であり、Den1, g1, Den2, g2 と Ap である。Den1, 2 は通信の開始を表すため必要である。g1, 2 は Gate synchronizer に関与するため必要である。Ap はラッチに関与するため必要である。しかし、Rp はポート間のハンドシェイクのための信号であるため、入出力ポートを 1 つの回路ブロックとして実現する場合には必ずしも必要ではない。

次に選択した信号から、モジュール 1 と 2 の動作が並列性を持つ STG を定義する。本研究ではモジュール 2 がデータを受信後、ハンドシェイクを行わずにクロックの供給を再開する STG を提案する。提案する STG は、ラッチを透過状態にする Ap<sup>+</sup> の発生後、モジュール 2 へクロックの供給を再開する g2<sup>-</sup> の遷移を引き起こすようにする。これにより、データ受信直後にモジュール 2 の演算を開始することができる。また、Ap<sup>+</sup> の遷移後にラッチを閉じる Ap<sup>-</sup> を引き起こす。

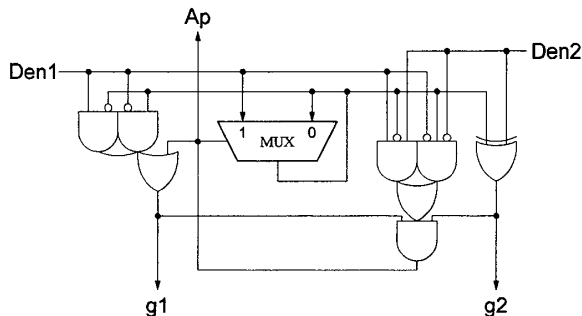


図 5: 提案するポート回路

す。そして Ap<sup>-</sup> の遷移後、g1<sup>-</sup> の遷移を引き起こし、モジュール 1 へのクロック供給を再開する。これにより、モジュール 1 が次のデータを出力してもモジュール 2 への入力データは処理が終了するまで保持される。このように Ap<sup>+</sup> の発生後、g1<sup>-</sup> と g2<sup>-</sup> の遷移を並行して引き起こすことで、モジュール 1 と 2 の演算が並行して開始される。よって、速度のオーバーヘッドを低減することができる。以上の考察に基づいて作成した STG を図 4 に示す。

図 4 の STG より、非同期式制御回路自動生成ツール Petrifly[3] を用いて論理合成を行いポート回路を生成した。生成された回路を図 5 に示す。

図 5 のポート回路を図 1 の入力ポートおよび出力ポートと置き換えることで、回路量と速度のオーバーヘッドを低減した GALS 型システムが実現できると考えられる。

### 4 評価

提案したポート回路の回路量について評価する。提案したポート回路の STG と従来の入力ポートおよび出力ポートの STG から、標準のライブラリを用いて Petrifly によって論理合成を行った。回路量の評価尺度としては、Petrifly の標準のライブラリ中で定義されている回路面積を用いた。その結果を表 1 に示す。

表 1: ポートの回路量

ポートの種類	回路量
従来の入出力ポート	264
提案したポート	200

従来の入出力ポートの回路量は、入力ポートと出力ポートの合計値である。提案したポートは従来の入力ポートに比べ、約 24%回路量を削減できることがわかる。

### 5 おわりに

Clock Gating を用いた GALS 型システムにおけるインタフェースの一構成法を提案した。提案したポート回路は、従来の入出力ポートの入出力信号の中から不可欠な信号を選び出して作成した STG に基づいて回路を実現したことにより、回路量と速度のオーバーヘッドが低減されたものとなっている。

### 参考文献

- [1] P. Teehan, M. Greenstreet, G. Lemieux, "A Survey and Taxonomy of GALS Design Styles", IEEE Design and Test of Computers, Vol.24, Issue 5, pp. 418-428 (2007)
- [2] E. Amini, M. Najibi, H. Pedram, "Globally Asynchronous Locally Synchronous Wrapper Circuit based on Clock Gating", in Proc. of IEEE Comp. Society Annual Symposium on Emerging VLSI Technologies and Architectures (ISVLSI), pp.199-204 (2006)
- [3] J. Cortadella, M. Kishinevsky, A. Kondratyev, L. Lavagno, A. Yakovlev, "Petrifly : A Tool for Manipulating Concurrent Specification and Synthesis of Asynchronous Controllers", IEICE TRANS. INF.& SYST, VOL.E80-D, No.3 (1997)