

FPGA 実装に適した離散データの多項式近似法

若本雄大[†] 永山忍[‡] 稲木雅人[‡] 若林真一[†][†] 広島市立大学情報科学部情報工学科[‡] 広島市立大学大学院情報科学研究科

1 はじめに

離散データの近似関数は、コンピュータグラフィックスなどの様々な分野で広く利用されている。数値計算のために近似関数を実現する場合、ソフトウェアによる実装が一般的であるが、近似関数の高速な計算が必要な場合、FPGA 実装による計算の高速化が求められる。しかし、FPGA はメモリ容量に制限があるため、少ないメモリ量で実現可能な近似関数の生成が重要になる。そこで本稿では、与えられた許容誤差の範囲内で、最も少ないメモリ量の区分的近似多項式を生成する発見的手法を提案する。実験により、本提案手法は、わずかな許容誤差で実装に必要なメモリ量を大幅に削減できることを示す。

2 スプライン補間関数

提案手法はスプライン補間関数に基づいているため、本節では、スプライン補間関数について述べる。スプライン補間関数は節点 (knot) と呼ばれる点と点の間では一つの多項式 $a_0 + a_1x + a_2x^2 + \dots + a_{k-1}x^{k-1}$ で与えられ、多項式と多項式との結び目である節点で、($k \geq 3$ において) 関数は連続であるという性質を持っている [1]。一般に、3次多項式による補間が最も滑らかであると知られているため、本稿では3次スプライン関数を対象にする。各節点間 $[s_i, e_i]$ において、それぞれ異なる3次関数 $g_i(x)$ で補間するため、ある x における y は x を含む区間 $[s_i, e_i]$ の3次関数 $y = g_i(x) = c_{3i}x^3 + c_{2i}x^2 + c_{1i}x + c_{0i}$ で計算する。乗算器のサイズを削減するために、 $g_i(x) = c_{3i}(x - s_i)^3 + c'_{2i}(x - s_i)^2 + c'_{1i}(x - s_i) + c'_{0i}$ と変形する (ただし、 $c'_{2i} = c_{2i} + 3c_{3i}s_i$, $c'_{1i} = c_{1i} + 2c_{2i}s_i + 3c_{3i}s_i^2$, $c'_{0i} = c_{0i} + c_{1i}s_i + 2c_{2i}s_i^2 + 3c_{3i}s_i^3$)。更に、乗算器の数を削減するために Horner 法により、 $g_i(x) = \{ \{ c_{3i}(x - s_i) + c'_{2i} \} (x - s_i) + c'_{1i} \} (x - s_i) + c'_{0i}$

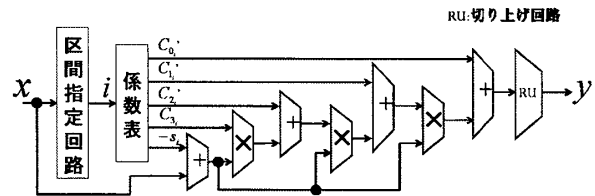


図 1: 数値計算回路の構成

と変形し、この式を回路実装に用いる。

3 数値計算回路の構成と合成

本稿では [2] で提案された数値計算回路を、3次多項式を実現するために、図 1 のように拡張する。スプライン補間関数は、 x を含む区間番号 i を計算する区間指定回路、 $-s_i, c_{3i}, c'_{2i}, c'_{1i}, c'_{0i}$ の係数表、3つの乗算器、4つの加算器で実現される。区間指定回路は区間指定関数 $\text{segfunc}(x) : B^n \rightarrow \{0, 1, \dots, t-1\}$ を実現する回路である。ここで $B = \{0, 1\}$ であり、 n は x のビット数、 t は区間数を表す。提案回路では、関数 $\text{segfunc}(x)$ を MTBDD (Multi-Terminal Binary Decision Diagram) で表現し、それを関数分解することにより得られる LUT カスケードで、区間指定回路を実現する [2]。

本提案回路は与えられた離散データから自動合成できる。まず、与えられた離散データを、スプライン補間関数により補間し、次に、数値計算回路の計算誤差を解析する。そして、計算に必要な演算器の精度 (ビット数) を算出し、最後に、誤差解析で算出された精度をもとに HDL コードを生成する。生成された HDL コードに一般的な論理合成および配置・配線ツールを用いることで、与えられた離散データ (設計仕様) から FPGA 実装までの全設計工程を自動化することができる。

図 1 の数値計算回路は、スプライン補間関数だけでなく、任意の区分的 3 次多項式を実現できる。そのため、本稿では、図 1 の回路を用いて近似多項式を実現し、多項式の実現 (区間指定回路と係数表) に必要なメモリ量について議論する。

Polynomial approximations of discrete data for FPGA implementation

[†] Faculty of Information Sciences, Hiroshima City University

[‡] Graduate School of Information Sciences, Hiroshima City University

4 近似アルゴリズムの提案

図1の回路に必要なメモリ量は、区分的多項式の区間数に強く依存することが知られている[2]。そのため、区分的多項式近似に必要な区間数を削減することで、回路に必要なメモリ量を削減できる。3次スプライン補間関数は、与えられた n 個の離散データに対し、区間数が $n-3$ の区分的多項式により、与えられた全てのデータ点を正確に補間する。しかし、実際の応用分野では、ある程度の誤差が許される場合や、与えられたデータ点の信頼性が低い場合など、全てのデータ点を正確に補間する必要がない場合が多い。そこで本節では与えられたデータ点を全て通る補間ではなく、許容誤差内を通る近似関数を用いることで区間数を削減することを目的とした以下の2つのアルゴリズムを提案する。

4.1 均等削除法

まず、与えられた離散データを効率よく近似するために、データ点を均等に間引いていく手法を提案する。

1. $m=1$ とする。
2. n 個のデータ点を m 個おきに削除して、 $n' = \frac{m}{m+1}n$ 個の点をスプライン関数により補間する。
3. $n' < 4$ または $n' = m$ ならば終了。
4. 削除された点が与えられた許容誤差を超えていたら $m = m + 1$ にして2.にいく。
5. 許容誤差以内ならば、 $n = n'$ とし1.にいく。

4.2 最大誤差点挿入法

次に、少数の離散データに対して点から補間を始め、誤差の大きな順にデータ点を加えていく手法を提案する。

1. x 座標が最小のデータ点と最大のデータ点、それ以外で y 座標が最大、最小のデータ点の合計4点を選択する。
2. 選択された点を通るスプライン補間関数を求め、選択されていないデータ点とスプライン関数との誤差が許容誤差以内ならば終了。
3. 許容誤差より大きければ最大誤差を生じるデータ点を補間する点に加え再び2.の処理を行う。

5 実験結果と考察

提案した数値計算回路の性能評価を以下の様に行った。ハードウェア記述言語は VerilogHDL, FPGA 設計ツールは Altera Quartus II ver.7.1, FPGA は Altera Stratix EP1S40F1020C7 を用いた。本手法で、相対許容誤差 0% から 10% の数値計算回路を生成した。離散データ(データ数 631)には、駒ヶ岳の標高データ[4]を用いた。実験の結果を表1, 2に示す。表1, 2の結果より均等削除法は1%の許容誤差でメモリ量を約90%削減でき、最大誤差挿入法は約83%削減できた。また、

表 1: 均等削除法

許容誤差 [%]	時間 [s]	区間数	メモリ量 [bits]	周波数 [MHz]
0	1	628	166,912	100.54
0.2	16402	500	97,792	100.50
0.4	4463	265	95,744	97.00
0.6	63	129	47,360	91.95
0.8	23	112	28,800	92.44
1.0	11	81	29,824	97.84
2.0	4	44	17,216	89.04
4.0	2	28	10,208	97.96
6.0	2	19	10,336	85.14
8.0	2	5	5,120	97.36
10.0	1	4	4,864	97.75

表 2: 最大誤差点挿入法

許容誤差 [%]	時間 [s]	区間数	メモリ量 [bits]	周波数 [MHz]
0.0	1	628	166,912	100.54
0.2	28	287	98,816	97.45
0.4	13	196	56,576	98.15
0.6	8	148	51,968	97.91
0.8	8	120	28,288	97.48
1.0	5	102	28,800	92.44
2.0	3	55	16,960	97.39
4.0	2	23	10,336	85.14
6.0	3	18	10,624	97.50
8.0	3	18	10,624	97.50
10.0	3	16	8,576	94.83

削除法は挿入法よりもメモリ量の削減率は良いが、許容誤差が小さい時、計算時間が長いことが分かる。さらに区間数の減少に伴いメモリ量も大幅に減少しているので、区間数の削減を目的とした提案手法は、メモリ量の削減に有効であることが分かる。

6 まとめ

本稿で、離散データの近似関数を生成する手法を提案した。この手法により、わずかな許容誤差で区間数を大幅に削減でき、コンパクトな数値計算回路の自動合成を可能にした。今後の課題としては、区間数だけでなくビット幅の増加を抑える、さらに効率のよいメモリ量削減アルゴリズムの提案などが挙げられる。

本研究の一部は、平成20年度科学研究費補助金(若手研究(B))課題番号20700051による。

参考文献

- [1] 桜井明, 吉村和美, 高山文雄, “パソコンによるスプライン関数”, 東京電機大学出版局, 1988.
- [2] 永山忍, 笹尾勤, Jon T. Butler, “プログラマブル数値計算回路のアーキテクチャとその合成法”, 信学技報, Vol.105, No.288, pp.1-6, RECONF2005-41, 2005.
- [3] G.W.Morris, G.A.Constantinides, P.Y.K.Cheung, “Using DSP blocks for ROM replacement: A novel synthesis flow,” FPL2005, pp.77-82, 2005.
- [4] CHsystem の地形データ, カシミール 3D, <http://www.kashmir3d.com>