

省電力 MIPS プロセッサコア評価のための 計算機システムの FPGA による試作

木村 一樹^{†1} 砂田 徹也^{†2} 長井 智英^{†3} 関 直臣^{†4} 近藤 正章^{†5}

天野 英晴^{†6} 宇佐美 公良^{†7} 中村 宏^{†8} 並木 美太郎^{†9}

東京農工大学工学部情報コミュニケーション工学科^{†1}/東京農工大学大学院工学府情報工学専攻^{†2}/
東京大学情報理工学系研究科システム情報学専攻^{†3}/慶應義塾大学大学院理工学研究科^{†4}/
東京大学先端科学技術研究センター^{†5}/慶應義塾大学大学院理工学研究科^{†6}/芝浦工業大学工学部情報工学科^{†7}/
東京大学先端科学技術研究センター^{†8}/東京農工大学大学院共生科学技術研究院^{†9}

1 はじめに

近年、システム LSI は高性能化の一方で消費電力の増大が顕著な問題となっており、これに対しソフトウェア、ハードウェアの各分野で省電力化の取り組みが行われている [1][2].

本プロジェクト [3] では、パワーゲーティングを細粒度に施した MIPS R3000 ベースの CPU, Geysers-0 を設計した。Geysers-0 はコア全体のリーク電力を半減させるに至った [4] が、評価のためのシミュレーション時間の長さ、各種ペリフェラルの実装や OS の開発等は次期課題である。

そこで本研究では、実時間での性能評価と Geysers-0 用の OS 開発環境の実現を目的に、FPGA 上で Geysers-0 に各種メモリコントローラ及び I/O を接続した上で、ブートシステムとマルチタスク OS を実装した計算機システムの試作を行う。加えて、パワーゲーティングの動作をトレースするためのパフォーマンスカウンタを実装し、省電力効果の推算を含む性能の評価を行う。

2 Geysers-0 の概要

Geysers-0 は、ALU, SHIFT, MULT, DIV の各演算ユニットとシステム制御コプロセッサ CP0 に対して命令サイクルごとの細かい粒度で動的にパワーゲーティングを施すことができるプロセッサコアである。Geysers-0 の実装は、本研究プロジェクトの中でアーキテクチャ及び回路設計のグループによって行われた。

本研究プロジェクトにおいて、東京農工大学並木研究室はシステムソフトウェアの開発を担当している。そこで昨年度、Geysers-0 上で動作するマルチタスク OS である Geysers-0 OS が試作された [5]。Geysers-0 OS は並木研究室で開発された組込み向け OS 「開聞 (かいもん)」をベースとし、タスクスケジューラ、システ

ムコール、例外処理、割込み管理などの機能を備える。Geysers-0 OS 上でいくつかのベンチマークプログラムをマルチタスクで動作させた場合でも、動的パワーゲーティングによりコア全体で平均約 37% のリーク電力削減効果が確認された。

3 本研究の目標

本研究は、Geysers-0 コアを用い実時間で実行可能な OS 開発環境を実現することを目標とする。このため FPGA 上で Geysers-0 コアに各種メモリコントローラ及び周辺モジュールを接続した上で、ブートシステムを構築し Geysers-0 OS を移植して実際に計算機システムを試作する。さらに、パワーゲーティングなどの性能を評価するためのパフォーマンスカウンタを実装し、OS を含めたシステム全体の性能評価を行う。

4 設計

4.1 全体構成

本研究では Xilinx 社の FPGA, Virtex5 を搭載したボード, ML501 を用い、計算機システムを実装する。またメモリ及び I/O にはボード上のペリフェラルデバイスを使用し、これらを Geysers-0 に接続するためのバスとコントローラを FPGA 上で実装する。さらに、パワーゲーティングなどの性能を評価するためのパフォーマンスカウンタを FPGA 上で実装する。

全体の構成を図 1 に示す。

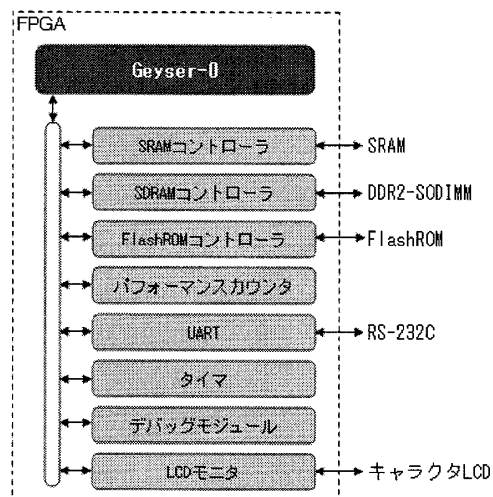


図 1: 本計算機システムの全体構成

4.2 パフォーマンスカウンタ

本計算機システムにおけるパフォーマンスカウンタは、動的パワーゲーティングによる各ユニットのスリープサイクル数及びスリープ/ウェイクアップ回数を観測

Prototyping of a Computer System to Evaluate Power-saving MIPS Processor Core Using FPGA

- ^{†1} Kazuki Kimura
Department of Computer, Information and Communication Sciences, Tokyo University of Agriculture and Technology
- ^{†2} Tetsuya Sunata
Graduate school of Engineering, Tokyo University of Agriculture and Technology
- ^{†3} Tomohide Nagai
Graduate School of Information Science and Technology, The University of Tokyo
- ^{†4} Naomi Seki
Graduate School of Science and Technology, Keio University
- ^{†5} Masaaki Kondo
Research Center for Advanced Science and Technology, The University of Tokyo
- ^{†6} Hideharu Amano
Graduate School of Science and Technology, Keio University
- ^{†7} Kimiyoshi Usami
Department of Information Science and Engineering, Shibaura Institute of Technology
- ^{†8} Hiroshi Nakamura
Research Center for Advanced Science and Technology, The University of Tokyo
- ^{†9} Mitaro Namiki
Graduate school of Engineering, Tokyo University of Agriculture and Technology

し省電力効果の推算を行うことを主な目的とし、同時にメモリアクセス状況やキャッシュミスヒット回数などの性能評価の機能も盛り込む。これらの性能を時間軸に対して解析可能とすることで、OS 開発における定量的な指針の提供を狙う。したがって、パフォーマンスカウンタはプログラム中の任意の時点で測定の開始と停止、測定結果の出力ができるものとし、そのためのプログラミングインタフェースも含めて設計を行う。

(1) プログラミングインタフェース プログラミングインタフェースはカウンタのハードウェアを抽象化することでソフトウェア開発における利便性を確保する。コード中に関数を挿入することで、任意のカウンタを観測対象のプログラムに対し動作させ測定する、という利用法を想定し、以下のような機能をもつ関数を提供する。

- モニタ対象のカウンタの値を初期化
- 指定したカウンタをモニタ対象に追加
- 指定したカウンタをモニタ対象から除外
- カウンタの記録間隔を指定
- モニタ対象のカウンタの測定を開始
- モニタ対象のカウンタの測定を停止
- モニタ対象のカウンタの名称を出力
- モニタ対象のカウンタが保持している値を出力

(2) ハードウェアカウンタ 省電力効果を推算するため、パワーゲーティング対象のユニットそれぞれに対し次のカウンタを実装する。

- スリープサイクル数
- スリープ回数
- ウェイクアップ回数

また OS 開発での性能評価に用いるため、次のようなカウンタを実装する。

- 経過サイクル数
- メモリアクセス状況
- キャッシュミスヒット回数
- TLB ミスヒット回数

4.3 メモリコントローラ

ML501 のオンボードデバイスである DDR2-SODIMM(256MB)、SRAM(1MB)、FlashROM(32MB) をそれぞれ RAM、ROM として用いるため、FPGA 上でメモリコントローラを作成し、Geysers-0 とバス接続する。

4.4 周辺モジュール

本計算機システムでは、次の周辺モジュールを実装する。

UART シリアル接続されたコンソールへの CUI の提供など、計算機の主な入出力として用いる。

タイマ OS のタスクスケジューリングのため、一定時間ごとに割込み信号を発生する。

デバッグモジュール あらかじめ指定したプログラムカウンタでのブレークや、シングルステップ実行などの機能を提供する。

LCD モニタ オンボードのキャラクタ LCD にバスやレジスタの値を表示し、デバッグに用いる。

4.5 ブートローダ

本計算機システムでは FlashROM 内に設定したリセットベクタにブートローダを配置する。ブートローダは、ハードウェアの初期化、プログラムの展開などを行う。展開・起動するプログラムの選択のため、簡単なユーザインタフェースを提供する。

5 実装と評価

SRAM をメインメモリ、FlashROM をブートプログラム領域として接続し、UART、デバッグモジュール、LCD モニタとパフォーマンスカウンタの一部を実装した上で、実際にプログラムを実行してシミュレーション環境との速度の比較を行った。Geysers-0 の動作クロック速度は、設計上の制約のため 16.5MHz とした。また、ブートプログラムは FlashROM に配置し、評価プログラム本体は簡易的に UART から SREC 形式で転送し SRAM に展開、実行する方法をとった。

実行速度の評価には、1000 × 1000 正方行列の乗算プログラムを用いた。またシミュレーション環境には Cadence 社の NC-verilog を使用し、RTL シミュレーションを行った。

表 1: プログラム実行速度の比較

	RTL sim.	本計算機
サイクル数	3.20×10^7	1.60×10^8
実行時間 [s]	3.77×10^3	9.71

シミュレーション環境では HDL で記述したレジスタ群をメモリとしておりアクセスコストが小さいが、試作した計算機システムはメモリアクセスに数サイクルかかるためサイクル数では不利である。しかし実時間で実行できる利点が大きく、シミュレーション環境の約 388 倍の実行速度を得た。

6 おわりに

本研究では、省電力 MIPS プロセッサ Geysers-0 を用いた計算機システムの FPGA による試作を行った。

試作した計算機システムは、シミュレーション環境に比べ実行速度の大幅な向上が得られ、OS 開発における実用性を確認した。

さらに大規模なプログラムの実行のため SDRAM コントローラを実装し、OS 開発と協調してパフォーマンスカウンタの実装と性能評価を行うことが今後の課題である。

参考文献

- [1] James Donald, Margaret Martonosi, "Power Efficiency for Variation-Tolerant Multicore Processors", International Symposium on Low Power Electronics and Design (Proc. ISLPED'06) SESSION10, No.3, pp.304-309, (Oct 2006).
- [2] Pratap Ramamurthy et al., "Performance-directed Energy Management using BOS", ACM SIGOPS Operating Systems Review, Vol.41, pp.66-77, (2007).
- [3] 中村宏, 天野英晴, 宇佐美公良, 並木美太郎, 今井雅, 近藤正章, 「革新的電源制御による超低消費電力高性能システム LSI の構想」, 情報処理学会研究報告 ARC-173, pp.79-84 (Jun 2007).
- [4] 関直臣 他「MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価」, 情報処理学会研究報告 2008-ARC-176, pp.71-76, (Jan 2008).
- [5] 砂田徹也 他「省電力 MIPS プロセッサにおける OS の試作とシミュレーションによる電力評価」, 情報処理学会「システムソフトウェアとオペレーティング・システム」第 108 回研究報告, Vol.2008-OS-108, pp.163-170 (Apr 2008)