

データ生存期間の規則性を活かした高速高効率メモリ管理手法

上久保 雅規† 森 義和‡ 菱沼 智道§ 鳥居 淳†

Smart Memory Management Scheme
Assuming Regular Characteristic of Temporal Data Lifetime

Masaki Uekubo† Yoshikazu Mori‡ Tomomichi Hishinuma§ Sunao Torii†

概要

移動体通信端末における通信データの動的メモリ管理を高速かつ省メモリにて行う手法を提案する。提案手法では、固定長ブロック内のデータ領域を連続的に確保してメモリ使用量を抑え、ブロック単位での再利用により処理速度を維持する。既存の固定長アロケーション手法との比較では、データ領域を確保・解放速度を同程度で、総メモリ使用量を 3 割以上削減できることをシミュレーションで確認した。

1. はじめに

動的メモリ管理の一般的な手法としては、有線通信向けのリングバッファ手法[1]と計算機処理向けの可変長アロケーション手法[2]が広く用いられている。リングバッファ手法は先入れ先出しを前提に高速高効率な動的メモリ管理を実現している。ただし、部分的に領域解放順序が入れ替わる場合には対応できない。また、可変長アロケーション手法では、処理順序入れ替えへの対応は可能であるが、フラグメントに依存して確保・解放時間がばらつき、リアルタイム性の維持が困難になる。動的メモリ管理の応用を無線通信用途とした場合、部分的に領域解放や、フラグメント依存のアクセスが多数発生し、上記の 2 手法は適用できない。

そのため、無線通信用途の動的メモリ管理手法には、処理順序制約がない上に固定かつ短時間で処理できる固定長アロケーション[3]手法が用いられている。

しかしながら、移動体通信規格の広帯域化により、通信データを一時格納する動的メモリ容量が増大しつつあり、既存の固定長アロケーションをそのまま利用するとメモリ使用効率に由来する必要総メモリ量が増大する。この原因は、最大フレーム長に合わせて固定長サイズを決定せざるを得ない固定長アロケーション手法においては、小さなサイズのフレーム格納時には未

使用部分が多数発生するためである。

そこで本稿では、移動体通信処理において可変長通信データが概ね到着順に解放されるという特徴を利用して、固定長管理における処理時間のばらつきを抑えた高速処理と、データの連続格納によってメモリ使用効率を高めることによって総メモリ使用量削減の両立を実現する手法を提案する。

2. 提案方式

固定長アロケーション手法において高速化とメモリ量削減を両立するには、可変長アロケーション手法における連続格納を導入すれば、データ領域の解放を効率良く行うことができる。これを実現するため、固定長ブロック内でデータ領域を連続的に確保しつつ、ブロック単位で再利用を行う方法を提案する。

図 1 に示すように、提案手法は固定長アロケーション手法を適用することにより、メモリ領域全体を複数の固定長ブロックに分割する。メモリの格納効率を上げるために、固定長ブロック内では複数データ領域を連続に割り当てる。さらに、各固定長ブロックには参照カウンタを用意し、格納データの有無を判断する。また、データ領域確保を高速に行うための空き領域先頭ポインタを、メモリ領域全体で一つ持つ。

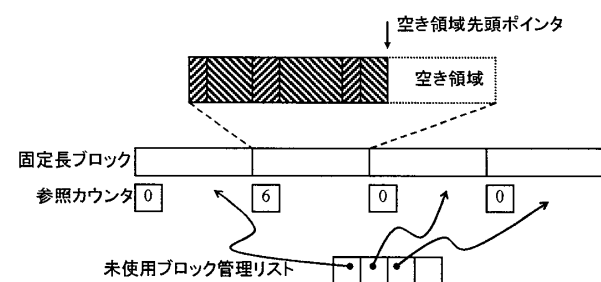


図 1 提案方式

データ領域を確保する場合、まず空き領域先頭ポインタ位置から確保する。空き領域が不足したときには、未使用ブロック管理リストから固定長ブロックを取り出して先頭にデータ領域を確保する。これらの動作と同時に、参照カウ

† 日本電気(株), NEC Corporation

‡ (株)NEC 情報システムズ, NEC Informatec Systems, Ltd.

§ コアーズ(株), Cores Corporation

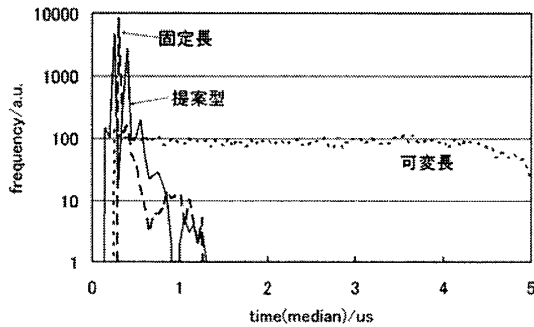


図2 解放処理時間分布

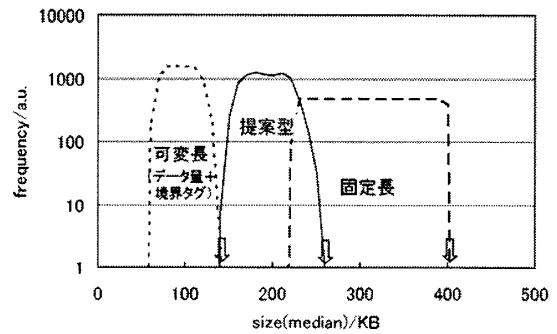


図3 メモリ使用量分布

ンタをインクリメントし、空き領域先頭ポインタを更新する。

データ領域解放の際には、参照カウンタをデクリメントする。参照カウンタが初期値（たとえば0）に戻った時点で、固定長ブロックを未使用ブロック管理リストへ戻す。

3. 評価モデル

提案手法の有効性評価のため、シミュレーションによりメモリ使用量と処理時間を測定した。

実行には、NEC エレクトロニクス社のシステムレベルシミュレータ ClassMate [4]を用いた。プロセッサモデルは 200MHz の ARM9 アーキテクチャをベースとし、I\$/D\$を各 4KB に設定した。プロセッサは AHB バスを介して SDRAM(100MHz)へ接続している。

メモリ管理の評価には、提案手法、従来の固定長アロケーション手法ともに固定長ブロック管理には同じコードを用い、固定長ブロックサイズは 2048byte とした。一方、可変長アロケーション手法は文献[5]のサンプルコードを移植した。メモリの確保と解放のテストコードは、初期状態で 200 個のデータ確保した上で、90 回のデータ領域確保と任意の 90 個のデータ領域解放を繰り返す。領域確保時のサイズは IP フレーム相当を処理する PDCP 副層[6]でのメモリ管理を想定し 64/128/256/512/640/768/1024/1500 byte から乱数選択した。

4. 測定結果と考察

図2に示すように、解放時間に関しては既存の固定長アロケーション方式による 0.3-1.25 μ s に対し、提案方式ではほぼ同等の 0.15-1.4 μ s であった。領域の確保は、別グラフから3方式とも 0.2-1.0 μ s に収まることが確認されている。

図3に示すメモリ使用量では、既存方式の固定長アロケーション手法 400KB に対して提案方式では 37.5%減の 250KB に抑えられている。

以上から、提案方式は従来の固定長アロケーションに比べてメモリ使用量を3割以上削減しながらもほぼ同等の時間内での処理を実現した。将来的に無線通信帯域が 100Mbps を超えると、PDCP 副層でのデータ領域の解放は1フレームあたり 1 μ s 以下にする必要がある。提案処理では、一部の解放処理が 1 μ s を超えるが、オンチップ RAM によってメモリアクセスレイテンシを削減し、期待値に収めることも可能である。

5. おわりに

無線通信の特性を利用した高速高効率メモリ管理手法を提案し性能を評価した。従来の固定長アロケーション手法に対し、連続データ格納によってメモリ使用量を3割以上削減しつつ、解放処理を簡略化することで処理時間を維持した。

謝辞

環境構築にあたり NEC エレクトロニクス社の中島氏、長瀬氏、柏木氏にお礼申し上げます。

参考文献

- [1] B. Monderer, et al., "The cylinder switch: an architecture for a manageable VLSI giga-cell switch," Proc. SUPERCOMM/ICC '90, vol. 2, pp.567-571, 1990.
- [2] D. E. Knuth, The Art of Computer Programming Volume1 Fundamental Algorithms Third Edition 日本語版, アスキー, 2004.
- [3] 前川守, オペレーティングシステム, 岩波書店, 1988.
- [4] 黒川秀文, "SOCの事前検証を実現するC++シミュレータ「ClassMate」," 信学会研究報告. VLD, Vol. 98, No. 287, pp.17-24, 1998.
- [5] B. W. Kernighan, D. M. Ritchie, プログラミング言語C. 第2版, 共立出版, 1989.
- [6] 3GPP, <http://www.3gpp.org/>.