

上流設計フェーズでの組み込みシステム 性能評価方式の高精度化に関する考察

大森 康宏[†] 石田 仁志[†] 関 誠司[†]

三菱電機株式会社 情報技術総合研究所[†]

1. はじめに

カーナビや FA コントローラなどの組み込み機器は、機能の増加に伴い、ハードウェアが大規模・複雑化している。そのため、複雑な競合処理によって、試験段階において機能や性能に対する要求仕様を達成できず、手戻りが起こるといった問題が発生しやすくなる。このような問題を解決するためには、上流設計段階で、システムのアーキテクチャ評価を行うことが重要である[1]。

本稿は、システムの詳しい情報が出揃っていない上流設計段階で、要求性能を達成可能な、組み込みシステムのアーキテクチャを判断可能とする性能評価手法を提案する。システム構想検討段階のアーキテクチャ選定のため、誤差 30%の精度を目指す。その手法の試行をして、パラメータ選定の妥当性などの評価を行う。

2. 性能評価シミュレーション

性能評価シミュレーションは、評価対象のシステム特性を解析し、その特性からシステムを抽象化したモデルを作成する。作成したモデルに各種パラメータを与え、システムの動作シミュレーションを行うことで、目標性能に対するボトルネックを見つけて出すことが可能となる。

シミュレーションを行うために、システムのモデルを作成する時の抽象度として、複数台接続したコンピュータ単位のシミュレーションを行うプラットフォームレベル、CPU やメモリなどの部品単位のシミュレーションを行うコンポーネントレベル、CPU が使用する命令単位のシミュレーションを行う命令セットレベルなどがある。

後者になるほど、モデルの抽象度は細かくなり、詳細な分析を行え、性能の見積もりの精度は高くなるが、時間、費用などのコストも増加し、トレードオフになる課題がある。

このトレードオフのため、性能評価シミュレーションは、抽象度の細かいモデルを作成し、詳細な分析を行えば良いということではなく、評価対象のシ

ステムによって、最適な抽象度で行うことが重要となる。

本稿では、上流設計段階でシステムの性能予測を行うことを目的としている。そのため、命令セットレベルのような、評価を行うために詳細な情報や時間が必要な手法ではなく、概略レベルで簡易に見積もることが可能な、「簡易コンポーネントレベル抽象度モデル」で性能評価シミュレーションを行う。

3. 提案手法

簡易なコンポーネントレベルの抽象度でも、トレードオフの課題を解決し、目標とする見積もり精度を達成する性能評価手法を実現したい。そのために本稿では、性能見積もりへの寄与が大きい項目のみを抽出して、性能評価モデルを作成し、モデルに与える各種のパラメータを決定した。

図 1 に示す 2 CPU コアのアーキテクチャから作成した性能評価モデルを図 2 に、パラメータを表 1 に示す。図 2 のモデルは、2CPU コアのシステムのモデルであるが、CPU コアの要素の数などを変えるだけで、簡単に別のシステムのモデルを拡張することが可能である。

表 1 の各種パラメータについては、図 2 のモデルの、CPU コア、メモリ、キャッシュメモリ、バスの各要素から、性能への影響が大きいと考えられるものを定義した。

図 2 のモデルの要素に、表 1 に示すパラメータを与える。動作内容に従って、1 トランザクション = 1 命令として、トランザクションの数だけシミュレーションを行う。各モデルはトランザクションの処理に従って時間を進める。そして最終トランザクションの時刻を、システムの実行時間の予測値とする。本稿では、命令セットレベルより簡単な、コンポーネントレベルの粒度のシミュレーションを行うため、命令毎の動作は不要として、全ての命令がキャッシュヒットか、キャッシュミスかの二通りの動作として扱う。

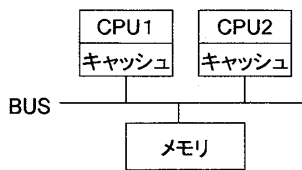


図1 2CPU コアのアーキテクチャ

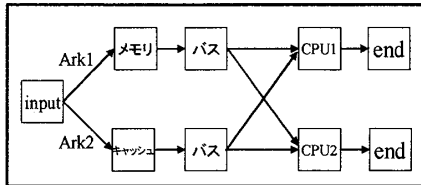


図2 2CPU コアアーキテクチャのモデル

表1 パラメータと動作内容

モデルの要素	パラメータ	動作内容
input	トランザクション数 X	トランザクションを発生させる
Ark1	キャッシュミス率 M	キャッシュミス率に従って、トランザクションをメモリに移動
Ark2	キャッシュヒット率 $1-M$	キャッシュヒット率に従って、トランザクションをキャッシュに移動
メモリ	アクセス性能 S_1	キャッシュミスペナルティ時間を含めた、メモリアクセスによる処理時間をCPUに渡す
キャッシュ	アクセス性能 S_2	キャッシュアクセスによる処理時間をCPUに渡す
バス	競合待ち時間 L	バスビジー率によるバス上での競合待ち時間を処理時間に加える
CPU1 CPU2	演算時間	メモリ、キャッシュから渡された処理時間を計算する
end	なし	トランザクションの終息

本稿では、パラメータの値の算出方法は、シングルコア CPU のシステムの実測時間から、以下の式によって求める。

$$S_1 = T_1 / X$$

$$S_2 = \{T_2 - X \times M \times S_1\} / \{X \times (1 - M)\}$$

$$M = f(T_1, T_2, T_3, X)$$

$$L = f(B, F, C)$$

X はアプリケーションの命令数、 T_1 はシングルコアの CPU からキャッシュをオフにした時の実測時間、 T_2 はキャッシュがオンの場合の実測時間、 T_3 はキャッシュ容量が n 倍の実測時間である。これらの4変数から、メモリアccessによる処理時間 S_1 、キャッシュアクセスによる処理時間 S_2 、キャッシュミス率 M をそれぞれ算出する。

また、バスの競合による待ち時間 L は、バス幅 B 、バス実効周波数 F 、アプリケーションのメモリ展開容量 C から算出した。

4. 手法評価の一例

評価の一例として、FPGA ボードで、2 CPU コアの組み込みシステムを模擬した実機で Dhrystone2.1 を動作させ、提案する性能評価手法の実行時間と実測時間の比較を行った。

表2 実機条件

CPUの種類	MicroBlaze
CPU1,2 動作周波数	51.6MHz
メモリ容量	32Mbyte
キャッシュ容量 (ライトスルー)	8Kbyte

表3 実機測定と提案手法による性能評価結果

	実行時間	誤差
実機測定	4.14 秒	16.7%
提案手法	3.45 秒	

提案する手法による実行予測時間と、実測時間の誤差は、表3に示すように16.7%であった。

5. 結び

想定した誤差は30%以内であるため、今回評価を行った条件では、提案する「簡易コンポーネントレベル抽象度モデル」は、上流設計段階で組み込みシステムのアーキテクチャを判断することが可能であると考えられる。

本稿で行った評価により、シングルコア CPU の実測時間から、リソースの競合などにより、性能の見積もりが難しいマルチコア CPU のシステムの実行時間の性能予測を、高い精度で行えることがわかった。

本稿で目標とした誤差30%より小さい誤差の性能見積もりを行うためには、今後の取り組みとして、以下のパラメータ検討を行いたい。

- ・今回算出したパラメータ値の誤差を検討し、他の方法によって算出したパラメータ値との比較評価を行う。
- ・命令セットレベルのシミュレーションのような細かいシミュレーションは行わずに、“トランザクション種類”パラメータ項目を追加することで実装コストを増加させずに、実行時間の予測精度を上げられる可能性が考えられる。
- ・バスビジー率を考慮した競合待ち時間を、簡易に反映する方法を検討する。

参考文献

- [1] 大森, 石田, 関, “組み込みシステムにおける上流設計フェーズでの性能評価方式の検討”, 電子情報通信学会総合大会 2008