

利用者の要請に即応した組み込みシステムのリコンフィギャラブル方式の検討

篠原 大輔<sup>†</sup> 宮本 健太<sup>†</sup> 清尾 克彦<sup>††</sup> 三井 浩康<sup>†</sup> 小泉 寿男<sup>†</sup> 神戸 英利<sup>†††</sup>  
 東京電機大学理工学部 情報システム工学科<sup>†</sup>  
 株式会社ゼネテック<sup>††</sup>  
 三菱電機株式会社<sup>†††</sup>

1. はじめに

近年、組み込みシステム技術は携帯電話やカーナビなど多くの産業機器に応用され、様々な機能が利用者に提供され続けている。その中で、利用者の利用形態は変化し続け、その要求は多様化する現状にある。企業は製品の多機能化を進め、この現状に迅速に対応を取っている。このような背景に伴い、製品出荷後の不具合発生率が増加してきた。その対策として、現在では製品に機能変更を実現する方法が一般的に採用されている。ファームウェアのバージョンアップや FPGA(Field Programmable Gate Array)を用いたシステム遠隔再構成といった方法が代表的な方法である。これらの方法により、開発者側が利用者に不利益を与えない不具合修正や機能追加・変更・削除を適宜実施し、円滑な機能提供を行なっている。これらは、開発者側の要請による機能変更が主流である。開発者側の要請による機能変更を利用者側の要請による機能変更を加えることで、企業はより柔軟かつ迅速に利用者の要望を製品に反映することが可能になる。そのため、将来さらに多様化する利用者の要望に企業がより円滑な対応を取るために必要不可欠な方法であるといえる。そこで本稿では、製品出荷後に利用者の要請に即応した製品の機能変更を実現するリコンフィギャラブル方式を実現するために、システム再構成対象となる利用者が選択可能な機能の分割パターンを作成するハードウェア(以下 H/W)・ソフトウェア(以下 S/W)協調設計方式の提案を行なう。

2. 研究内容

2.1 リコンフィギャラブル方式

リコンフィギャラブルとは、FPGA を代表とする大規模なプログラマブルデバイス上で、問題毎に処理アルゴリズムを書き換えることでシステム構成の再構成を可能とする技術である。例えば、既存システムの H/W・S/W 構成 pattern-A を別の H/W・S/W 構成 pattern-B に構成変更する仕組みを同一チップ上で実現することが挙げられる。この技術によりシステム再構成し、柔軟にシステムの提供機能を多種多様に変化させることが実現できる。本研究が提案するリコンフィギャラブル方式の構想図を図 1 に示す。

以下に、リコンフィギャラブル方式の手順を示す。

- ① 利用者は企業から提示された分割パターンの中から自身の要求を満たす任意の機能パターンを選択し、構成変更リクエストをセンターに送信する。
- ② センターは受信したリクエストを基にデータベースから該当する分割パターンを検索し、該当パターンの H/W・S/W 構成情報を取り出す。
- ③ センターは受信した構成情報を利用者の所持する製品内の構成コントローラに送信する。
- ④ 構成コントローラは受信した構成情報を基にシステムの再構成を実行する。S/W はオブジェクトコード

Examination of Reconfiguration Method in Embedded System corresponding to immediate the User's Request

<sup>†</sup> Daisuke Shinohara, Kenta Miyamoto, Hiroyasu Mitsui, Hisao Koizumi: Department of Science and Engineering, Tokyo Denki University

<sup>††</sup> Katsuhiko Seo: Genetec Corporation

<sup>†††</sup> Hidetoshi Kanbe: Mitsubishi Electric Corporation

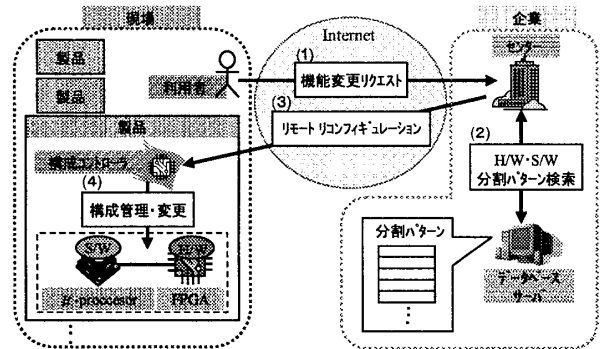


図 1 リコンフィギャラブル方式の構想図

マイクロプロセッサ上メモリにローディングし、H/W はネットリストを FPGA 上にマッピングすることでシステム再構成を実現する。

以上の手順による企業が利用者の要請に即座に対応可能なリコンフィギャラブル方式を提案し、利用者が手元で任意のシステム変更を行なえる環境を構築する。

2.2 H/W・S/W 協調設計方式

H/W・S/W 協調設計では、利用者が選択可能な分割パターンを作成することを目的とする。複数の分割パターンを作成することで、システム再構成による多種多様なシステム機能変更を利用者が選択可能となる。

H/W・S/W 協調設計は、システムを構成する H/W と S/W を定めた設計目標・制約条件を満たすよう両者を協調して設計し、要求されるアーキテクチャを決定することである。提案する H/W・S/W 協調設計方式では、設計システムの記述に SystemC を用いる。本研究では、システムを構成する機能の分割パターンに基づいた設計を繰り返すため、SystemC を用いた H/W・S/W の設計により開発期間短縮化および仕様変更への柔軟性向上を図る。

提案する H/W・S/W 協調設計方式を図 2 に示す。

(1) 目標設定とモデリング

まず、設計システムの設計目標・制約条件を決定する。設計目標とは、設計システムに要求される制約である。制約条件とは、システム開発に利用するツール等から生じる制約である。次に、SystemC を用いて設計モデルを S/W で作成する。作成後、動作をシミュレーションにより計算し、調整を重ねて設計モデルを確定する。このモデルを設計を進める上での検証モデルとする。

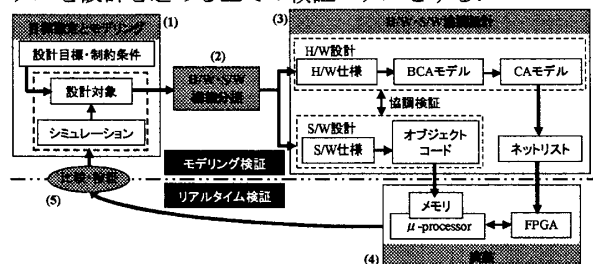


図 2 H/W・S/W 協調設計方式の流れ

(2) H/W・S/W 機能分担

設計システムの各機能を H/W と S/W に分担する。この際、設計システムの目標性能を満足する範囲内であることを目標とする。ここでは、処理の H/W・S/W 分割パターンを、大分類、グルーピング、詳細分類の 3 段階に分けて行なう。図 3 に H/W・S/W 機能分担の流れ図を示す。

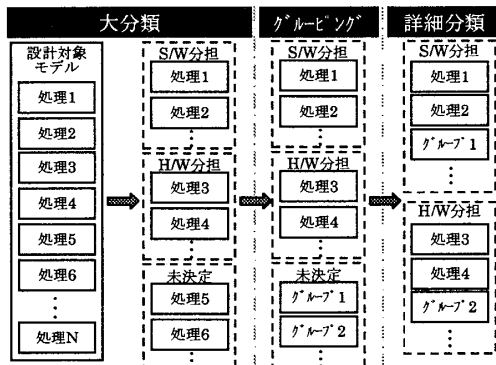


図 3 H/W・S/W 機能分担の流れ

- ①大分類：SystemC で記述した設計モデルを複数の処理に分割し、各処理に対して S/W の処理速度を見積り。見積り結果から設計目標を満たすことが困難な処理は H/W、高速な処理が必要でない処理は S/W に分担し、それ以外は未決定とする。
- ②グルーピング：詳細分類行程における機能分担対象の処理数を減少させ、機能分担作業回数の負担を減少させるために、ある程度同系列処理を 1 つにグルーピングする。
- ③詳細分類：未決定の各処理が H/W と S/W の場合の全通りについて、そのシステム全体の処理時間をシミュレーションにより算出する。その結果から、設計目標の処理時間を満たす組合せを抽出する。組合せが抽出できない場合は工程(1)に戻り、仕様の再検討を行なう。

(3) H/W・S/W 協調設計

まず機能モジュール制御の全体図を図 4 に示す。

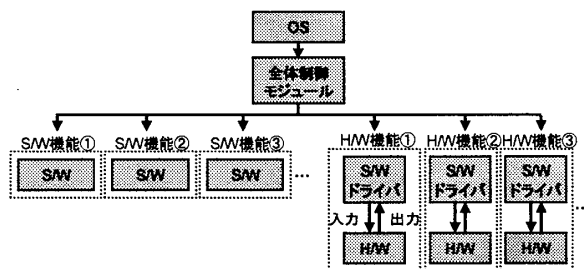


図 4 機能モジュール制御の全体図

システムは複数の H/W・S/W 機能モジュール(以下 MD) とそれらを制御する全体制御 MD から構成される。全体制御 MD は各 S/W 機能 MD を直接呼び出し S/W 機能を利用する。また、各 H/W 機能 MD に対応したドライバを呼び出し、間接的に H/W 機能を利用する。これにより、統一した呼び出し形式による H/W・S/W 機能の利用が可能となる。提案方式ではシステム再構成により各機能 MD が H/W・S/W 両者に変更し得るため、呼び出し形式の統一化により全体制御の簡易化を図る。また、H/W 機能を利用するための H/W ドライバ、各機能全体を制御する全体制御 MD を S/W で作成する。

この工程では工程(2)で抽出した各分割パターンについて、H/W・S/W の詳細設計を行なう。S/W 分担処理は、SystemC 記述のソースコードをコンパイラで機械語に変換する。H/W 分担処理は、H/W 仕様の決定後に BCA モ

デル、CA モデルと抽象度を落とし、VHDL に変換する。

(4)実装

H/W 分担処理は、VHDL コードからネットリストを生成し、FPGA 上にマッピングする。S/W 分担処理・H/W ドライバ・全体制御 MD は、 $\mu$ -プロセッサ上メモリにローディングする。

(5)比較・検証

検証モデルの動作結果と実装後のリアルタイムの動作結果の比較・検証を行なう。その比較・検証結果から改善の余地があれば、アルゴリズム改善を繰り返し、各設計システムをより最適な設計に近づけていく。

3. 実装・評価

提案した H/W・S/W 協調設計方式の評価を行なうために、JPEG エンコーダシステムを用いて評価を実施した。図 5 に JPEG エンコーダシステムの全体図を示す。

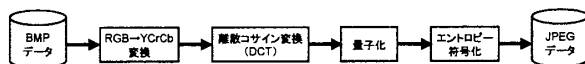


図 5 JPEG エンコーダシステム(基本方式)の全体図

作成した JPEG エンコーダシステムは 4 つのモジュールで構成されている。システムの設計目標・制約条件を決定し、モデルを作成後、機能分担行程において H/W・S/W 分割パターンを 6 通り抽出した。抽出した各分割パターンについて設計、実装、比較・検証を行ない、最終的に 3 通りのシステムを作成した。H/W 実装は、ALTERA 社の Nios II Cyclone Edition を用いて行なった。また、S/W 実装は、OS を Windows XP である PC 上で行なった。

作成した各システムに 64[KB]の BMP データを処理させた場合の処理時間と、各システムを実装する上で必要となるメモリ使用量、ゲート数を表 1 に示す。

表 1 各 JPEG エンコーダシステムの性能一覧

システム	性能		
パターン	処理時間[ms]	メモリ使用量[Byte]	ゲート数
①	294	2284	56632
②	312	5032	37828
③	340	5568	32810

パターン①の特徴として、処理時間が最も小さく、ゲート数が最も大きくなった。パターン③は、ゲート数が最も小さく、処理時間が最も大きくなった。パターン②は、処理時間、メモリ使用量、ゲート数ともにパターン①と③の中間値となった。これらより、パターン①は高処理性能システム、パターン②は標準性能システム、パターン③は低消費電力システムと判断することができ、これら 3 種類のシステムが利用者へ提供可能となる。

4. まとめ

利用者の要請に即応した製品の機能変更を可能とするリコンフィギャラブル方式を実現するために、システム再構成対象となる利用者が選択可能な機能の分割パターンを作成する H/W・S/W 協調設計方式の提案を行なった。

今後の予定として、機能変換機構の実装および機能変換機構を用いてリコンフィギャラブル方式の評価・検証を行なうが挙げられる。

参考文献

- [1] 永田 和生, 原田 英雄, 牛嶋 和行, 久我 守弘, 末吉 敏則: "FPGA 遠隔再構成システムの設計と実装", 電子情報通信学会論文誌, Vol.J90-D, pp.1357-1366, 2007
- [2] 篠原 大輔, 宮本 健太, 清尾 克彦, 三井 浩康, 小泉 寿男, 神戸 利英: "組込みシステムにおけるダイナミック・リコンフィギャラブルの検討", 電気関連関西支部連合大会, 2007
- [3] 天野 英晴: "最近のリコンフィギャラブルシステム, 動的リコンフィギャラブルシステム", 電子情報通信学会技術研究報告, Vol.105, No.36, pp.31-36