

3次元型トランジスタ FinFET による L S I の高密度設計法 —CMOS セルライブラリを用いたパターン面積の縮小効果の検討—

岡本 恵介[†] 小泉 圭輔[†] 廣島 佑[†] 渡辺 重佳[†]

湘南工科大学情報工学科[†]

1. はじめに

近年、平面型 CMOS トランジスタで構成されたシステム LSI は微細化、高集積化により 1 億個以上のトランジスタを集積したチップに G I P S の処理能力を実現出来るようになった。しかしながら新たに 2 点の大きな問題が指摘されている。1 点目は、システム LSI を構成する平面型 CMOS トランジスタの微細化の限界の到達である [1]。ショートチャネル効果の増大、サブスレッショルド特性の劣化が解決困難となってきた。2 点目は、ユーザーの高機能化の要請に答えたために必然的に生じるチップの大型化に伴う製造コストの増大である。大型化に伴いグロスは低下し、歩留りも大幅に低下してしまう。

これらの問題を解決する新技術として FinFET に代表される 3 次元型トランジスタが現在注目されている。

2. 3次元型トランジスタを用いたシステム LSI 設計法

今までの研究において、3次元型トランジスタであるダブルゲート型トランジスタ、FinFET、SGT を用いたシステム LSI 設計法、特に素子領域のパターン面積の縮小効果について検討を行った。(検討したモチーフは NAND, NOR 等の基本回路とテーパ型バッファ回路)。検討結果を図 1 に示す。この検討により、従来の平面型トランジスタを用いたパターン面積に比べて、FinFET を用いることでパターン面積を大幅に削減できることがわかった [2]。

そこで本研究では CMOS セルライブラリを用い

て、FinFET を適用したパターン面積の縮小効果の見積もりを行った。

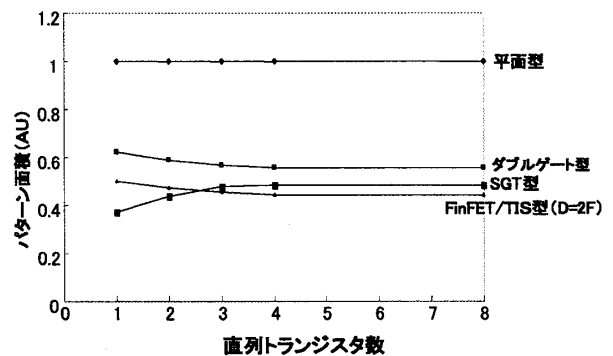


図 1. 各種 NAND パターン面積の比較結果 (直列トランジスタ数依存性)

3. CMOS セルライブラリへの FinFET の適用

図 2 に FinFET の平面図と断面図を示す。トランジスタのチャネル幅は平面部の W_p と側壁チャネル幅 D を用いて $W_p + 2D$ と表す。FinFET を用いる場合、出来るだけパターン面積が縮小されるように側壁チャネル幅 D を決定することとチップ内のどのトランジスタに FinFET を使用する

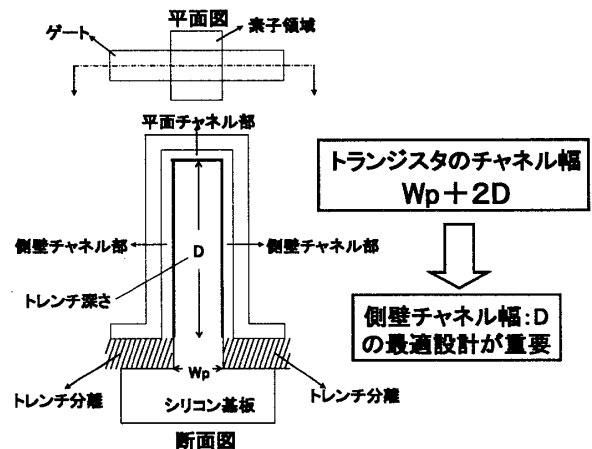


図 2. FinFET の平面図及び断面図

Design of High Density LSI with Three-Dimensional Transistor FinFET -Effect of Pattern Area Reduction with CMOS Cell Library-

[†]Keisuke Okamoto, Keisuke Koizumi, Yuu Hiroshima and Sigeyosi Watanabe

Department of Information Science, Shonan Institute of Technology

かを選択することが設計上、重要となる。その選択法としてチャンネル幅の小さいトランジスタを平面型とし、チャンネル幅の大きいトランジスタを FinFET 型とする“平面型+FinFET”方式を採用することとした。“平面型+ FinFET”方式の例を図3に示す。

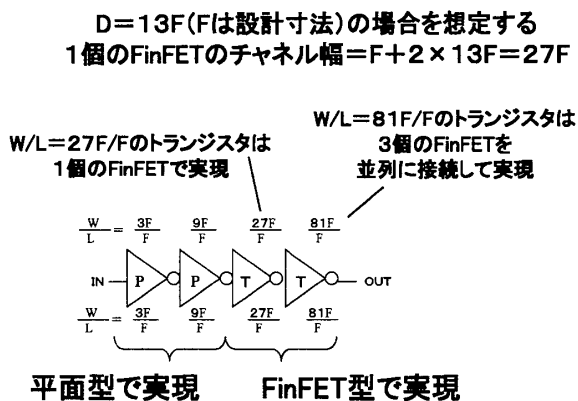


図3. “平面型+FinFET”方式の例

縮小効果を見積もる上で最も重要なのは FinFET の側壁チャンネル幅 D の設定である。CMOS セルライブラリを用いて設計したシステム LSI のパターン面積を最小にするように設定 する必要がある。側壁チャンネル幅 D の設定にあたり、まず CMOS セルライブラリで使われているトランジスタの個数のチャンネル幅依存性を調べ、さらに個数をチャンネル幅で重み付けした値のチャンネル幅依存性を調べた。その結果から、全体的に見て素子領域のパターン面積が最小になるような FinFET の側壁チャンネル幅 D の設定を行った。

トランジスタの個数をチャンネル幅で重み付けした結果をもとに側壁チャンネル幅 D の値を $4\mu, 7\mu, 10\mu, \dots, 19\mu$ と変化させて W の総和を図4に示す式を用いて見積もり、W の総和が最小となる D の値を求めた。

N:セルライブラリ数, S_i :i番目のセルライブラリでのトランジスタ数
 W_{ij} :i番目のセルのj番目のトランジスタのチャンネル幅
D:側壁チャンネル幅

$$\text{パターン面積の縮小効果} = \frac{\sum_{i=1}^N \sum_{j=1}^{S_i} \left\{ \left[\frac{W_{ij}}{2D+7} \right] \times 7 + \left[\frac{W_{ij}}{2D+7} \right] \right\}}{\sum_{i=1}^N \sum_{j=1}^{S_i} W_{ij}}$$

例. $W_{ij}=35$ $2D+7=15$ の時 $35 \div 15=2$ 余り5

図4. パターン面積の縮小効果の見積もり方法

見積もり結果を図5に示す。Dが 0μ のときの値は FinFET を使わずに平面型のみの場合の W の総和である。図5から側壁チャンネル幅 D を 13μ

とした時に W の総和が最小となることがわかる。よって、CMOS セルライブラリでの側壁チャンネル幅 D の最適値は 13μ であり、この値で CMOS セルライブラリに“平面型+ FinFET”方式を適用すると CMOS セルライブラリの全体的なパターン面積を最小 (元の約 40%) にできると考えられる。

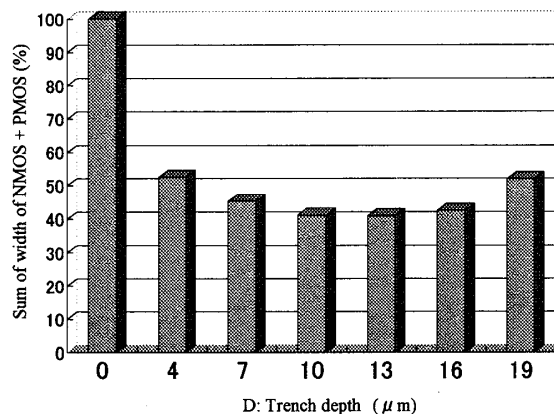


図5. 側壁チャンネル幅 D による W の総和の変化

4. まとめ

パターン面積を大幅に削減できる可能性のある FinFET を CMOS セルライブラリに適用し、その縮小効果を見積もった。その結果、“平面型+FinFET”方式を適用し、側壁チャンネル幅を最適化することによりシステム LSI の素子領域のパターン面積を従来の平面型の場合の約 40%に縮小できることを示した。そこで、今回の検討で決定した FinFET の側壁チャンネル幅 D の最適値を用いて CMOS セルライブラリのデザインルールを守り、さらに素子領域だけでなく配線領域なども考慮したパターンを実際に描き、最終的な CMOS セルライブラリでのパターン面積の総和を計算する予定である。

今後、設計上の幾つかの検討項目を解決することにより、“平面型+ FinFET”方式は将来のシステム LSI 実現の有力な候補になると考えられる。

参考文献

- [1] K. Hieda, F. Horiguchi, H. Watanabe, K. Sunouchi, and H. Hamamoto, “Effects of a new trench-isolated transistor using side wall gates”, IEEE Trans. Electron Devices, Vol.36, no.9, pp.1615-1619, 1989.
- [2] 渡辺重佳, “T I S を用いたシステム L S I の設計法” 電子情報通信学会和文誌 C, Vol. J88-C, no.12, pp.1-11, 2005.