

マイクロカーネルを対象とした省電力スケジューラの開発

林 和宏^{†1} 金井 遵^{†2} 丸山 勝巳^{†3} 川合 秀実^{†4} 並木美太郎^{†5}

東京農工大学工学部情報コミュニケーション工学科^{†1} 東京農工大学工学府電子情報工学専攻^{†2}
国立情報学研究所^{†3} OSASK 計画^{†4} 東京農工大学大学院共生科学技術研究院^{†5}

1 はじめに

近年、コンピュータ機器の普及に伴ってその消費電力の増加が問題視されている。例えば、ネットワークサーバやコンピュータクラスタなどでは、膨大な電力消費とそれに伴う発熱が大きな問題となっており、また携帯機器においては、限られた電源を効率よく利用するための技術が特に必要とされている。

本研究では、これらの電力問題を解決する手段のひとつとして、CPU の周波数・電圧の動的調整機能 (DVFS) を用いた省電力化技術の開発を行った。実装はマイクロカーネルベースの OS を対象とし、マイクロカーネルの特性に着目したシステム構築とその評価を行った。

2 本研究の方針と目標

先行研究 [1] では、CPU の DVFS 機能を用いた省電力化機構を Linux のスケジューラ上で実現している。本スケジューラは、プロセス単位で実行時情報に基づく電力制御を行うことで省電力化を行っている。本研究では、この設計方針に従って同様の機能を持つ省電力機構をマイクロカーネル内のスケジューラに対して実装する。マイクロカーネルは、Linux などのモノリシックカーネルと比較して、図 1 のように、主要な OS 機能の多くがユーザモードのタスク (サーバ) として実装されているという特徴がある。つまり、マイクロカーネル内のスケジューラに本省電力機構を導入することによって、モノリシックカーネルでは制御できない OS

タスクを電力制御対象とすることができる。本研究では、この構造に着目した省電力スケジューラの実装とその評価を行うことを目的とする。

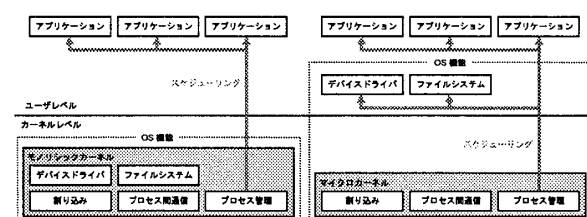


図 1: モノリシック OS とマイクロカーネル OS の構成

実装は、L4 マイクロカーネルをベースとする 2 つの OS、L⁴Linux と LP49 を用いて行う。また、実装環境には Intel Pentium M プロセッサを利用し、本 CPU の提供する拡張版 Intel SpeedStep テクノロジ (EIST) を用いた周波数・電圧調整により省電力化を行う。

3 設計

本スケジューラでは、ユーザが定めた性能閾値を満たす範囲で CPU 周波数を動的に変更することによって省電力化を行う。L4 マイクロカーネルにおけるスケジューリングは L4 スレッド単位で行われる。本スケジューラは、CPU の提供するパフォーマンスカウンタを用いてスレッド単位で実行時情報を取得し、この情報に基づいた性能予測を行うことで性能閾値を満たす最適な動作周波数をスレッド毎に決定する。

性能の指標には IPS の値を利用し、これに影響するスレッド情報として一命令辺りの L2 キャッシュミス率を用いる。本スケジューラでは、キャッシュミス率から予測性能を算出するための回帰モデルを最小二乗法により自動的に構築し、これを用いた性能予測を行う。また、キャッシュミス率以外の実行時情報が性能に大きく影響するようなプログラムが実行された場合を想定し、予測性能の誤差を補正するフィードバック機構を構築する。

本スケジューラの全体構成を図 3 に示す。L4 のスケ

Implementation of a Power-saving Scheduler on Microkernel

Kazuhiro Hayashi^{†1}, Jun Kanai^{†2}, Katsumi Maruyama^{†3},
Hidemi Kawai^{†4}, Mitaro Namiki^{†5}
Faculty of Engineering, Tokyo University of Agriculture and Technology^{†1}
Department of Electronic and Information Engineering, Graduate school of Engineering, Tokyo University of Agriculture and Technology^{†2}
National Institute of Informatics^{†3}
OSASK Project^{†4}
Division of Systems and Information Technology, Institute of Symbiotic Science and Technology, Tokyo University of Agriculture and Technology^{†5}

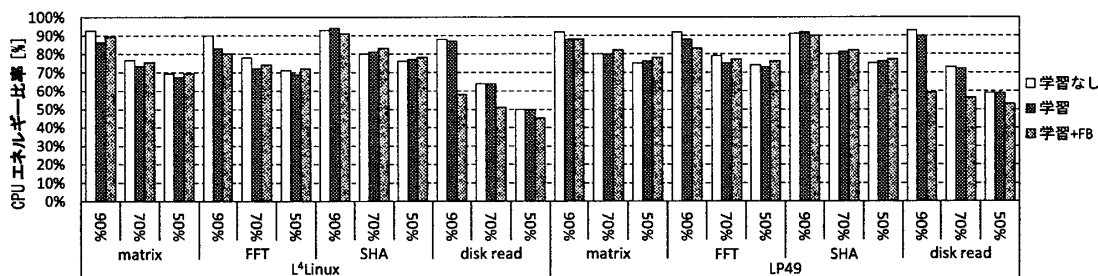


図 2: 最高周波数時に対する CPU エネルギー消費量の比率

ジューラ内には、性能予測モデルを構築する学習機構、性能予測・フィードバックにより省電力化を行う省電力化機構、および周波数調整などの操作を行う CPU 制御機構からなる。学習機構と省電力機構は一度にいずれか一方が動作する。性能閾値の設定や、学習と省電力の切り替えなどは、L4 内に専用のシステムコールを新たに作成し、これを介すことで行う。

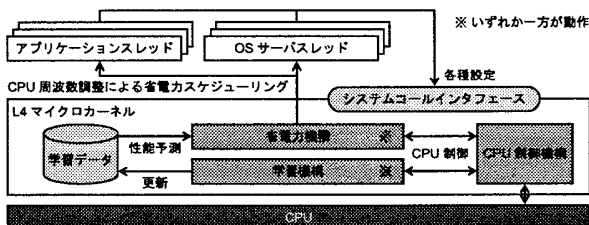


図 3: 省電力スケジューラの全体構成

4 実装と評価

今回実装対象とした 2 つの L4 のソースコードは主に C++ で記述され、多くの OS コンポーネントがクラスとして抽象化されている。本研究では、電力制御機構を一つの新たなクラスとして定義し、スケジューラなどの既存の処理の中から本クラスの提供するメソッドを呼び出す形で実装を行った。

実装した省電力スケジューラを用いて、ベンチマーク実行時の CPU エネルギー消費量の評価を行った。性能予測モデルは学習によりあらかじめ構築したものを利用する。ベンチマークには、行列演算 matrix、MiBench(FFT, SHA)、およびディスク読み込み (disk read) を用いた。性能閾値 (最高周波数時に対する性能比) を 90%, 70%, 50% に設定したときの最高周波数時に対する CPU エネルギーの比率を図 2 に示す。

性能閾値が低いときほど、エネルギーを削減できていることが確認できる。OS 機能を利用しない CPU・メモリベンチマークでは、両 OS 間でほぼ同等の結果が得られている。また、これらのベンチマークと比較

して、disk read では特にフィードバック有効時に大きな省電力化を実現している。disk read ではディスクアクセスによって OS 機能が頻繁に動作するが、今回利用した両 OS においては、ディスク割り込み制御用のスレッドが実行時間の大半を占める。本スレッドは I/O 命令によってディスクからデータの読み取りを行うが、このときに生じる遅延をフィードバックにより検出し、不要な電力消費を抑制している。つまり、マイクロカーネルから本サーバスレッドを個別に電力制御することで、性能を落とさずに省電力化を実現している。このような電力制御は、OS 機能の多くがサーバとして実装されるマイクロカーネル OS においてのみ実現可能であり、本スケジューラのマイクロカーネルシステムへの有用性を示す結果であるといえる。

5 おわりに

本研究では、マイクロカーネルを対象とした省電力スケジューラの実装と評価を行い、その有用性を示した。本システムは、マイクロカーネルの適用性の高い組み込み環境での省電力技術として特に期待できる。

今後の課題としては、I/O などの影響を考慮した性能予測や、リアルタイム性を考慮したスケジューリングの実現などが挙げられる。

参考文献

- [1] 金井 遵, 佐々木 広, 近藤 正章, 中村 宏, 天野 英晴, 宇佐美 公良, 並木 美太郎: 性能予測モデルの学習と実行時性能最適化機構を有する省電力化スケジューラ, 情報処理学会コンピュータシステムシンポジウム 2007 論文集, Vol.2007, No.14, pp.173-182 (2007.11)
- [2] Tao Li, Lizy Kurian John: Run-time Modeling and Estimation of Operating System Power Consumption, Proceedings of the 2003 ACM SIGMETRICS International Conference on Measurement and Modeling of Computer Systems, pp.160-171 (2003)