

# 部分再構成を利用した耐故障性向上アーキテクチャの提案

金丸敦礼<sup>†</sup> 川合浩之<sup>‡</sup> 山口佳樹<sup>§</sup> 安永守利<sup>¶</sup>  
筑波大学大学院 システム情報工学研究科<sup>||</sup>

## 1 はじめに

宇宙新時代の到来に伴い宇宙産業が拡大傾向にある。この産業が成熟するためには高信頼かつ長期に利用できるシステム開発技術が不可欠であり、この実現には、宇宙と言う特殊環境を鑑み、システムの故障率低減と故障時の修復方法について議論が必要である。そこで本稿では、まずこれらのシステム利用されている、各 LSI の耐故障性向上手法について提案を行う。

宇宙空間における LSI の故障原因の一つとして、シングルイベント現象 (Single Event Effect, 以下 SEE) が報告されている [1]。SEE とは LSI 素子に放射線粒子が衝突することで、LSI の誤動作や最悪の場合には LSI の損壊を生じさせるものである。SEE は、不規則に通過する放射線粒子により生ずるため、故障箇所を予測し補強することが難しい。従来手法では、回路を冗長化ないし多重化することでこの解決を図っているが、回路規模が大きくなるという欠点を持っている。そこで、回路を再構成できる LSI に注目が集まっている。これは、回路再構成機能の利用により、故障部分を正常に動作する回路に書き換えることで LSI 全体の修復を図れるからである。

著者らは、回路再構成機能を利用したタイルフォールトトレラント手法を提案し、画像処理回路のような規則性のある回路に対して耐故障性能の改善可能性を示した [2]。しかし、提案手法では回路再構成機能の制約から、MPU や制御回路のような規則性のない複雑な回路に対する修復が困難であった。そこで本稿では、この制約を低減させる回路再構成の提案とその検証を行う。

## 2 回路再構成と耐故障性能の向上

システムの耐故障性において、故障が生じた際にも所定の仕事を継続できるか否かが議論の争点である。この際、スペアリングと言って、システムの機能不良が生じないように予備を前もって用意しておくことが提案されている。しかし、単純なスペアリングでは冗長な部位の増加に対する耐故障の改善効率を高くすることが難しい。そこで、回路再構成機能を持った LSI により故障部位の代替となる回路を新たに再構成することが提案されている。著者らは、タイルフォールトトレラントと呼ぶ、これを発展させた耐故障性向上手法について提案を行っている [2]。この提案手法の概略を

図 1 に示す。

図 1 において、 $4 \times 4$  の格子が LSI 全体を表している。格子の大きさは、回路構成単位・回路規模・実装回路などによって変化するが、ここでは 16 マスに分割できると仮定する。本稿ではこの 1 マスをタイルと呼び、これを回路構成単位とする。そして全体は  $A \cdot B \cdot C \cdot D$  の 4 モジュールより構成され、A は 3, B は 4, C は 2, D は 4 個のタイルを使用して回路を実現する。

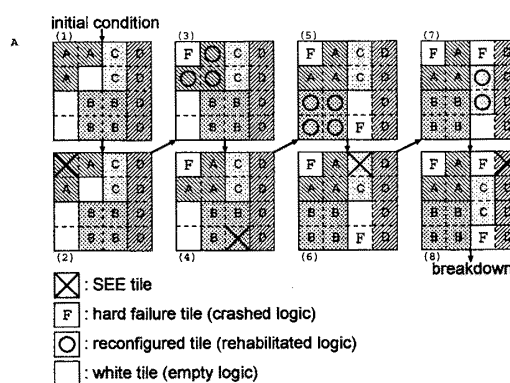


図 1: タイルフォールトトレラントの例

ここで本手法では、ホワイトタイルという、回路が何も実装されていないタイルを利用する。回路が損壊した場合、この手法では回路再構成機能を用いて損壊した回路部分とホワイトタイルを適宜変更することでスペアリングを実現する。前もって回路を用意する必要がないため、スペアリングの回数はホワイトタイルの個数に線形に依存しており、この数を調節することで必要な耐故障性能を得ることができる。

## 3 部分回路再構成とバスマクロ

タイルフォールトトレラントの実現において、正常な回路を同じ回路で再構成する無駄を省くため、回路全体を一括して変更するのではなく回路の一部を再構成できることが望ましい。この機能は部分回路再構成と呼ばれ、本稿ではこれをサポートする Xilinx 社製の FPGA (Field Programmable Gate Array) を利用して実証実験を行った。

部分回路再構成を利用する際、タイルの境界を跨るデータ転送が問題となるが、隣接領域間のデータ転送にはバスマクロと呼ばれるデータ転送用の回路が Xilinx 社よりライブラリとして提供されている (図 2)。

バスマクロは、トライステートバッファと配線リソースから構成され、使用するトライステートバッファによって通信方向が決定される。しかし、提供されているバスマクロでは、図 1 の A と D を構成するタイル間で行うような、隣接していない領域のデータ転送はサポートしていない。そして、これはタイルフォール

A Proposal of Fault-Tolerant Architecture with Partial Reconfiguration

<sup>†</sup>Atsuhiko KANAMARU

<sup>‡</sup>Hiroyuki KAWAI

<sup>§</sup>Yoshiki YAMAGUCHI

<sup>¶</sup>Moritoshi YASUNAGA

<sup>||</sup>Graduate School of Systems and Information Engineering, Univ. of Tsukuba

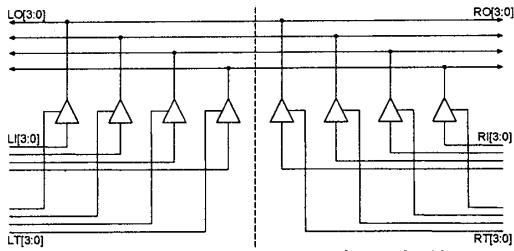


図 2: バスマクロの構造とデータ転送 [3]

トトレラントの実現において非常に厳しい制約となることがわかっている。本稿では、この制約を低減する改良したバスマクロの提案により、以上の問題を解決を図った。図 3 に著者らが提案するバスマクロとその概要を示す。

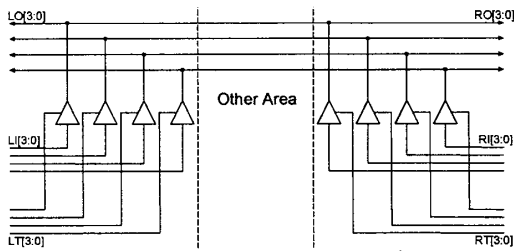


図 3: 改良したバスマクロによるデータ転送

#### 4 タイルフォールトトレラントの実装と評価

著者らは、第 3 章で提案したバスマクロを用い、タイルフォールトトレラントの実装とその検証を行った。実装には、CAD ツールとして Xilinx 社製 ISE 6.3.03i を、FPGA として Xilinx 社製 XC2V1000 をそれぞれ用いた。図 4 に、CAD を用いて視覚化した実装結果を示す。この図において、タイルの境界は太い白線で示されている。

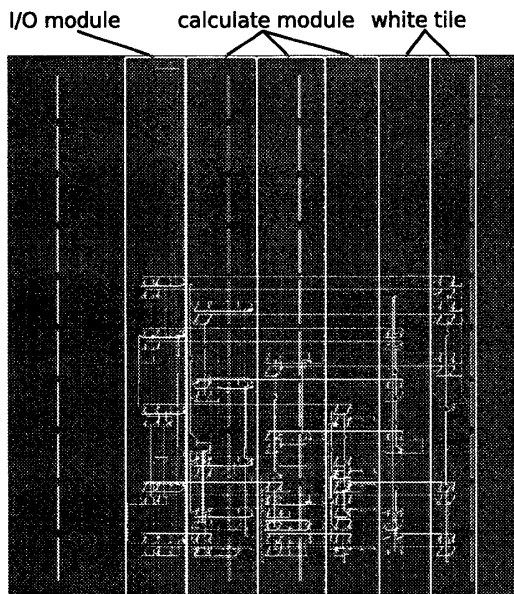


図 4: タイルフォールトトレラントを適用した実装結果

図 4 の回路は、左から入出力モジュール (1 タイル)、計算モジュール (3 タイル)、ホワイトタイル (2 タイル) の 3 モジュール (計 6 タイル) より構成されている。入出

力モジュールは FPGA 外部に接続された検証用 LED との通信に利用されている。このモジュールは、外部端子との接続関係から、現在は回路再構成を行わないタイルに実装されている。

実証実験では、図 4 において計算モジュールの一番左にあるタイルに損傷が生じたと仮定し、ホワイトタイルへの部分回路再構成を行った。このような回路再構成は回路トポロジーの維持が難しく従来手法による実現は困難であったが、著者らが提案するバスマクロによりこの実現が可能となった。

次に、本実装において全回路再構成と部分回路再構成における、回路再構成に必要なデータ量と再構成時間の比較を行った。表 1 において、データ量は作成されたビットファイルサイズを、再構成時間は JTAG の TDI 端子からの実測値を示した。

	データ量 (KByte)	再構成時間 (s)
全体再構成	499	22
部分再構成	17~34	0.7~1.4

表 1: 全体回路再構成と部分回路再構成の比較結果

部分回路再構成は最小限の回路変更で済むため、全体回路再構成と比較して、再構成時間を大幅に小さくできる。今回の実験では、約 93~97% の削減に成功している。表 1 では、実測環境において TCLK を 333KHz としているため再構成時間が大きな値となっているが、これは TCLK を 33MHz にし、またタイルサイズを  $\frac{1}{10}$  程度まで小さくすることで、数百マイクロ秒~数ミリ秒まで小さくできることがわかっている。

#### 5 おわりに

本研究では、改良したバスマクロを提案し、それを利用したタイルフォールトトレラント手法の実装を行った。改良したバスマクロは、任意のデータ幅とデータ転送距離を実現したことで、非常に高い柔軟性を実現している。また、全体回路再構成に対して回路構成時間を大幅に削減し高速な回路再構成を実現したことで、リアルタイムアプリケーションにおいても利用できる可能性を示した。

今後は、本提案手法を実アプリケーションに適用し、タイルの大きさ及び耐故障性能の改善率などを定量化していく予定である。

#### 参考文献

- [1] M. Lauriente and A. L. Vampola: "Spacecraft anomalies due to radiation environment in space," NASDA/JAERI 2nd Int'l Workshop on Radiation Effects of Semiconductor Devices for Space Applications, 1996.
- [2] H. Kawai, et al.: "Realization of the sound space environment for the radiation-tolerant space craft," the 3rd Int'l Conf. on ReConFigurable Computing and FPGAs, pp.198-205, 2006.
- [3] Xilinx, Inc.: "Two Flows for Partial Reconfiguration: Module Based or Difference Based," XAPP290(v1.2), 2004.