

1C-7

デジタル放送用システム LSI の開発

小川 清隆、高橋 秀長、吉富 耕治、乙部 幸男、小檜山 清之

株式会社 富士通研究所 システム LSI 開発研究所

1. はじめに

MPEG 圧縮技術を利用した TV 放送のデジタル化が急速に進んでいる。日本でも CS 放送に引き続き、BS や地上波デジタル放送が予定されている。デジタル化による多チャンネル化、高画質化に加え、高速なデータ配布によりデータ放送や EPG (電子番組案内) など新たなサービスが可能になる。BS や地上波デジタル放送では、現行 CS 放送や DVD で使用される MPEG2 MP@ML(720×480)の約 6 倍の解像度を持つ MP@HL(1920×1080)が規格化されている。デジタル放送が受信できる装置として様々なものが考えられる。アダプタ式の製品、TV セットへの組み込み、PC の拡張カードなどである。それらを安価に実現するためには、受信機のキーデバイスとなるシステム LSI が求められている。本稿では開発した LSI の概要と再利用可能な MP@HL デコーダのアーキテクチャ、LSI を利用したデータ放送端末の実現例を報告する。

2. LSI の概要

開発した LSI のチップ写真を図 1 に、主要諸元、機能を表 1,2 に示す。LSI は、MPEG2 MP@HL ビデオデコーダを中心に、TS(Transport Stream)分解部、フォーマット変換部、OSD 部などを集約している。デコーダ部は、MP@HLだけでなくMP@MLなら 4つまでの同時デコードも可能である。TS 分解部は、多重化され送られてくるビデオ・オーディオ・データの各ストリームを分解する。フォー

A Single-Chip MPEG2 MP@HL Decoder LSI for Digital Broadcasting Receiver.

OGAWA Kiyotaka, TAKAHASHI Hidenaga,
YOSHITOMI Kouji, OTOBE Yukio, KOHAYAMA Kiyoshi
System LSI Development Lab., Fujitsu Laboratories Ltd.
1-1, Kamikodanaka 4-Chome, Nakahara-ku, Kawasaki,
211-8588, Japan E-mail: ogawak@flab.fujitsu.co.jp

マット変換部では、デコードされたビデオを任意の大きさに拡大・縮小し、HDTV や SDTV などのディスプレイに表示し、OSD 部はビデオに重ねあわせるグラフィックスを表示する。

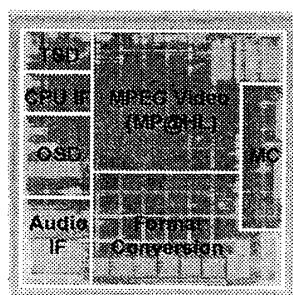


図 1 チップ写真

表 2 主要諸元

テクノロジー	0.25μm 4層メタル
回路規模	100万ゲート/10mm ²
消費電力	3.2W @2.5V
動作クロック	125MHz
パッケージ	HQFP-304
外部メモリ	64Mbits SDRAM×2

表 1 主要機能

TS Demux	32 PID/Section filter
ビデオデコーダ	MP@HL or MP@ML×4
メモリ制御	固定長 Period 方式
ビデオ表示	ビデオの任意拡大・縮小 SDTV 4画面までオーバーラップ
OSD	1920×1080×8bit CLUT 付き or 960×1080×16bit カラー
オーディオ I/F	PES 分解 (ES,PTS 抽出)

3. 開発技術

3.1 再利用を考慮した設計

デコーダを再利用するために、進歩の早い半導体プロセスを見越した陳腐化しない設計とした。MP@HL デコード実現には、回路の並列処理といった手法も考えられるが、シンプルなシングルパイプラインとした。またデコーダとフォーマット変換、OSD といった表示系は別クロックにし、ブロック単位の独立性を確保することができた。これにより技術のエンハンスにより一部ブロックの性能が上がっても、残りブロックを活用することができる。

3.2 Period 方式メモリ制御

メモリ制御部では、図 2 で示すように 9 つのアクセス要因があり、従来のアービトレーション方式[1]では、制御が複雑な上、MPEG デコードの最悪条件での保証が困難であった。そこで新たに固定のサイクルの Period 方式を開発した。アクセスの要因を整理すると、(1)TS デコーダによって分解されたストリームをそれぞれの外部 DRAM 領域に書き込む、(2)ビデオストリームを読み出しデコーダへ転送する、(3)参照画像を読み出す、(4)デコードした画像を書き込む、(5)表示画像を読み出しフォーマット変換する、などがある。本 LSI で採用したの Period 構成を図 3 に示す。デコードは Decode Period の繰り返しで行われる。ストリームバッファがしきい値以下になると、デコード処理は待機状態になり、Video Stream Period でストリームバッファにデータが補給される。このように Period 方式は、複数の Period をデコードの進行状況に応じて適応的に切り替える方式である。また固定サイクルであるために、I Picture 当たりのストリーム読み込み量が規定でき、MPEG デコードの最悪条件での動作保証が可能になった。

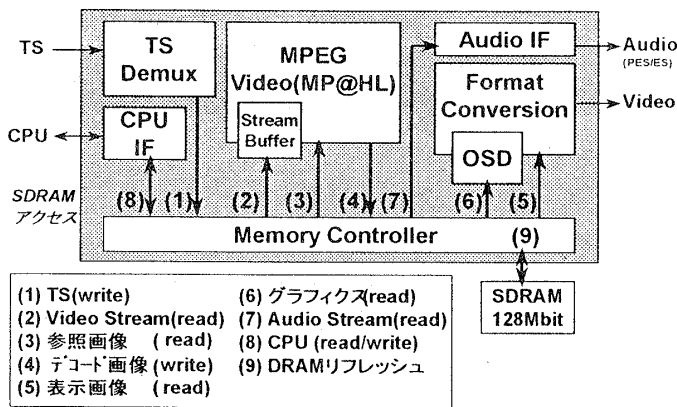


図 2 メモリアクセス要因

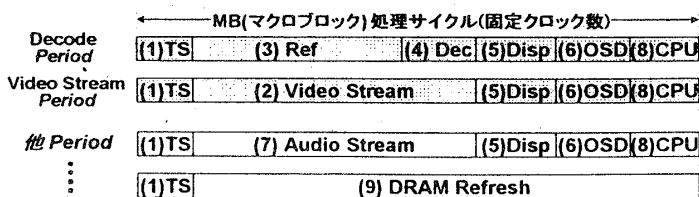


図 3 Period 構成

3.3 マルチデコード

一つの周波数帯に多重化されている複数番組を、同時にデコードし表示することが可能である。外部 DRAM のストリームバッファとデコード画像の格納バッファを番組ごとに分割にし、デコードの時間配分を動的に切り替える時分割処理で対応する。これにより MP@ML の 4 番組の同時デコードを始めとして、さまざまな画像サイズやフレームレートの異なる画像の組み合わせでも対応できる。

4. データ放送端末への応用例

この LSI を利用してデータ放送端末を試作した。データ放送用に分離されたデータは図 4 で示すように、外部 DRAM 格納された後、CPU により読み出され、ソフトにより解析されファイル形式に変換される。データ放送用のブラウザにより、外部 DRAM の OSD 領域に書き込み、ビデオと重ねあわせて表示する。このように LSI がデータ放送に対応できることが確認された。

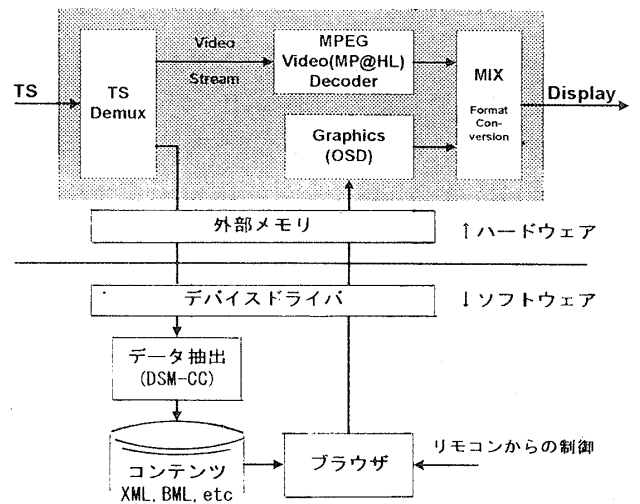


図 4 データ放送端末

5. まとめ

今後のシステム LSI 開発に向けた、再利用可能なデコーダのアーキテクチャを考案した。開発した LSI はデータ放送端末への応用も可能である。今後さらなるエンハンスを進めたい。

【参考文献】

[1] T. Demura et al. "A Single-Chip MPEG-2 Video Decoder LSI", ISSCC Digest of Technical Papers (1994) p. 72