

1 チップMPEG2 エンコーダシステム LSI

5H-2

— オーディオ系検証 —

鈴木和雅, 服部孝, 中嶋宏知, 橋詰雅樹

三菱電機(株) 情報技術総合研究所

1. はじめに

我々は、MPEG2 のシステム、ビデオ、オーディオの各エンコーダを1チップに収めた、MPEG2 エンコーダ LSI の開発を行った。このエンコーダ LSI では、オーディオに関しては内部 CPU コア上で S/W によりエンコード処理を行う。

本稿では、このチップ開発の検証に関して、特に、オーディオ機能部分の検証方法について述べる。

2. オーディオ I/F 部概要

2-1 オーディオ I/F 部機能

本 LSI では、オーディオのエンコード自体は、内部 CPU コア上の S/W により処理し、MPEG1, AC-3, Linear-PCM の各オーディオフォーマットに対応している。

オーディオ I/F 部は、この内部 CPU コアでのエンコード処理に先だって、外部から入力されたオーディオデータのシリアル-パラレル変換、オーディオフレーム同期信号の生成、入力オーディオデータの CRC 生成、オーディオデータ用のバッファ制御を行う。

2-2 オーディオエンコード処理

図1に、今回開発した MPEG-2 エンコーダ LSI のオーディオエンコード処理におけるデータのフローを示す。

外部入力ピンより入力されたオーディオデータは、シリアル-パラレル変換された後、オーディオ I/F 部内にある FIFO に取り込まれ、外部に接続された

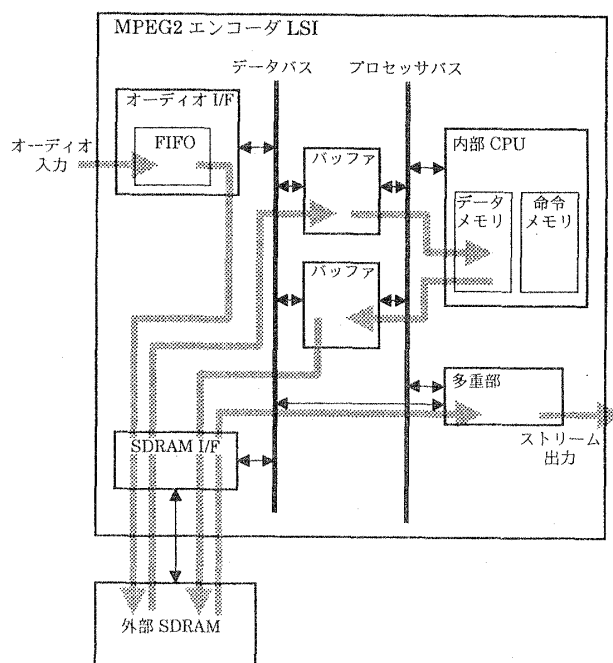


図1 オーディオデータフロー図

SDRAM に蓄積される。

SDRAM に蓄積されたデータは、バッファを経由して内部 CPU コア上のデータメモリに転送される。内部 CPU コアにおいてエンコード処理を行い、エンコードされたオーディオデータは、バッファ経由で再び外部 SDRAM に蓄積される。

オーディオ I/F 部では、外部からオーディオデータ取り込む際、オーディオフレーム同期信号を生成し、内部 CPU コアは、この同期信号に同期して各オーディオフレーム毎にオーディオエンコード処理を行う。

SDRAM に蓄積されたエンコード後のオーディオデータは、多重部にてビデオエンコードデータ等と多重化され、MPEG-2 のビットストリームとして外部に出力される。

A Single-Chip MPEG2 Encoder System LSI

- Verification of the Audio Functionality -

Kazumasa Suzuki, Takashi Hattori,

Koji Nakashima and Masaki Hashizume.

Mitsubishi Electric Corporation,

Information Technology R&D Center

5-1-1 Ofuna, Kamakura, Kanagawa, 247-8501, Japan

