

1チップMPEG2エンコーダシステムLSI

5H-1

—システムの概要—

中嶋宏知、鈴木和雅、服部孝、橋詰雅樹

三菱電機(株) 情報技術総合研究所

1 はじめに

DVDレコーダシステム、PCオーサリングシステム、デジタルTVシステムなど、デジタルデータのエンコードを行う応用分野がますます広がってきている。

今回我々は、MPEG2のシステム、ビデオ、オーディオの各エンコーダを1チップに収めたリアルタイムエンコーダLSIを開発したので、その構成と、主に内蔵プロセッサコア周辺の検証について報告する。

2 開発したチップについて

図1に本LSIの概略ブロック図を示す。このチップは、1チップでMPEG2のMP@MLのビデオエンコード、LPCM/AC-3/MPEG1のオーディオエンコード及びその多重処理をリアルタイムで実現するものである。

ビデオについては、ビデオエンコーダを中心としたH/Wによって処理が行われる。このビデオ部分についてはスケラビリティを考慮しており、複数のチップを使用することによりHDTVにも対応可能となっている。オーディオについては、当社で開発したVLIW型メディアプロセッサD30VをIP部品としてコアに採用し、D30Vコア上で動作するS/Wによってエン

コード処理を行っている。

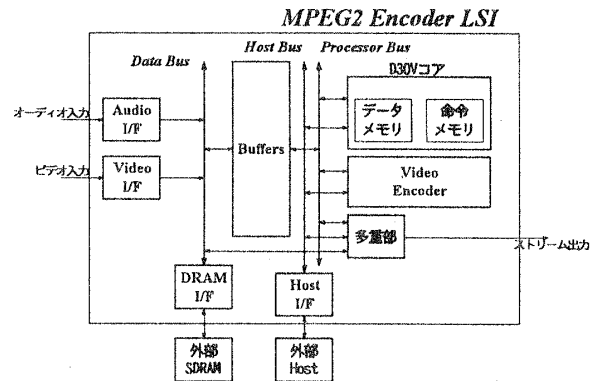


図1 本LSIのブロック図

以下に本LSIの諸元を挙げておく。

動作周波数	27/54/81MHz(D30V コア 162MHz)
チップサイズ	14.2mm x 14.2 mm (コア 5.4mm x 1.5mm)
メモリサイズ	約 128KB (命令メモリ 64KB、データメモリ 32KB 含む)
トランジスタ数	11million Tr
パッケージ	329ピンBGA

3 プロセッサコア周辺の検証

D30Vコア及び割り込み制御・ホストI/F等のプロセッサ周辺ブロックの検証は、開発期間短縮を目的に、まずD30V開発で用意された検証パターンをそのまま流用できるような設計とし、D30Vコアの組込みとほぼ同時にコアの確認完了するようにした。

次に、D30Vコアを中心にしてある程度動作が保証されたチップ全体の検証環境を構築し、割り込み制御・ホストI/F等を組み込むことで個々のブロック検証の手間を省くこととした。これらの作業により、ブロック検証用の環境構

The Architecture of a Single-Chip MPEG2 Encoder LSI

Koji Nakashima, Kazumasa Suzuki,
Takashi Hattori and Masaki Hashizume,
Mitsubishi Electric Corporation,
Information Technology R&D Center
5-1-1 Ofuna, Kamakura-City,
Kanagawa-Pref., 247-8501, Japan

築にかかる手間を省くことができ、また D30V コア上の S/W として検証パターンを作成することができた。

図 2 にプロセッサ周辺の検証で用いた環境の構成図を示す。

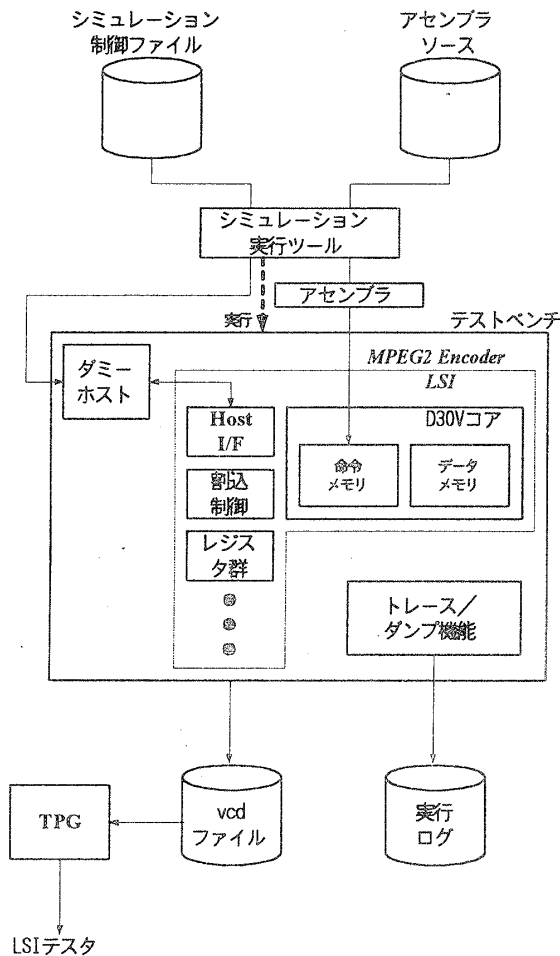


図 2 検証環境

D30V のアセンブラソースとしてコーディングされた検証パターンは、メモリイメージに変換されて、内部の命令メモリ及びデータメモリにダウンロードされる。

シミュレーション制御ファイルは、外部ホストの動作を模擬するもので、更に RTL シミュレータ、RTL のバージョン、シミュレーション時のダンプ/トレースポイントやオーディオ等の入力ファイルの指定など、シミュレーション全

体の動作制御を行う。このシミュレーション制御ファイルをシミュレーション実行ツールに渡すことで、その内容に従ってシミュレーションが実行される。

シミュレーション結果の確認には、各種ログやトレース情報を使用する。このとき生成される vcd ファイルから LSI テスタ用のパターンを得ることが可能である。

D30V コアの流用検証パターンは全 625 件、全サイクル数は約 6.5M サイクルであり、プロセッサコア周辺の検証パターンは全 270 件、全サイクル数は約 2.5M サイクルであった。すなわち、実際に作成した検証パターンはプロセッサコア周辺のものだけであり、開発期間短縮に寄与している。

4 おわりに

1 チップ MPEG2 エンコーダシステム LSI を開発し、そのプロセッサコア周辺の検証を行った。

今後更に LSI の集積度は向上し、それに伴ってもっと多くの機能を集積し複雑化した LSI が登場することが予想されるが、いかに工夫して LSI の機能を効率よく検証していくかがこれからの課題として挙げられる。

参考文献

- [1] T. Yoshida, et al., "A 2V 250MHz Multimedia Processor", Proc. IEEE ISSCC, pp. 266-267, Feb., 1997.
- [2] 佐藤 他; 「MPEG-2 422@HL エンコーダチップセットの開発」、信学会総合大会 D-11-154, 1999