

## 再構成可能デバイス RHW を用いたコプロセッサシステム

3H-10

犬尾 武 梶原 信樹 中谷 正吾 山内 宗

RWCP 適応デバイス NEC 研究室

### 1 はじめに

近年、ハードウェアの構造を問題に応じて最適に変えることによって、汎用プロセッサの柔軟性と専用プロセッサの高速性をあわせ持つ Reconfigurable Computing が注目を集めている。そこで、従来の FPGA(Field Programmable Gate Array) に対して、冗長性を排除し、演算性能及びアルゴリズムの高速なマッピング機能を強化することで、アルゴリズムに対して最適な演算器及びデータパスを構成し、高速に実行できる再構成可能デバイス RHW(Reconfigurable HardWare) の開発を進めている。

本報告では、開発した RHW2 を搭載したプロトタイプボード (*i* ボード) を用いたコプロセッサシステムの概要に関して述べる。

### 2 再構成可能デバイス RHW2

RHW2 は、図 1 に示すような構造である。データパスをマッピングするための、ALU を敷き詰めたメイン部がチップの大部分を占める。その周囲に制御系のマッピングに適した周辺部があり、外縁に外部と信号をやり取りする I/O 部がある。

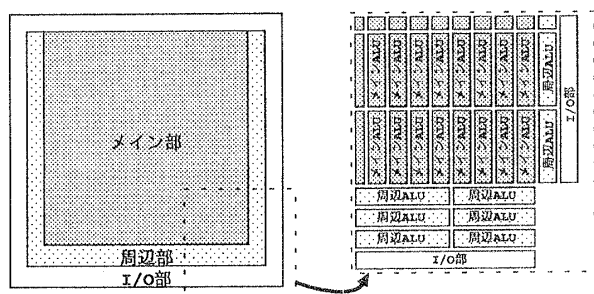


図 1: RHW2 全体構成図

RHW2 において効率的な処理をするためには、マッピングするアルゴリズムのデータフローに対

The coprocessor system with reconfigurable adaptive device RHW

Takeshi INUO, Nobuki KAJIHARA, Shogo NAKAYA and Tsukasa YAMAUCHI

RWCP Adaptive Device NEC Laboratory

して、可能な限り忠実にデータパスを構成し、データパス上の適切な場所に必要な演算器を配置する。これによって、従来のマイクロプロセッサのような load/store ネットを排除し、高速性を実現する。RHW2 は既存の FPGA と比べて、100 倍程度高速な再構成 (処理内容の変更) が可能である。また、再構成と実処理の瞬時切替えも可能である。RHW2 はメイン部に 9bit ALU を縦に 6 行、横に 63 列内蔵する。

### 3 コプロセッサシステム

多くの応用では、そのコードの一部に実行時間の大部分を費やす。この箇所を高速化するために、ホスト PC と協調動作可能なコプロセッサシステムの実現を目指している。プロセッサに不得意な部分を RHW2 に実行させることで全体の処理時間の短縮をはかる。

このコプロセッサシステムは、再構成データを生成し、ライブラリとして保存するためのツール等のプログラミング環境、及び再構成データライブラリを使用した応用プログラムが実動作時に使用する *i* ボードとそのドライバから成る (図 2)。ユーザは、RHW2 で実行させる処理をライブラリから選択し、応用を作成する。ユーザが再構成データを作成することもできる。

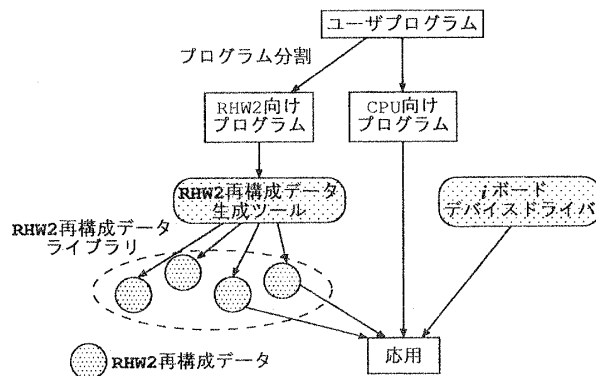


図 2: コプロセッサシステム

### 3.1 RHW2 のプログラミング環境

RHW2は再構成データをロードすることにより、応用に合わせてハードウェア構成を変えることができる。RHW2再構成データ生成ツールは、C言語で書かれたプログラムから機能合成、論理合成、配置配線等のコンパイラ・ツールを経て再構成データを生成し、ライブラリ化を行なう。C言語から再構成データを生成する過程は自動で行なう。ライブラリ化されたRHW2の再構成データは、実動作時に、応用からデバイスドライバを介してRHW2にロードされる。

### 3.2 プロトタイプボード (*i* ボード)

本コプロセッサシステム向けにRHW2を実装したPCIバス用のプロトタイプボード(*i* ボード)を開発した。*i* ボードは画像処理を中心とした汎用アクセラレータボードである。*i* ボードには2個のRHW2を実装しており、必要に応じて処理を割り当てる。図3はその概略図である。RHW2への入出力用のバッファや逐次データ処理用のシフトレジスタとしてのバッファ、ランダムデータ処理用のメモリをRHW2から利用できる。

*i* ボードのコア回路では、RHW2に対して、(1)再構成データを読み込ませる。(2)処理データを読み込ませる。(3)処理結果データを得る。という動作を行なう。さらに、データを*i* ボード上のバスでループバックさせることで、処理を終えたデータに対して連続して同様の、もしくは別の処理を行なうこともできる。*i* ボードは、時間的に処理内容が切り替わるような応用や、同一の処理を複数回実行するような応用に適する構造になっている。

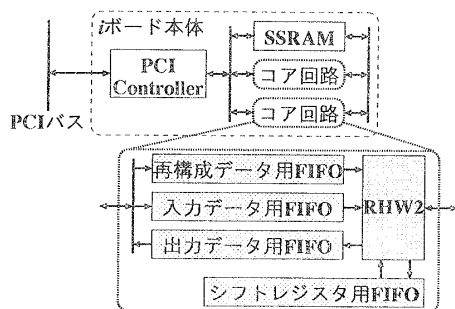


図 3: *i* ボード概略図

*i* ボードでは、RHW2で処理をさせるデータをPCIを介してDMA転送し、RHW2で処理を行なわせる。結果は割り込みでホストに通知し、

DMA転送する。RHW2での処理とDMA転送のオーバーラップ、及びCPUとの並列処理も可能である。

### 3.3 性能評価

本コプロセッサシステムの性能を評価するために、高次相関アルゴリズム処理(画像認識用の特徴抽出処理)を*i* ボードで行なわせた場合の性能予測を行なった。高次相関アルゴリズムをRHW2単体と他のプロセッサで実行させた場合、及び*i* ボードを用いた場合の処理時間の比較を表1に示す。*i* ボードの性能がRHW2単体よりも落ちているのは、一連のデータのDMA転送等のオーバーヘッドがあるためである。

表 1: 既存のプロセッサとRHW2の性能比較

対象 (MHz)	処理時間 * [ms]	相対比 **
Pentium II (400)	21.08	1
RHW2 (100)	0.66	31.9
RHW2 (33.3)	1.97	10.7
<i>i</i> ボード (33.3)	2.45	8.6

\* 1画像 (256x256) の処理時間

\*\* 1/処理時間

また、RHW2は高速な再構成が可能なので、次々に処理内容が変化するような応用や、複数の対象に対しての時分割処理が可能である。例えば、動画に対して、複数のフィルタリングと高次相関アルゴリズムの処理を実時間で実行することがRHW2を用いることで容易に可能になる。また、動画のエンコードやデコード、暗号化などの処理を専用のハードをそれぞれ使うことなく、*i* ボード1枚で代替することが可能となる。

## 4 まとめ

*i* ボードを用いたコプロセッサシステムに関して報告した。*i* ボードを用いることで、画像の特徴抽出処理がCPUに比べ8.6倍高速化できる。今後は、実際にRHW2を用いた評価を行ない、システムとしての性能を高めるとともに、評価結果をもとに、より汎用性の高いシステムの開発を進める。

### 参考文献

- [1] 山内 他, “適応デバイス RHW の概要とマッピング手法”, 電子情報通信学会 VLSI 設計技術 VLD98-42, pp.39-46 (1998)
- [2] 犬尾 他, “再構成可能適応型デバイスプロトタイプチップ RHW1 の開発と検証”, 情報処理全国大会 1Q-06 (1998.10)