

1H-10

教育向け RISC 型プロセッサ MITEC - II におけるメモリ管理ユニットの開発*

清水 彩[†] 石川 知雄[‡]
武蔵工業大学[‡]

1 はじめに

本大学修士過程において、RISC 型プロセッサのアーキテクチャ及び設計手法を学習することを目的とした演習が行われている。その演習を行うに当たり限られた時間内での効率の良い学習及び学生の過度の負担への考慮より、RISC 型プロセッサ MITEC - I (Musashi Institute of Technology Educational Computer) が開発された。そのプロセッサはハードウェア記述言語 VHDL による開発及び FPGA 上への実装を行っている。そのため、内部構造の変更が可能という特徴を持ち合わせている。

しかし、最近のプロセッサのさらなる高性能化に対応した教育が望まれおり、MITEC - I のアップグレードの必要が生じた。そこで本研究では MITEC - I では構築されていなかった記憶階層の導入を MITEC - II において行い教育向けメモリ管理ユニットの開発を行う。

2 教育用メモリ管理ユニット

MITEC - II では5段のパイプラインステージにより命令が実行される。本研究は IF ステージ（命令フェッチステージ）、MEM ステージ（メモリアクセスステージ）で行われるメモリアクセスに伴うすべての事柄をカバーする。

MITEC - II では資源競合による構造ハザードを回避するため及びバンド幅を拡大するため、ハーバードアーキテクチャを採用している。以下メモリ管理ユニットによって管理されている命令/データ TLB (translation lookaside buffer)、命令/データキャッシュ及び主記憶について述べる。

2.1 TLB

MITEC - II の TLB の諸元を表 1 に示す。命

ブロックサイズ	4 バイト
ヒット時間	0.5 クロックサイクル
ミスペナルティ	4 ~ 12 クロックサイクル
TLB 容量	32 エントリ
アドレス割当方式	フルアソシアティブ方式
置換え方式	FIFO 方式

表 1: MITEC - II における TLB の諸元 (20MHZ)

令 TLB は PC (プログラムカウンタ) の値が更新されるごとに、データ TLB は ALU から出力されるデータアドレスが更新されるごとにアクセスされ仮想ページ番号による並列検査を行う。並列検査は有効ビットがオンかつ、PC から出力された仮想ページ番号と TLB のタグが一致したならヒットと判断する。

TLB ヒットまたは、ミスと判定する信号は 1 ビットで構成する。1 エントリ中、仮想ページ番号とタグの比較結果が一致した場合 '1' を出力する信号と有効ビットの AND をとりさらに 32 エントリすべての比較結果の OR をとる。さらにデータ TLB には変更ビットが付加されている。ストア命令によりそのページに変更があった場合、'1' が書き込まれる。

ヒットと判定されると、物理アドレスが生成される。ここまでの動作は 0.5 クロックサイクルで完了する。ミスと判定されると、CPU に wait をかけ、TLB ミス処理を行う。仮想ページ番号とページ表レジスタの値により、主記憶に常駐するページ表にアクセスする。参照結果は MMU 内にロードされ、ページ表の有効ビットがオフである場合、ページフォールトであり例外発生信号を CPU に送出する。TLB のタグがヒットしても有効ビットがオフである場合は、一度主記憶にロードされても再び

*Development of the Memory Management Unit RISC Processor MITEC-II for Educational

[†]Aya Shimizu, Tomo Isikawa

[‡]Musashi Institute of Technology

下位層に戻されたページであるため、ページフォールトである。

ページ表の有効ビットがオンである場合、ページヒットであるので TLB の有効ビットをオンにし、タグに PC の仮想ページ番号、データにページ表参照結果をコピーする。次の TLB ミスが生じた場合書き込むエントリのポインタの更新を同時に行う。

MITEC - II では CPU が例外処理に移行したことを PC の値で MMU は認識する。例外処理プログラムは主記憶に常駐しているため、TLB ミスとは関係せず、したがって wait が生じるのはキャッシュミスの場合だけである。ページフォールト例外処理から回復するとページ表の有効ビットはオンになっているため、その後はページヒットの TLB ミス処理が行われる。

2.2 キャッシュ

キャッシュの諸元を表 2 に示す。命令/データ

ブロックサイズ	16 バイト
ヒット時間	0.5 クロックサイクル
ミスペナルティ	2 ~ 29 クロックサイクル
キャッシュ容量	各 16K バイト
アドレス割当方式	ダイレクトマップ方式
書き込み方式	ライトバック方式

表 2: MITEC - II におけるキャッシュの諸元

TLB ヒットと判定された場合、クロックの立ち下がりに同期してキャッシュヒットか判定を行い、ヒットした場合、アドレスとリード/ライト制御信号が出力される。命令 TLB ヒットの結果より得られた物理アドレスの下位であるインデックス番号によって、有効ビットとアドレス上位であるタグの一致検査が行われる。

命令/データキャッシュヒットと判定された場合、命令/ロードデータは MMU に取り込まれず、クロックの立ち上りで CPU がそれを受け取る。すなわち、ヒット時 MMU は命令データバスを解放する。データキャッシュヒットと判定された場合、ストア命令実行時は MMU はデータデータバスを解放し、ロード命令実行時は接続する。各キャッシュのミス時は命令データバス、データデータバスは接続し続ける。

ミスした当該命令及びデータを含む 4 つの命令が 1 回のミスで主記憶よりロードされる単位である。有効ビット、変更ビット及びアドレスタグが 16 バイトごとに付加される。主記憶から一時的に MMU

に 4 つの命令及びロードデータを保持し、キャッシュのブロック内アドレスの小さい順に、命令データ、ロードデータが書き込まれる。置換えの対象になるデータの変更ビットが '1' の場合主記憶に書き込みを行う。この場合、書き込みデータをバッファに書き込み、wait を解除する。タグと有効ビットの更新は、キャッシュに当該命令及びデータをロード完了時点で行う。

2.3 主記憶

主記憶は DRAM 素子で構成されているため、リフレッシュは最優先動作である。この動作は一定間隔行われなくてはならないため、カウンタを設けて制御する。命令/データ TLB 及び命令/データキャッシュミスが発生した場合、ミスとリフレッシュの衝突を回避する。すなわち、主記憶にアクセスできるカウンタ値を定め、その値以上の場合、リフレッシュ終了後再開する。

また、命令 TLB、データ TLB ミスが同時に発生するまたは、命令キャッシュ、データキャッシュミスが同時に発生する可能性がある。その場合 MEM ステージの命令は先行命令であるため、データ TLB、データキャッシュミス処理が優先される。

2.4 教育向けの配慮事項

学生個人で作成したプログラムの 1 実行命令当たりの平均メモリ参照回数、平均ミス回数ミス率、総ミスペナルティを求められるようになっている。これらの数値を求めるために、命令キャッシュ、データキャッシュ、主記憶にアクセスした回数、主記憶にアクセスしている間の各クロック数ををカウントするカウンタを付加した。

また TLB 容量、キャッシュ容量 (256K バイトまで) は可変であり、容量に関する考察を学生ができるようにした。

3 おわりに

本稿では、MMU によって管理されている命令/データ TLB、命令/データキャッシュについて述べた。TLB/キャッシュミス、ページフォールトにおいて詳細な処理の考察を行った。今後教育向けの機能をさらに充実させる。

参考文献

- [1] 豊島 俊 他:教育用プロセッサ MITEC - I のサポートシステム, 情報処理学会, 53 回大会論文集, 4G-6, 1996.