

## 教育用 RISC プロセッサ MITEC-II \*

1H-9

平柳 和也 石川 知雄†  
武蔵工業大学 工学研究科‡

1999年9月28日

## 1 はじめに

近年コンピュータアーキテクチャは急速に発展しており、大学院・大学におけるコンピュータアーキテクチャ教育もより重要になってきている。本研究室では以上の事を考慮し、教育用としてのプロセッサ MITEC-I をすでに開発している。しかしこのプロセッサは 16Bit RISC プロセッサであり、また機能的にも制限の多いものであった。

MITEC-II プロセッサは MITEC-I プロセッサの抱える問題点を考慮し、新たに開発したプロセッサである。

## 2 MITEC-I プロセッサ

MITEC-I プロセッサは本研究室独自のアーキテクチャであり、以下の特徴をもっている。

- ・ 5 段命令パイプラインを持つ 16bit RISC プロセッサ
- ・ 16bit 固定長命令
- ・ 128Kbyte(64Kword) のメモリ空間
- ・ 1クロック 1命令の実行(ハザード等を除く)
- ・ 遅延分岐による分岐
- ・ VHDL により設計を行い、FPGA により実現

FPGA(Field Programmable Gate Array) デバイスを用いる事によって内部論理の変更が可能で、演習で自由にプロセッサを改造することが出来る。MITEC-I プロセッサは RS232C, LCD ディスプレイ, パラレルポートインターフェース及び DMA を装備した実験ボードに載せられ、BIOS, Monitor, アセンブラ, コンパイラ等の環境が整えられている。現在大学院での演習に使用している。そして、MITEC-I プ

ロセッサについていくつかの問題点、要望点が挙げられている。

- ・ 動作中の内部の信号を外部から実際に観測したい
  - ・ キャッシュ, 仮想記憶等のメモリシステムに対応していない
  - ・ 16bit 処理のため, 拡張性, メモリ空間の面で 32bit 化が望まれる
  - ・ 割り込み等の機能が貧弱である
- 以上の事から新プロセッサの開発が必要となった。

## 3 MITEC-II プロセッサについて

MITEC-II プロセッサは MITEC-I プロセッサの基本アーキテクチャを継承しつつ, 上で述べた問題点を改善しより高機能で教育用にも適したプロセッサを目指したものである。

## 3.1 内部ステータス信号の出力

MITEC-II プロセッサは, CPU 内部の動作に関わる重要な信号を外部に出力している。この信号をロジックアナライザ等でモニタすることにより, 実際に動作しているプロセッサ内部の状態を外部から詳細に観測する事が可能となる。この機能により, 演習, プロセッサの性能評価, 種々のアーキテクチャの動作の比較等の利用が考えられる。

## 3.2 32bit 化

MITEC-I プロセッサは 16bit 内部処理であったが, MITEC-II プロセッサは 32bit 処理と拡張されている。これにより命令コードの拡張性や, メモリアクセスに対する柔軟性等が MITEC-I プロセッサに対して改善される。また現在本プロセッサをコアにしたシステム LSI(画像関係)の構想が研究室で提案されているが, それらに対応するためにも 32bit

\* Educational RISC processor "MITEC-II"

† Kazuya Hirayanagi, Tomoo Ishikawa

‡ Reserch Division in Engineering  
Musashi Institute of Technology

1-28-1 Tamatutumi, Setagaya-ku, Tokyo 158-8557, Japan

化は必要不可欠であった。

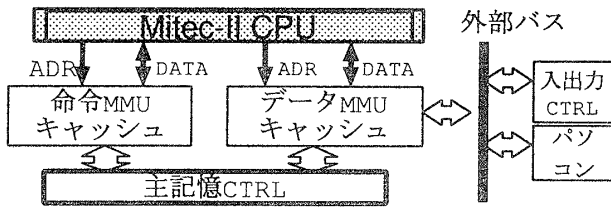


図 1: 基本構成

### 3.3 メモリシステム

MITEC-II プロセッサは、特にメモリ関係について MITEC-I プロセッサに比べて大幅に改善がなされている。まず、記憶空間が大幅に拡張された点である。MITEC-I では 128Kbyte であったが、MITEC-II では 4Gbyte となっている。これにより大規模なプログラムを実行させる事ができる。MITEC-II システムの基本構成を図 1 に示す。このようにメモリ管理ユニット (MMU) とキャッシュメモリが CPU 外部にあり、仮想アドレス変換やキャッシュタグ検査等はこの MMU が行っている。MMU・キャッシュを外部に設ける事で、仮想アドレスへの変換やキャッシュへのアクセスの動作を外部から観測できる。また、MMU 自身も内部のステータス信号を外部に出力するため MMU の詳細な動作を観測可能である。但しメモリシステムの演習を行わず CPU コア自体の動作を見たい場合や小規模で単純なシステムを構築したい場合は、MMU を用いずに CPU コアから直接 SRAM にアクセスする方法をとる。この時 CPU はハーバードアーキテクチャをとっているため Dual Port SRAM を用いる。

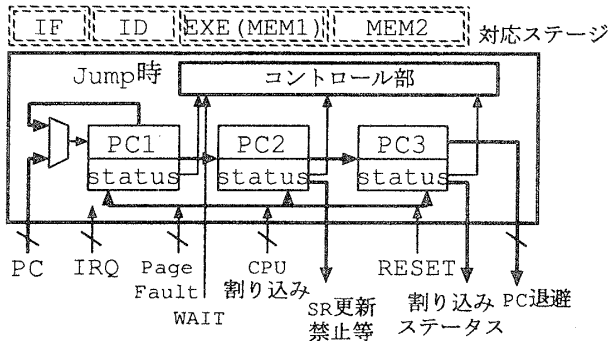


図 2: 割り込みコントロール

### 3.4 割り込み

MITEC-I プロセッサの割り込みは、外部機器の割り込み及びソフトウェアによる割り込みしか対応

していない。そこで MITEC-II では仮想記憶等の機能を有し、また後に述べるシステム LSI にも対応させるため、より割り込み機能を充実させている。図 2 に割り込みコントローラを示す。この割り込みコントローラは割り込みを検知するとすぐに命令のフェッチがストップされる。ここでシステムはパイプライン化されているため、割り込みが生じる前のステージにある命令は実行が継続される。つまり、割り込みが生じたらすぐに割り込み処理へ移るのではなく、割り込み発生以前の命令の実行が完了してから割り込み処理に移る。このため、各ステージにそのステージの命令の PC の値を保持する必要がある。実際に処理に移るのはパイプラインの 4 段目となっている。

### 3.5 MITEC-II プロセッサの応用

MITEC-II プロセッサは単純なアーキテクチャで拡張性が高い点、大規模な FPGA を採用している点から MITEC-II コアを利用した応用が現在本研究室で提案されている。その例の一つとして、画像用に適したプロセッサへの応用が考えられている。

## 4 おわりに

現在 MITEC-II プロセッサはプロトタイプ版の機能シミュレーションが終了し、論理合成、配置配線を行っている段階である。また、現在 MMU を除いたプロトタイプボードを並行して設計している。プロトタイプボードにプロセッサを実装させ、十分なテストを行ったのち最終的なシステムを構築する予定である。その際、ソフトウェア環境の整備も並行して行っていく。

## 参考文献

- [1] 豊島 俊 他:「教育用プロセッサ MITEC-I のサポートシステム」, 情報処理学会 第 53 回大会論文集, 4G-6 1996
- [2] Davit A.Patterson, John L.Hennessy (成田 光彰 訳): 「コンピュータの構成と設計 上巻 下巻」, 1996 日経 BP 社
- [3] Davit A.Patterson, John L.Hennessy : 「コンピュータ・アーキテクチャ—設計・実現・評価の定量的アプローチ—」, 1996 日経 BP 社