

VHDL による KITE マイクロプロセッサの設計と試作

1H-8

上平 祥嗣 田中 義久 山崎 勝弘  
立命館大学大学院理工学研究科

1 はじめに

KITE マイクロプロセッサを VHDL で設計して、LSI 化した過程について報告する。KITE-I アーキテクチャ、EDA ツール、及び FPGA での動作検証に関して述べる。また、VDEC を利用した LSI 設計に関して述べる。

2 KITE マイクロプロセッサ

KITE-I マイクロプロセッサは、KITE マイクロプロセッサボード用に設計された教育用 CPU であり、設計・実装を考慮した簡単なアーキテクチャ構成となっている。また、C コンパイラやアセンブラ・シミュレータなどの支援ソフトウェアが充実しているため、実装過程の学習に適している。

2.1 KITE-I アーキテクチャ[1]

KITE-I は 16bit データバス、12bit アドレスバス、4 ユーザレジスタ、命令数 31 命令、5 アドレッシング・モード、などとなっている。

2.2 KITE CPU 内部構造

CPU の内部構造は図 1 に示すように、大きく分けて 4 つのユニットに分かれる。

- ALU…加減算やシフト演算・論理演算などを行う。ロード・ストア命令などのアドレス計算にも使用される。
- レジスタ…合計 7 本、ユーザレジスタ 4 本
- メモリ入出力ユニット(MMU)…メモリ及び I/O ポートの読み出し・書き込みを行う。
- シーケンサ…命令語をデコードし、他のユニットに指令を出す。

それぞれのユニットはデータバスで接続されており、ユニット間のデータのやりとりはすべてこのデータバスを介して行われる。また、シーケンサから他のユニットへ制御信号が接続されている。

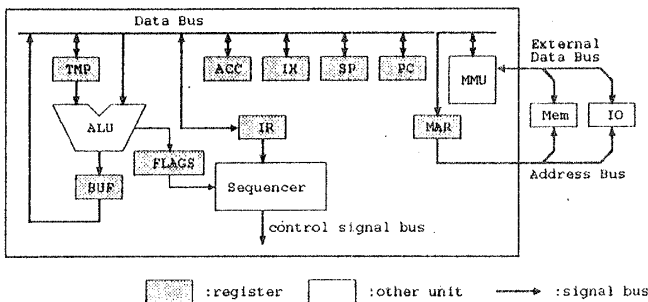


図 1 KITE CPU のブロック図

2.3 KITE マイクロプロセッサ・ボード

KITE マイクロプロセッサ・ボードは、LSI の設計教育を目的に開発されたボードコンピュータである[2]。KITE ボードには、通常の CPU の代わりに FPGA が搭載されており、FPGA を独自の LSI として動作させることで、設計から実装・動作検証などをすばやく行えるという特徴を持っている。また、KITE ボード上には多くの LED 数値ディスプレイ・LED ランプなどが搭載されており、FPGA の内部状態が観測可能である。

3 FPGA 上への実装

KITE CPU を LSI 化する前に、まず FPGA 上での動作を目指した。図 2 にその作業の流れを示す。

3.1 設計

CPU を VHDL で記述する。CPU の記述は量が多くなるため、一つのファイルに全ソースを書き上げるのは現実的ではない。幸い、VHDL は階層構造記述をサポートするので、コンポーネント毎に分割して記述した。

3.2 シミュレーション

シミュレーション用 VHDL コンパイラ(Synopsys 社 DesignAnalyzer)でコンパイルし、シミュレーションを行う。シミュレーション結果は、シミュレーションツールが出力した信号の波形で確認した。レジスタの動作確認や ALU のフラグ出力などをテストし、多くのバグをこの時点で修正することが出来た。

3.3 論理合成

FPGA 用 VHDL コンパイラ(Synopsys 社 Design Compiler)でコンパイルし、ネットリストを生成する。このネットリストを Xilinx 社 XACT (xmake)を用いてハードウェア構成データ(ビットストリーム)を生成した。VHDL 記述が悪いと、xmake の段階で失敗することが頻繁に起こり、原因の究明に時間がかかった。

3.4 動作検証

ハードウェア構成データを FPGA にダウンロードして動作検証を行う。実際に C コンパイラやアセンブラを使用して、バブルソート等のプログラムを数個作成し、実行結果が正しいかどうかを確認した。

4 LSI 試作

LSI を試作するにあたっては、VDEC の LSI 試作サービスを利用する。VDEC は教育機関向けに非常に安価に LSI 試作を実施しており、今回我々はローム(株)の 4.5mm

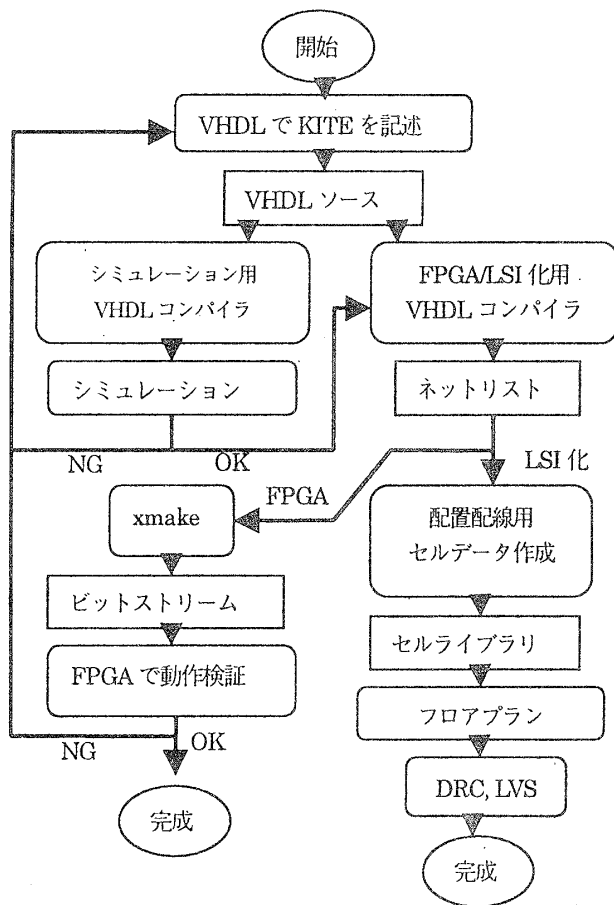


図2 KITE CPU設計の流れ

角 CMOS プロセスルール  $0.6\mu\text{m}$  のチップ試作に参加した。

#### 4.1 設計修正

基本的には、FPGA用 KITE CPU の VHDL をそのまま利用するが、若干の設計変更を行っている。具体的には、IO ピン数が FPGA(191)と LSI(160)とで異なるため、レジスタ観測用信号をいくつか削除することで対応した。また、院生 2 人がそれぞれ独立に 1 つの KITE CPU を設計したため、2 人分の KITE CPU を結合して、動作させる CPU をマルチプレクサにより選択できるようにした。

#### 4.2 フロアプラン

LSI 化において最も中心的な作業となるフロアプランを Avant!社 Apollo を用いて行う。作業の多くはツールにより自動化されており、電源リングの生成や、セルの密集度を決定する最適なパラメータを探すこと、などが主な作業になる。パッドやそれへの配線部分を除くチップの使用面積は、およそ  $2.4\text{mm}^2$  ほどであった。

#### 4.3 DRC, LVS

フロアプランによって生成したマスクデータの正当性を

検証する。マスクデータが図形的に規制に合ったものであるか(DRC)、回路が正しいかどうか(LVS)、の二段階に分けて行う。デジタル回路設計においては、DRC や LVS のエラーが起こることは少ないようである。本試作でも、VDEC から提供されたライブラリが原因と見られる warning しか発生しなかった。

#### 4.4 LSI の動作検証

LSI を実際に動作させるためには、LSI 以外の周辺回路(メモリなど)が必要であるが、今回の試作では、KITE ボードをそのまま利用することにした。具体的には KITE ボード上の FPGA を抜き取り、FPGA のソケット(PGA224)と LSI のパッケージ(QFP160)を変換するデータボードを作成し、本ボード上で動作検証を行う。

### 5 設計・実装結果

KITE CPU の設計・実装に要した期間を表 1 に示す。VHDL の習得、ツールのインストールや使用方法の習得期間は含んでいないが、実際にはそれらの時間がかなり長い。

表 1 設計・実装期間

	VHDL 記述	シミュレーション	論理合成	配置・配線	DRC, LVS	動作検証
FPGA	30 人日	10 人日	15 人日	5 人日	----	10 人日
LSI	10 人日	2 人日	5 人日	10 人日	2 人日	----

次に、KITE CPU の実装規模を表 2 に示す。FPGA 版の設計は 2 人が別々に 1 つの CPU を設計したため、それぞれの回路規模を示す。LSI 化の際には 2 人分の CPU を結合した。

表 2 プロセッサの実装規模

プロセッサ	VHDL 記述量	回路規模	使用端子数
FPGA (1)	1821 行	268CLB	131 本
FPGA (2)	1173 行	280CLB	131 本
LSI	3224 行	約 13,000 ゲート	87 本

### 6 おわりに

今回はツールのセットアップや使用方法の学習などで、すべての工程に 1 年半ほど費やしたが、正味の作業期間は 2 ヶ月ほどである。本稿執筆時点でチップの完成品は届いておらず、届き次第動作検証を行う予定である。

#### 参考文献

- [1] KITE マイクロプロセッサ リファレンス・マニュアル Version1.00, 九州計測器株式会社, 1993.
- [2] KITE マイクロプロセッサボード PLUS+ 取扱説明書 Version1.00, 九州計測器株式会社, Apr.1995.
- [3] 久我, 末吉: "教育用 16 ビットマイクロプロセッサの設計・実装事例". 平成 9 年度電気関係学会九州支部連合大会論文 107, p.7, 1997.