

教育用プロセッサ MITEC-I を用いた演習の環境の開発

2H-1

本田 喜久 石川 知雄

武蔵工業大学情報通信研究室

1 はじめに

近年、書き換え可能なデバイス FPGA(Field Programmable Gate Array) とハードウェア記述言語の出現により、ハードウェアをより身近に開発することが可能となってきた。

そこで、FPGA を用いた論理回路設計・製作を通じて、ハードウェアの理解と設計経験を深めることを目的とした演習が提案され、演習用のプロセッサとして MITEC-I(Musashi Institute of Technology-Educational Computer) が開発された。本研究は、このプロセッサ MITEC-I を用いた演習を行うための環境を開発することを目的とする。

2 演習概要

この演習は、プロセッサの設計・製作を通してコンピュータハードウェアを深く理解し、アーキテクチャ設計の技術を身に付けると共に、現代的な LSI 設計手法を経験させることが目的である。

よって演習は大きく分けて第1期、第2期と2つの段階を設けて徐々に高度な内容を扱う。以下にそれぞれの段階の演習内容について示す。

第1期演習

MITEC-I のアーキテクチャを理解させることを目的としている。演習内容は、MITEC アセンブラによってプログラムを作成、そのプログラムを PC 上でクロスアセンブルして MITEC ボードでのプログラムの実行及び動作確認を行う。また、MITEC の性能改善案の考察を行う。

第2期演習

MITEC-I を改良し動作確認を行う事を目的とする。演習内容は、各自検討した MITEC-I の改善案に基づいて VHDL(VHSIC Hardware description language) ソースを書き換え MITEC-I アーキテクチャを改良し、動作の確認を行う。また、改造を行った結果の性能への影響についての考察を行う。

A Development Seminar Environment using Educational Processor 'MITEC-I'

Yukihisa Honda, Tomo Ishikawa

Musashi Institute of Technology

3 プロセッサ MITEC-I

MITEC-I は大学院生を対象とした演習用として提案され開発された 16bit RISC 型マイクロプロセッサである。アーキテクチャは VHDL によって記述され FPGA に実装されている。

MITEC-I のアーキテクチャ概要

- アドレスバス 16bit, データバス 16bit, 1ワード 16bit, ワードアドレッシング
- レジスタ (16bit)16 本 (汎用 10 本, システム 6 本), 16bit ALU
- 5 段パイプライン, 遅延分岐
- 16bit 固定長命令, 命令 39 種, ロードストアアーキテクチャ

4 MITEC サポートシステムの開発

MITEC-I を実機上で動作させ、演習で利用するために以下のような環境 (MITEC サポートシステム) の開発を行った。

このシステムはホストコンピュータ (PC) と MITEC-I を搭載する MITEC ボードを中心に構成され PC 側には MITEC アセンブラ, MITEC ボード側には MITEC-BIOS, MITEC-Monitor といったソフトウェアを用意している。一般的なワンボードマイコンのプログラミング環境と同じように PC 上でプログラミングし、MITEC ボードにダウンロードして実行するといった形態をとる。

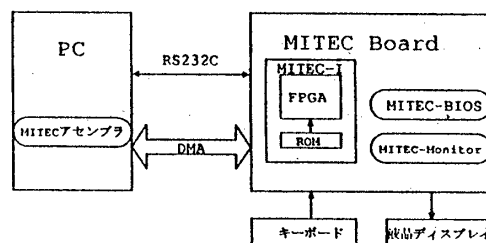


図 1: MITEC サポートシステムの構成

5 新たな要求

以上のシステムを使用し演習を行ったところ、以下のような新たな要求が浮上した。

- 第2期で改良前と改良後のプロセッサの性能を評価する機構
- 第2期の演習で命令を追加する場合、演習者が理解しやすい機構が必要
- プロセッサ内部ステータスの表示
- ハードウェア割り込みに拡張が必要

5.1 性能評価法

MITEC-I 演習の第2期では改良案の検討を行い、それにともないプロセッサの改良を行う。そこで、プロセッサを改良した後どのように機能が改善されたか、といった性能を評価する機構が必要となってくる。以下にその評価方法について示す。

シミュレーションによる性能評価

市販のシミュレーションツールである Vantage Optium を利用して性能評価を行う。Vantage を利用する上でまず、実機と同様の動作を行うように MITEC-Board とメモリを VHDL によって記述した。この2つと MITEC-I と結合させることで実機を仮想的に PC 上に作成することが出来る。そして、テストプログラムを作成し、これを用いて改良前と改良後のシミュレーションを行い、プログラム開始から終了までの時間もしくはクロックを測定する。

タイマを用いた性能評価

外部にタイマを作成し、プログラムの開始から終了までのクロック数をカウントすることにより実機上で性能評価を行う。タイマの起動、終了といった制御については、IO 命令を利用する。

5.2 MITEC パッケージの作成

MITEC-I 演習の第2期で MITEC-I の改良において、新しい命令の追加が予想される。そこで新しい命令を追加する場合に演習者が理解しやすいように MITEC パッケージを作成した。この MITEC パッケージは MITEC-I の全ての命令と、制御信号の関数がまとめられている。そこで、演習者はこの MITEC パッケージに新しい命令を追加することで、新しい命令を作成することができる。

5.3 内部ステータスの出力

演習において、プログラムの実行中のプロセッサの内部の動作を知ることは、MITEC-I を理解する上でかなりのプラスとなる。しかし現在の MITEC-I には内部の信号(レジスタ、制御信号等)

を外部に出力する機構が存在しない。そこで、FPGA 内部に内部信号出力機構を作成し、外部からの制御信号により、任意のレジスタもしくは制御信号を出力する。

5.4 割り込み機構の改良

MITEC-I にはソフトウェア割り込み1種、ハードウェア割り込み2種(NMI,IRQ)用意されている。そこでハードウェア割り込みのうち IRQ を拡張し、複数の割り込みを処理できるように次のように改良した。

まず、割り込みが生じると、フリップフロップの値により分岐先アドレスに変換し、データバスの下位8ビットに格納し、プロセッサに送る。図2に割り込み機構を示す。

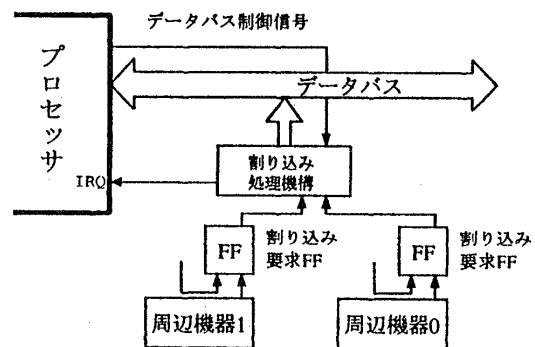


図2: 割り込みの処理

割り込み処理機構は PLD 等のデバイスで作成し、割り込みが生じた場合の分岐先アドレスを可変にできる。

6 まとめ

ここで開発したサポートシステム及び、演習の周辺環境を使用して MITEC 演習を行なう。今回は本学大学院生4人に演習を行ってもらった。今後、演習結果について検討を行ない、さらに必要となる演習環境についての開発を行なって行く。

6.1 今後の方針

- 実際にこれらの装置を使用し演習を行ない新たな改良点について検討
- 演習結果を考察し演習がスムーズに行えるための周辺環境の構築

参考文献

- [1] 豊島 俊 他:教育用 RISC 型マイクロプロセッサ MITEC-I の開発及び、MITEC-I を用いた演習の実施, 情報処理学会, 第56回大会論文集, 4N-3, 1998.