

## FPGAベース並列マシンRASHのシステム機能と構成

1H-9 浅見廣愛<sup>i)</sup>、佐藤裕幸<sup>i)</sup>、飯田全広<sup>ii)</sup>、森伯郎<sup>iii)</sup>、中島克人<sup>i)</sup>

i)三菱電機（株）情報技術総合研究所、ii)三菱電機エンジニアリング（株）

iii)三菱電機（株）鎌倉製作所

## 1 はじめに

FPGAベース並列マシンRASHは、専用LSIを用いる場合に近い性能が得られ、かつハードウェアの柔軟性も確保できることを考慮して、FPGA(Field Programmable Gate Array)を多数使用した並列マシンである[1]。本稿では、このRASHのシステム機能について報告する。

## 2 RASH システムの特長

RASHは、その構成要素をFPGAとすることで、専用LSIを用いた場合に近い非常に高速な処理が可能であるという特長を持っているが、その他にシステムとして見た場合には、以下のような特長を持っている。

## ● シングル・システム

RASHは、複数のユニットがLANで接続されたシステムであり、WS/PCクラスタと同様の形態を取っているが、システム全体の立ち上げ、立ち下げ、異常監視などの機能を提供しており、ユーザは1つのシステムとして扱うことができる。また、各ユニットの接続がLANなので、それぞれのユニットが物理的に離れた場所に配置されていても構わない。

## ● マルチユーザ

複数ユニットで構成されたRASHは高価なシステムとなり、効率的に使用できるようにしなければならない。そのため、複数のユーザが同時にシステムを使用できるようになっている。ただし、1つのユニット内は1人が占有する形態を取り、ユニット単位でのマルチユーザとなっている。

## ● ソフトと論理回路との協調動作支援

RASHでは、FPGA上の論理回路(これをPEと称する)が高速性を要求される処理を行い、それ以外の実行制御のような処理をソフトウェアにより行う。このソフトウェアとPEとの間で、データ通信を行ったり負荷分散を行うための協調動作を支援する機能を提供している。

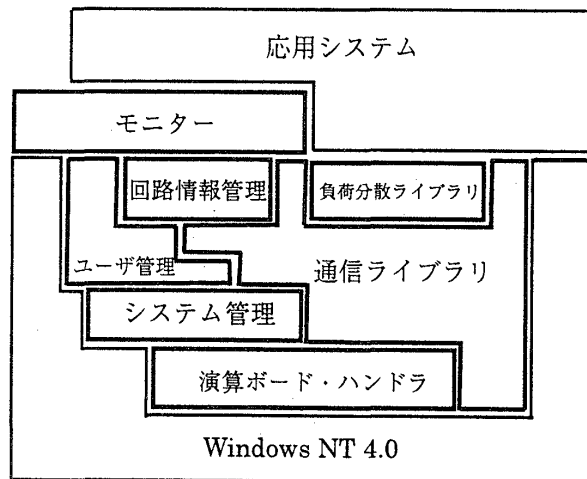


図1 システム構成

## 3 RASH のシステム構成

図1にRASHのソフトウェア・システムの構成を示す。

## ● 演算ボード・ハンドラ

演算ボード上のレジスタ、メモリへのアクセス、各種初期化、データ転送、クロック制御、FPGAの回路情報制御、例外処理等の演算ボードへの操作全てを受け持つ。

## ● システム管理

システムが、どのようなユニットから構成され、それぞれが幾つの演算ボードで構成されているかを管理する。ユーザはユニットの識別を「番号」で行い、本モジュールでその番号から物理的なアドレス(制御ボードCPUのノード名等)に変換する。

## ● ユーザ管理

各ユーザがどのユニット群を使用しているかを管理する。ユーザが使用するユニット番号はユーザ毎の論理番号であり、論理番号から物理番号への変換をここで実施する。

## ● 通信ライブラリ

FEPから制御ボードCPU及び演算ボードへの通信、制御ボードCPU同士の通信機能をライブラリの形式で提供している。

## ● 回路情報管理

各FPGA上にどのような回路がロードされているかを管理し、それを表示したり変更できるGUI

## System Functions and Structure of the FPGA based Parallel Machine RASH

Hiroai Asami, Hiroyuki Sato, Masahiro Iida, Hakuro Mori, Katsuto Nakajima.

Mitsubishi Electric Corp &amp; Mitsubishi Electric Engineering Co.LTD.

5-1-1 Ofuna, Kamakura, Kanagawa 247-8501, Japan

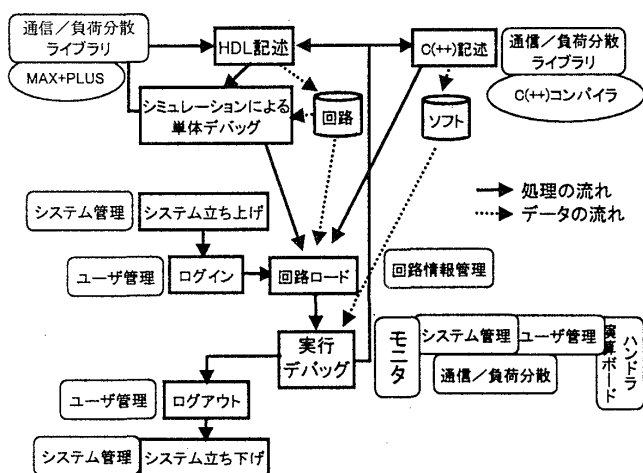


図 2 処理の流れと関連モジュール

を提供している。

● 負荷分散ライブラリ

ソフトウェア側から各 FPGA 上の PE に負荷をまんべんなく送る機能をライブラリの形式で提供している。負荷分散の形態として、データ量とそれに対応する処理量が比例するような場合に利用できるソフト主導型(ソフトから定期的に負荷を分散する)のものと、データ量と処理量が無関係の場合や処理の進行によりに処理量が変化するような場合に利用できる PE 主導 (PE からの要求により負荷を分散する)のものがある。

● モニター

システムの状態表示や各演算ボード内のハードウェア資源の状態表示、変更を行う GUI である。RASH への操作は、全てこのモニターを介して行われる。

図 2 に、RASH におけるプログラム及び論理回路の開発の流れとそれぞれに関連するモジュールを示す。このように RASH では、論理回路の開発とソフトウェアの開発を連携して同時に行っていく。

### 4 論理回路との協調動作支援機能

RASH では、FPGA 上に自由にユーザの作成した論理回路を搭載することができるので、どのような回路が載るのか事前に分からない。従って、ソフトウェアから直接 FPGA 上の論理回路にアクセスすることができない。そのため、ソフトウェアと PE は、演算ボード上のローカルメモリ空間を介して、情報の交換を行う。このローカルメモリは、制御ボード CPU からは、PCI メモリ空間としてアクセスすることができる。なお、論理的な通信の枠組みとしては、以下の 2 種類が用意されている。

1. 直接ソフトウェアが演算ボード上のローカルメモリをアクセスする方法

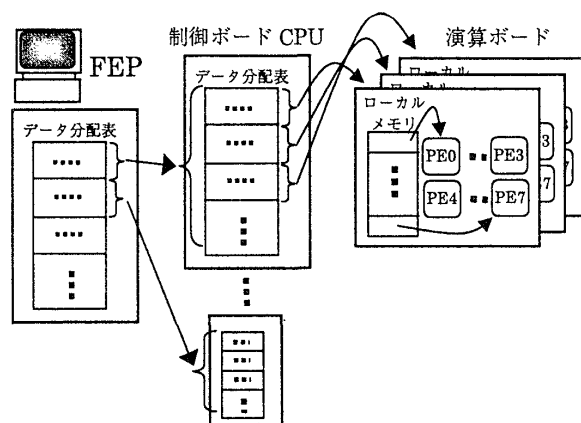


図 3 負荷(データ)の分配方法

2. メッセージパッシング機構(パケット通信)を用いる方法

また、同期機構としては、PE からソフトウェアに対して割り込みを上げる機能が用意されている(PE への割り込み機能は、PE がレジスタ等を監視することで可能)。これらの通信・同期機能は、ソフトウェア・ライブラリとしてだけでなく、PE 上の共通回路としても提供されている。

図 3 は、これらの通信機能を利用して負荷分散を実現した例であり、以下のように動作する。

- 各 PE は、自分の仕事(処理するデータ)がなくなったら、ローカルメモリの自領域より処理するデータを取り込み、その領域に取り込んだ旨を書き込む。
- 制御ボード CPU は、定期的に各演算ボードのローカルメモリを監視し、データが取り込まれていたら、自データ分配表よりそこにデータを送信する。また、自データ分配表を使い尽くしそうになったら、FEP へデータの要求を行う。
- FEP は、各制御ボードからのデータの要求に応じて、データを送信する。

これにより、各 PE が遊休することなく処理を進めることができる。

### 5 おわりに

以上、RASH のシステム機能について報告した。RASH システムは、その初版が動作し始めているところであり、今後は、ユーザの声を聞きながら使い易い並列システムを目指して、機能を改良・拡張していく予定である。

### 参考文献

[1] 中島克人, 森伯郎, 佐藤裕幸, 高橋勝己, 浅見廣愛, 水上雄介, 飯田全広, 新留勝広: "FPGA ベース並列マシン RASH の概要", 第 58 回情処全国大会, 1H-08, 1999-3.