

FPGAベース並列マシンRASHの概要

1H-8

中島 克人ⁱ⁾, 森 伯郎ⁱⁱ⁾, 佐藤 裕幸ⁱ⁾, 高橋 勝己ⁱ⁾,
浅見 廣愛ⁱ⁾, 水上 雄介ⁱ⁾, 飯田 全広ⁱⁱⁱ⁾, 新留 勝広ⁱⁱⁱ⁾

i)三菱電機（株）情報技術総合研究所

ii) 三菱電機（株）鎌倉製作所, iii)三菱電機エンジニアリング（株）

1 はじめに

プログラマブル・ロジック・デバイス(PLD)は早くからその可用性について注目を浴びていたが、最近の組込機器の機能の複雑化と製品改良の短サイクル化により、フィールドアップグレードの手段として PLD の利用が拡大している。この需要と供給の好循環により、大規模回路用の PLD として用いられる FPGA(Field Programmable Logic Device)は、最新デバイステクノロジーの適用による高速化および大集積化の進展が著しい。

FPGA を活用した可変構造型計算機の提案および研究はかなり以前から行われている[1, 2, 3]が、汎用プロセッサ間の接続機構にFPGAを用いる場合[4]や、FPGA をプロセッシングノードと見立てて、FPGA およびメモリ間をクロスバススイッチ等の特殊なハードウェアで接続する場合が多い。これらはそれぞれ汎用性を目指してはいるものの、結果として機能分割や並列処理における粒度に制限を加えてしまうことになる。

我々は今回、FPGA の柔軟性と拡張性を最大限に確保したコンパクトな装置として並列マシン RASH (Reconfigurable Architecture based on Scalable Hardware)を開発したので、その概要を報告する。

2 RASH のハードウェア構成と特長

2.1 演算ボード

RASH の基本構成要素は、Compact-PCI(Peripheral Component Interconnect)基板上に 1 石 10 万ゲート規模相当の FPGA を 8 個搭載した演算ボードである。FPGA には ALTERA 社の FLEX10K100A シリーズ(240 ピン QFP)を使用した(図 1, 2 参照)。演算ボードには PCI バスインタフェース回路と 2MB の SRAM が搭載され、各 FPGA とは 32 ビットのローカルバ

スおよび演算ボードコントローラを介して接続されている。FPGA の回路情報は SRAM を経由してロードされる。SRAM 上に回路情報を常駐させる場合は、1 回(全 FPGA 同時または 1 個の FPGA)の再構成を 100 数 10ms~500ms 程度で実行可能である。

FPGA 間はローカルバス接続とは別に 32 ビットの信号線でメッシュ接続されている。これにより、

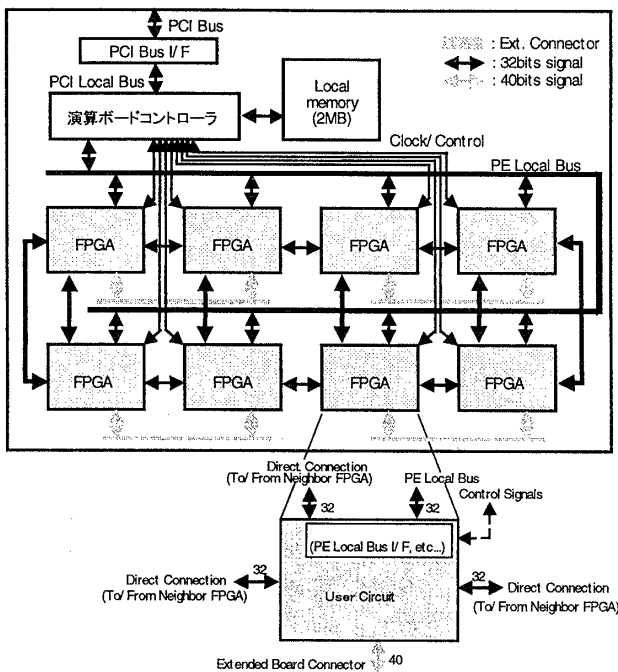


図 1 演算ボードの構成

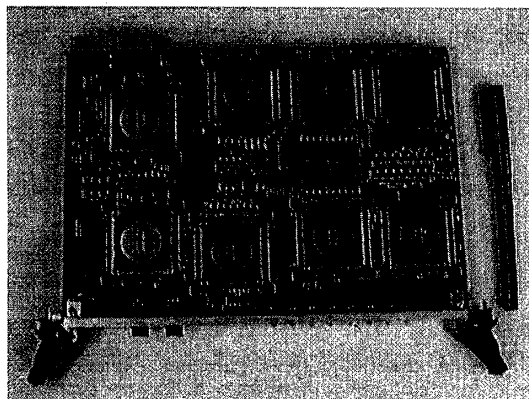


図 2 演算ボードの外観 (FPGA 搭載面)

Summary of the FPGA based Parallel Machine RASH
Katsuto Nakajima†, Hakuro Mori†, Hiroyuki Sato †, Katsumi Takahashi†, Hiroai Asami†, Yusuke Mizukami†, Masahiro Iida‡, Katsuhiro Shindome ‡, †Mitsubishi Electric Corp., ‡Mitsubishi Electric Engineering Co., LTD.
5-1-1 Ofuna, Kamakura, Kanagawa 247, Japan

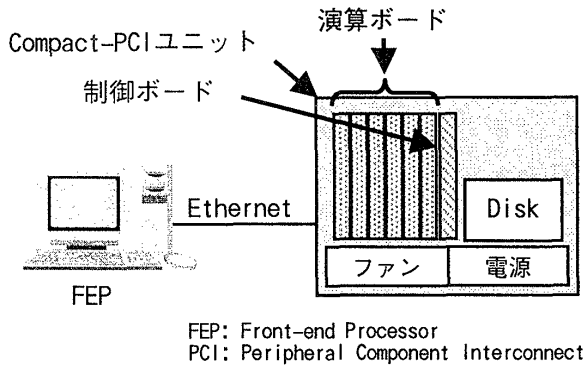


図3 RASHのユニット構成

実現したい回路を1石のFPGA内に複数搭載することは勿論のこと、2石以上で1つの回路を実現したり、機能分割して処理データをパイプライン的に流すような構成も可能となる。後者のような用途を考慮し、各FPGAには1種類のグローバルクロックの他にもう1種類のローカルクロックが供給される。グローバルクロックおよびローカルクロックとして16種類(約2.5MHz~66.5MHz)の中から選択できるようになっている。

2.2 拡張ボード

各FPGAからは直接40ビットの信号線が拡張ボードコネクタに接続されている。FPGAでの実現が容量および速度の面で非効率な場合や、PCIバス経由では入出力のスループットが不足する場合には、拡張ボードをドータボードとして搭載させる。例えばメモリやI/Oデバイスコントローラ等をドータボード上に実現すれば良い。このような実装形態を取ることににより、演算ボード上で実現するアーキテクチャの制約の最小化と用途別の性能最大化の両立を図れる。

2.3 ユニット

Compact-PCIバス上に複数の演算ボードとそれを制御する1枚の汎用プロセッサボード(制御ボード)を搭載し、制御ボード経由で接続される磁気ディスクやネットワークインタフェースを含めて、RASHのユニットを構成する。

今回開発したマシンでは最大6枚の演算ボードとPentium MMX(200MHz)を搭載した市販の制御ボードを収納できるユニットを採用した(図4参照)。ネットワークはEthernetとし、これを介してFEP(Front-end Processor)としてのパソコン等が接続される(図3参照)。また、複数ユニット間もEthernetで接続される。ユニット間の通信量がそれ程多くないことが条件となるが、任意数と言えるだけの多くのユニットを接続することができる。

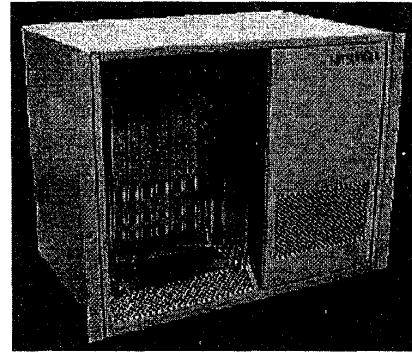


図4 RASHユニットの外観

3 応用

FPGAで演算器を構成する場合は汎用プロセッサやDSP(Digital Signal Processor)等に比べ、ビット単位の処理、データ幅がワード単位とは限らない処理、深いパイプラインが有効となる処理等が得意となることが予想される。ビット幅の大きい乗除算や比較的大きなテーブルを頻繁にアクセスするような処理はFPGAだけではロジックがコンパクトに構成できないが、RASHでは拡張ボード上にDSPやメモリを搭載し、他の機能は周辺回路も含めてFPGA上に構成することが可能である。従って、RASHは信号処理[5]、画像処理、そして暗号解析、進化的計算による最適解探索[6]等に効果的な利用が考えられる。また、専用装置のラビッドプロトタイピングやアーキテクチャの教育用ツールとしても活用することが出来よう。

4 まとめ

FPGAベース並列マシンRASHのハードウェアとその特長、および、その用途の概要について報告した。今後、種々の用途への適用を通じてRASHの評価を行う予定である。

参考文献

- [1] 沼昌宏: "FPGAを利用したアーキテクチャとシステム設計", 情報処理, Vol.35, No.6, pp.511-518, 1994.
- [2] 末吉敏則: "Reconfigurable Computing systemの現状と課題-Computer Evolutionへ向けて-", 信学技報, VLD96-79, CPSY96-91, pp.111-118, 1996.
- [3] 柴田祐一郎 他: "DRAM混載型仮想ハードウェアHOSMIIの構成と性能", 並列処理シンポジウムJSP'98, pp.303-310, 1998.
- [4] 森真一郎 他: "可変構造型並列計算機のPE間メッセージ通信機構", 並列処理シンポジウムJSP'89, pp.123-130, 1989.
- [5] 宮田裕行, 水野政治, 青山和弘: "FPGAを用いた再構成可能な並列信号処理装置", 情報処理学会第55回全国大会, 2F-6, pp.1-10~1-11, 1997.
- [6] 丸山勉 他: "Field-Programmable Gate-Arrayによる進化的計算の高速化", 並列処理シンポジウムJSP'98, pp.311-318, 1998.