

遅延情報に基づく非同期式制御回路の依存性グラフを利用した設計手法

3E-2

桑子 雅史 中村 宏 南谷 崇

東京大学 先端科学技術研究センター

1 はじめに

近年、高速なスイッチングデバイスの素子性能を十分に享受する一手法としてクロック信号を用いない非同期式論理設計が注目されている [1]。非同期式制御回路設計に関する研究は広く行なわれているが、そのほとんどにおいて現実の素子の遅延特性が考慮されていなかった。そこで我々は、実際の素子の遅延特性を考慮した遅延仮定である SDI モデルと、このモデルに基づく非同期式データバス回路の設計手法を提案し、これによる速度性能向上の効果を示した [2]。本稿では、SDI モデルに基づいて非同期式制御回路を設計する一手法を提案する。そして提案手法による速度向上について評価を行ない、SDI モデルが非同期式制御回路の速度性能向上にも有効であることを示す。

2 SDI モデル

非同期式回路の論理設計を考える上では遅延仮定が重要である。遅延仮定とは、素子や配線の遅延に関して設ける仮定のことである。遅延仮定には様々なものが提案されている [1]。

遅延仮定の選択は設計される回路の速度性能やタイミング信頼性に影響を与える。タイミング信頼性とは、回路のタイミング・フォールト(素子・配線の遅延時間が回路の設計段階や実際の動作時において設計者の設けた仮定から外れること)に対する耐性のことである。

一般に、タイミング信頼性は悲観的な遅延仮定に基づくほうが高くなるが、速度性能は楽観的な遅延仮定に基づく回路のほうが高くなる。従って、非同期式回路の設計においてはタイミング信頼性と速度性能のバランスを考慮して遅延仮定を決定すべきである [3]。

このような観点から提案した遅延仮定が SDI(Scalable-Delay-Insensitive) モデル [2] である。

SDI モデル ある配線遅延、または素子遅延の推定値が  $d_e$  であり、実際の遅延が  $d_a$  であるとき、 $v = d_a/d_e$  を遅延変動率という。このとき、「任意の二つの遅延の変動率  $v_1, v_2 (v_2 > v_1)$  の比  $v_2/v_1$  の上限値  $k$  は既知である。」とする遅延仮定を SDI モデルと呼ぶ。

3 依存性グラフ

QDI モデル [1] に基づいて非同期式制御回路を設計する手法の一つとして、依存性グラフから回路モジュールへの 1 対 1 変換による方法が提案されている [4]。

依存性グラフとは、システムで実行される基本操作間の実行順序の制約を有向グラフで表現したものである。基本操作を表わすノードとそれらを接続する有向アークのみからなるグラフでは、条件判断などを含むシステムを記述できない。このため、基本操作の他にフォーク、ジョイン、セレクト、マージを用意して、これらをアークで接続する。アークはトークンを持つことができ、トークンの移動によって動作を表現する。

図 1 は依存性グラフの例であり、乗算器の動作を表わしたものである [4]。図 2 に示すように、依存性グラフを構成するノードを回路モジュールに、有向アークを配線に置き換えることで QDI モデルに基づく制御回路が得られる [4]。

このように、依存性グラフは単に処理の依存関係を記述したグラフではなく、回路の処理動作を意識したグラフであり、回路生成のための中間表現である。依存性グラフからの回路生成法として 1 対 1 変換を考える場合、各ノードに対応する回路モジュールの遅延時間と制御対象であるデー

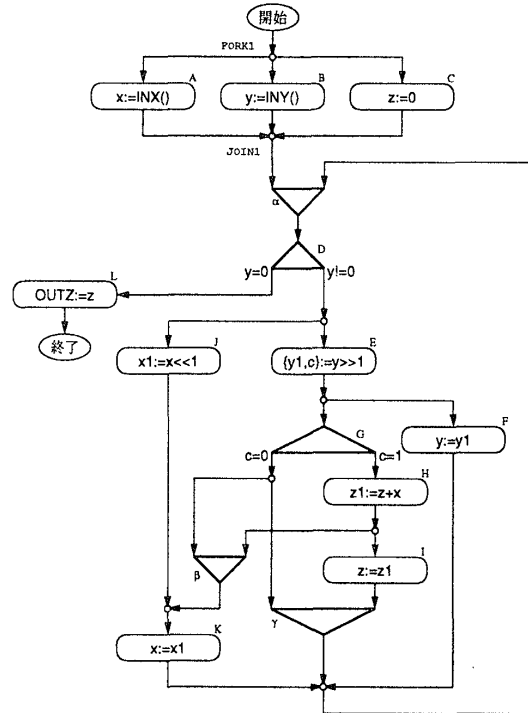


図 1: 乗算器の依存性グラフ

タバス回路の遅延時間が既知であれば、処理に要する時間を依存性グラフのレベルにおいて議論することが可能である。このときには、基本操作ノードだけでなくジョイン・セレクト・マージのノードも遅延を持つことを考慮する必要がある。

4 依存性グラフからの SDI 回路の設計

非同期式回路は、ある回路動作 A の完了を確認することで A と依存関係のある次の回路動作 B を開始する。しかし、回路動作 B において A の結果が必要となる時点までに A が完了することが保証されるならば、A の完了確認を省略することが可能である。これが非同期式回路の遅延仮定を緩和するときの基本となる考え方である。

SDI モデルでは、マクロなレベルでの完了確認の省略が可能となる。演算処理の結果が必要となる時点までにその演算処理が終了することが保証されるならば、演算処理の終了を厳密に確認しなくても良い。これを依存性グラフに対応させると、「ある基本操作 A と、A とデータ依存関係のある基本操作(またはセレクト)B があるとする。A の終了から B の開始までに十分な時間余裕がある場合には A の完了を確認する必要はない」となる。

要求応答方式で動作する非同期式回路では、ある処理の完了応答信号は後続する処理の開始要求信号となっている。このため SDI モデルを採用すると、A の完了確認を省略する代わりに A に対する開始要求信号を後続処理の開始要求信号としても使用できる可能性が生じる。

そこで、依存性グラフの SDI 変換と依存性グラフの SDI 変換条件を以下のように定義する。

**定義 1 (依存性グラフの SDI 変換)** 図 3 に示すように、基本操作ノード A についてその出力アークを除去し、入力アークを分岐させ、元の出力アークの行き先につなぎ替える。この変換操作を依存性グラフの SDI 変換と呼ぶ。

**定義 2 (依存性グラフの SDI 変換条件)** 図 3 に示すように、ある基本操作 A と、A とデータ依存関係があり A の下

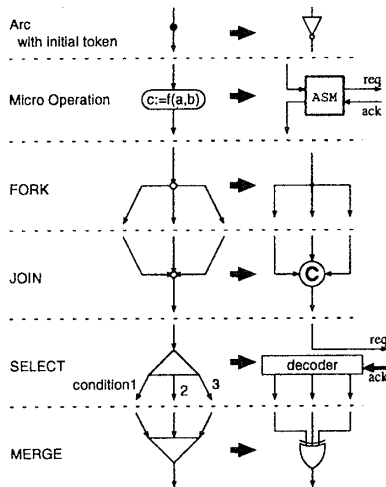


図 2: 依存性グラフから制御回路モジュールへの変換

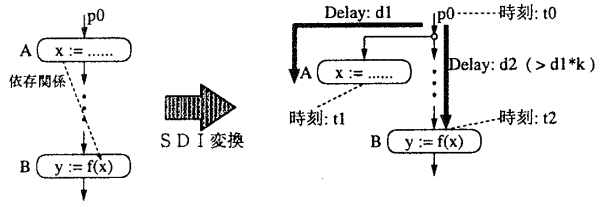


図 3: 依存性グラフのSDI変換とSDI変換条件

流にある任意の基本操作(またはセレクト)  $B$ がある。基本操作ノード  $A$ の出力アークを除去し、入力アークを分岐させ、元の出力アークの行き先につなぎ替える。 $A$ と $B$ の共通の原因であるアーク  $p_0$ にトークンが到着する時刻を  $t_0$ 、 $A$ が終了する時刻を  $t_1$ 、 $B$ への入力アークにトークンが到着する時刻を  $t_2$ とする。遅延  $d_1 = t_1 - t_0$ と遅延  $d_2 = t_2 - t_0$ が  $k \times d_1 < d_2$  ( $k$ : SDIモデルの定数)の関係を満たしている場合、 $A$ から $B$ のパスについてのSDI変換条件が成立していると呼ぶ。

SDI変換条件が満たされている箇所は、SDI変換を行っても $A$ の処理が $B$ の開始までに完了することがSDIモデルの仮定によって保証される。即ち、変換されたグラフから1対1変換により生成される回路はSDIモデルの下で正しく動作する。

依存性グラフからSDIモデルに基づく制御回路を生成する提案手法は、与えられた依存性グラフの任意の基本操作ノードに対してSDI変換条件の判定を行なう。そして、条件が満たされていればSDI変換を行なう。これをすべての基本操作ノードに対して行なう。得られたグラフを従来手法[4]のとおり1対1変換を行なうことでSDI制御回路が得られる。

文献[4]の遅延条件を当てはめて、回路モジュールの遅延時間と、図1の各基本操作に対応するデータバス回路の遅延時間を求める。この遅延情報に基づいて図1全体に対して  $k = 1.3$ としてSDI変換を行なったグラフが図4である。例えば、図1の基本操作  $A$ のSDI変換について考える。 $A$ の開始時刻=0、 $A$ の終了時刻=13、 $A$ とデータ依存関係のある最初の処理  $J$ の開始時刻=28でありSDI変換条件が満たされているので $A$ についてのSDI変換を行なう。これによってFORK1とJOIN1を直接結ぶアークが生じるが、これは冗長なので除去する。

### 5 速度向上の評価

図4から提案手法によって得られる  $k = 1.3$ のSDI制御回路と、図1から既存手法によって得られるQDI回路の速度性能の比較を行なった。

この評価では論理素子は4入力までを1段として扱い、どの種類の論理素子の遅延も1単位時間とした。その他の条件も文献[4]に従った。

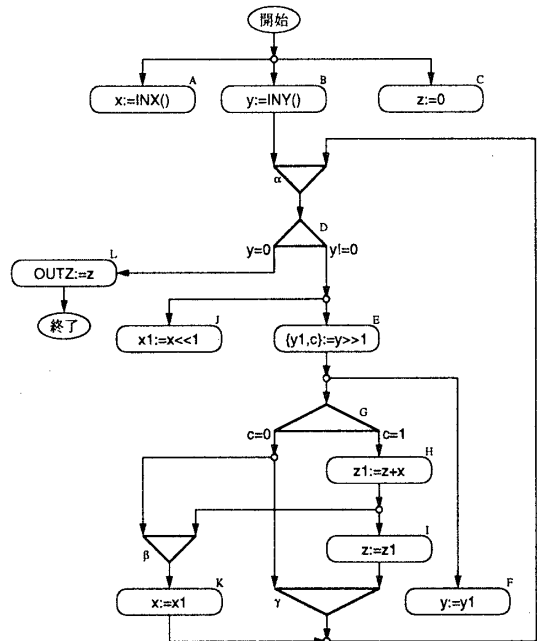


図 4: SDI変換を行なった依存性グラフ

1000組のランダムな数値を乗算器への入力として用いたところ以下の表に示す結果となり、制御オーバーヘッドの約17%の減少が確認された。制御オーバーヘッドは、制御に要する遅延時間を0としてシミュレーションを行なった場合の平均サイクルタイム(=374単位時間)を“平均サイクルタイム(制御+データバス)”から減算したものである。

	平均サイクルタイム (制御+データバス) [単位時間]	制御オーバーヘッド [単位時間]
QDI回路	571	197
SDI回路	537	163

### 6 まとめ

本稿では、依存性グラフに対するSDI変換を定義し、依存性グラフからQDI制御回路を生成する手法に遅延情報を取り込むことでSDI制御回路を生成する一手法を提案した。この手法の適用による回路速度の向上について評価を行ない、効果を確認した。効率の良いSDI変換手法の提案や、依存性グラフによるもの以外の制御回路設計手法に対して遅延情報を取り込むことによるSDI制御回路の設計法の提案は今後の課題である。

なお、本研究の一部は 科研費補助金 基盤研究(B) 09480049、及び 科研費補助金 奨励研究(A) 10780167、及び(株)半導体理工学研究所との共同研究によるものである。

### 参考文献

- 南谷崇. 非同期式プロセッサ — 超高速VLSIシステムを目指して —. 情報処理, Vol. 34, No. 1, pp. 72-80, January 1993.
- 高村明裕, 桑子雅史, 南谷崇. 非同期式プロセッサ TITAC-2の論理設計における高速化手法. 信学論(D-I), Vol. J80-D-I, No. 3, pp. 189-196, March 1997.
- Masashi Kuwako and Takashi Nanya. Timing-reliability evaluation of asynchronous circuits based on different delay models. In *International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp. 22-31, Salt Lake City, November 1994. IEEE Computer Society.
- 籠谷裕人, 南谷崇. 2相式非同期回路の高速化. 信学論(D-I), Vol. J78-D-I, No. 4, pp. 416-423, April 1995.