

2E-8

## SPFD を用いた遅延時間削減を目的とする スタンダードセル IC の部分的論理再合成

瀬戸 謙修

池田 誠

浅田 邦博

Kenshu Seto

Makoto Ikeda

Kunihiro Asada

東京大学工学系研究科電子工学専攻

Dept. of Electronics Eng., University of Tokyo

(大規模集積システム設計教育センター (VDEC))

### 1. はじめに

SPFD は、FPGA を最適化するために山下ら<sup>[1]</sup>によって見出された概念で、論理回路の配線の操作を可能にする。Brayton<sup>[2]</sup>らによって SPFD は FPGA だけでなく、一般の論理ネットワークに拡張された。本研究では、SPFD を用いることにより、スタンダードセル方式 IC の遅延時間を削減する手法について考察を行う。SIS の上で遅延削減のアルゴリズム speed\_up を走らせた上で、さらに本手法を適用した結果、小、中規模の大きさのいくつかのベンチマーク回路に対して、到着時間を削減することができた。

### 2. SPFD の定義と基本的性質

この章で、論文[1], [2]に書かれている SPFD の基礎的事項について簡単に説明する。SPFD (A Set of Pairs of Functions to be Distinguished) とは、入力変数空間  $X$  上の二つの要素  $S1, S2$  からなる対  $P_i = \{S1, S2\}$  の集合  $SPFD = \{P1, P2, \dots, P_n\}$  である。 $P_i$  を辺 (SPFD 辺)、各  $S_i$  を頂点 (SPFD 頂点) に対応させることで SPFD をグラフ表示することができる。 $X$  上の関数  $f$  が SPFD 辺  $\{S1, S2\}$  を区別するとは、

$$f(S1) \neq f(S2)$$

が成り立つことをいう。関数  $f$  が SPFD 内のすべての SPFD 辺を区別するとき、SPFD を区別するという。論理関数  $f$  の出力を 0, 1 とする入力からなる入力空間の部分集合をそれぞれ、Moff, Mon とするとき、 $f$  の SPFD は直積集合  $Moff \times Mon$  となる。通常の 2 値論理関数の SPFD グラフは、2 部グラフとなる。次にこの SPFD を用いて、多段論理回路を変形する手法について述べる。多段論理回路の各最終出力はそれぞれ論理関数を表すが、そこでの SPFD を求め、初期入力へ向かってファンインへ順々に SPFD を分配していくことにより、多段論理回路中の各ゲートの最少 SPFD が求まる。最少 SPFD とは、与えられた多段回路が所望の出力をするために、各ゲートが区別する必要がある最低限の SPFD である。具体的には、まず外部ドントケアも考慮に入れて、最終出力ノード 0 の直接入力空間上での SPFD を求める。最終出力から広さ優先探索の順番で、SPFD を次の方法で分配する。関数  $f$  に属する SPFD の各 SPFD 辺  $\{S1, S2\}$  に対して  $Pro(S1, i)$  と  $Pro(S2, i)$  が異なる値を持つとき、 $f$  の  $i$  番目の入力にその SPFD 辺を配ることができる。ここで  $Pro(S, j)$  は入力  $S$  の  $j$  番目の入力変数値を与える射影関数である。最終的な関数  $f$  の最少 SPFD は  $f$  の各ファンアウトから分配された SPFD の総和である。ファンアウトから分配されたノード  $f$  の SPFD をさらにそのファンインに分配する場合、分配された SPFD を  $f$  の入力変数空間に変換する必要がある。SPFD の特長の一つは、多段論理回路の中で、注目するノード  $f$  のファンインを変更することができることである。ノード  $f$  の最少 SPFD を  $SPFD_{min}(f)$  とし、元のファンイン  $\{g_i\}$  からその部分集合  $\{g_k\}$  を置き換えたいとき、 $SPFD_{min}(f)$  から、 $\{g_i\}$  が区別できる SPFD 辺を除いた  $SPFD_{min}(f) - SPFD\{g_i\}$  を区別できるようなノード集合  $\{h_k\}$  を見つけてくればよい。ファンインを置き換えたときノード  $f$  をそれに適応して、変化させなければいけないのも SPFD の特長である。入力数が一定数以下なら任意の論理関数を一個の LUT (Look Up Table) で実現できる LUT-FPGA に比べて、この特長は、SPFD をスタンダードセル方式や一般の論理ネットワークに適用する場合、変化の予測の難しくする。

### 3. SPFD を用いた回路到着時間の削減手法

2章で述べたように、SPFD は論理ネットワークのノードのファンインを変えることで、問題の配線を取り除いたり、別の配線と置き換えることができる。配線の置き換えを中心とした SPFD による回路の変形は、論理ネットワークの構造を大きく変化させない。本研究では、SPFD のこの特徴を活かして、スタンダードセル中のゲートに対して、そのファンインワイヤを除去または置き換えることで、回路性能を向上する手法を考える。特に、回路の遅延時間 (到着時間) を削減する手法を考える。ASIC の設計の流れは、HDL による記述をまずテクノロジー独立の方法で最適化する。この段階での最適化は自由度が大きいが、各ゲートの到着時刻の正確な見積もりは難しい。その後のライブラリにマッピングして、セルレベルのネットリストを出力する。この段階で、比較的正確な到着時刻が得られる。本手法では、マッピングされたネットリストの遅

延最適化を行う。ノード N の到着時刻を削減する手順は次の通りである。ノード N の遅延時刻を  $\Delta t$  削減したいとする。このとき、ファンインの到着時刻の中でもっとも遅いものを  $T_{max}$  とすると、到着時刻が  $T_{max} - \Delta t$  より遅いファンイン集合を選択し、それらと置き換えることのできる、より到着時刻の早いノード集合を探す。置き換えたノードを含む新しいファンインのもとで、ノード N を再構成して、ノード N' を得る。N' をライブラリにマッピングする。この結果ノード N' の到着時間が N のそれより早くなり、リテラル数と配線数の変化も許容範囲内に収まれば、変化を受け入れて、バインドされた N' を元のネットワークに埋め込む。ここで、到着時刻の減少幅が目標値  $\Delta t$  以上なら、操作を終了する。減少幅が目標値以下の時や、到着時刻が減少しなかった場合、ノード N のファンインから到着時刻を削減する必要があるノードを選び、同様の手続きを再帰的に繰り返す。

#### 4. 実験結果とその考察

SPFD を扱うパッケージも含め、3章で述べた手法は、UC Berkeley の論理合成システム SIS 上に C 言語を使用して実装した。中規模までの MCNC ベンチマーク回路に対して本手法を適用した。まず読み込んだ回路を SIS の script.rugged を用いて面積を最適化した後、4入力までの AND と NOR を含むライブラリ 44-1.genlib を読み込んで、遅延最適化モードでマッピングした。その後 SIS の遅延最適化コマンド speed\_up を適用した後、3章で述べた手法 spfd\_reduce\_delay を適用した。表1に結果を示す。到着時刻の計算は、ライブラリ中の遅延データを用いて行っている。表中で、speed\_up は、speed\_up コマンドだけの場合の結果、+spfd は、speed\_up コマンドの後 spfd\_reduce\_delay を適用した時の結果を示す。表は遅延が改善した例だけを示しているが、いくつかの回路では、到着時刻がわずかに増えてしまった。これは配線の置き換えによって、クリティカルパス上のノードのファンアウトが増えてしまい、その分の負荷に比例した遅延が加わってしまったためである。これはクリティカルパス上のノードにラベルを付けて、そのノードを候補ノードからははずせば防ぐことができる。MCNC91 ベンチマークの内、10%前後の回路の到着時刻を 10%以上削減できた。これは SPFD が今までとは異なる新しい回路変形の自由度を持っていることを示している。また結果では、回路のクリティカルパスの遅延のみが減少した例のみ示しているが、他の出力到着時刻が削減された回路も含めると、本手法が到着時刻を改善した回路の数はもっと多い。

表1 実験結果  
speed\_up のみと  
speed\_up+spfd  
の場合の比較

Circuit			Arrival time		Area	
Name	In	Out	speed_up	+spfd	speed_up	+spfd
cm151a	12	2	11.2	9.8	139	139
cm163a	16	5	14.6	12.4	135	137
x3	135	99	21.2	18.8	2163	2255
x4	94	71	18.6	17.2	1128	1215
f51m	8	8	32.8	26.4	302	310

#### 5. まとめと今後の課題

SPFD を用いて回路中の配線を置き換えて、スタンダードセル IC の遅延を削減することを試みた。遅延削減用のアルゴリズム speed\_up を適用した後の、テクノロジーにバインドされたネットリストに対し、本手法を適用した。いくつかの小、中規模の論理回路において、クリティカルパスの到着時刻を早めることができた。MCNC91 ベンチマークの内、10%前後の数の回路の到着時刻を 10%以上削減できた。クリティカルパスでない最終出力の到着時刻が減少した回路は、ずっと多い。今後の課題としては、SPFD をより大きな回路に対して、より高速に行う手法を考え、またクリティカルパスの到着時刻を減少できる回路の数を増やす。また、到着時刻以外に配線の置き換えを判断する際のコスト関数を見つけ、回路を別の方向から改善する手法を考える。

#### 参考文献

- [1] S. Yamashita, H. Sawada, A. Nagoya, "A New Method to Express Functional Permissibilities for LUT based FPGAs and Its Applications", in International Conference on Computer Aided Design, pp. 254-261, Nov. 1996
- [2] S. Sinha, R. K. Brayton, "Implementation and Use of SPFDs in Optimizing Boolean Networks", in International Conference on Computer Aided Design, Nov. 1998