

## 再構成可能適応型デバイスプロトタイプチップ RHW1 の開発と検証

1 Q-6

犬尾 武 梶原 信樹 中谷 正吾 山内 宗

RWCP 適応デバイス NEC 研究室

## 1 はじめに

問題のアルゴリズムに対して最適な構造に再構成でき、高速処理が可能な次世代 FPGA (Field Programmable Gate Array) として、再構成可能適応型デバイスを開発している。このデバイスの有用性を検証するために、アルゴリズムに対して最適な演算器及びデータパスを構成し、高速に実行する再構成可能適応型デバイス RHW (Reconfigurable HardWare) プロトタイプチップを開発した。本報告では、開発したプロトタイプチップ RHW1 の概要と検証結果及び利用可能な応用分野に関して述べる。

## 2 再構成可能適応型デバイス RHW

実世界の応用では、多量のパタン情報を処理するために膨大な CPU パワーと実時間性が要求される。現在の汎用プロセッサではハードウェア構成は固定で、ソフトウェアにより汎用性を実現している。しかし、問題を逐次実行の命令列で処理するため処理速度が遅い。一方、特定の問題に特化して作られた専用プロセッサは、その問題に対しては最高の性能を有するが、多様な問題には対応できない。そこで、ハードウェアの構造を問題に応じて最適に変えることによって、汎用プロセッサの柔軟性と専用プロセッサの高速性の実現を目指す。現在、このような目的に利用することができるデバイスとして FPGA[1, 2]があるが、FPGA はもともと ASIC の代替として論理回路をマッピングすることを主眼としてきたため、多ビット演算を多用する応用には冗長で、性能が不十分である。RHW は、従来の FPGA に対して、演算性能、アルゴリズムの高速なマッピング機能を強化することによって、柔軟性と高速性を合わせ持つデバイスとして開発を進めている。

Development and verification of reconfigurable adaptive device prototype chip RHW1

Takeshi INUO, Nobuki KAJIHARA, Shogo NAKAYA, Tsukasa YAMAUCHI

RWCP Adaptive Device NEC Laboratory

図 1(a) に RHW の全体図を示す。メイン部は、主にデータパスをマッピングする部分でチップの大部分を占める。その周辺に制御系のマッピングに適した周辺部があり、一番外側に外部と信号をやり取りする I/O 部がある。RHW において効率的な処理をするためには、マッピングすべきアルゴリズムのデータフローに対して、可能な限り忠実にデータパスを構成し、データパス上の適切な場所に必要な演算器を配置する。これによって、データフロー制御や演算の種類を逐次指定するための複雑な制御系は不要になる。図 1(b) は RHW のより詳細なブロック構造を示したものである。メイン部、および左右の周辺部は 9 ビットの ALU から成り、上下周辺部にはいろいろなビット長の ALU が配置されている。

一般にコンピュータ上で実行される応用では、データパスの大部分は多ビット演算で占められる。すなわちビット毎に異なる複雑な論理演算はほとんど必要ない。そこでメイン ALU では、各ビットを構成する機能セルを結合して多ビット演算に特化し、小面積化を図っている。一方、周辺 ALU には、多様で複雑な論理演算を使用する制御系をマッピングするため、各ビットを独立な機能セルとして使用できるようになっている。

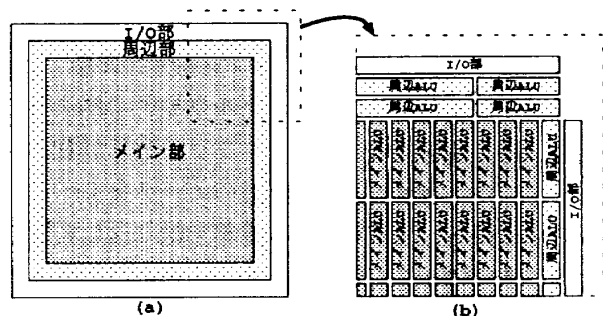


図 1: RHW 全体構成図

## 3 RHW1 用高速論理合成手法

RHW は、問題を直接プログラマブルなハードウェア上にマッピングして高速実行させることを目的としている。そのためには、機能合成等

の上位のツールが生成したハードウェア記述を、RHWのセルに適合するようにテクノロジマッピングする必要がある。また、マッピングに要する時間は、従来型計算機におけるコンパイル時間に相当するので、数分間程度に抑える必要がある。

RHWの機能セルは、高速演算器を構成するのに適した構造となっていると同時に、コンフィギュレーションを変更することで、任意の2入力2段の論理関数を実現可能である。この特徴を生かすと、ノードの論理的な意味を考えず、トポロジーのみに着目したマッピングが可能となり、処理時間を大幅に短縮出来る[3]。従来の手法と比較すると、論理合成に要する時間は40～60倍、遅延は1～2割程度改善される。

#### 4 プロトタイプチップ RHW1

RHWのプロトタイプチップとして、 $0.35\mu$ セルベースICにてRHW1を開発した(図2)。RHW1は $6 \times 20$ 個のメインALUを内蔵している。RHW1は、機能検証を主目的としたため、集積度を追及していないが、配置配線の結果からこの二倍以上の集積化の見通しを得ている。

RHW1に18ビット加算器を多段に接続した回路をマッピングし、RHW1用の検証ボードを用いて検証したところ、コンフィギュレーション及び実動作のいずれも126MHzまで動作可能であることを確認した。RHW1は全コンフィギュレーションに13KBのデータを要するが、32ビット並列でデータ転送するため高速なコンフィギュレーションが可能で、約 $26\mu$ 秒(126MHz動作時)で全書き換えが終了する。これは、RHW1と同等の回路規模のFPGA(Xilinx XC4013XL)の約3.3m秒に比べて100倍程度高速である。

RHWでは、高速なりコンフィギュレーションが可能のため、コンフィギュレーションを書き換えながら実時間で複数の処理を実行することが可能である。この利点を生かした応用として、現在、高次自己相関アルゴリズムによる画像認識システムを開発している。高次自己相関アルゴリズムの回路は、演算器の数、配置、データフローを最適化して35個の特徴ベクトル成分を並列に計算し、各画素を1クロックで処理する。これは、RHWを66MHzで動作させた場合、DEC ALPHA(400MHz)の34倍の処理速度となる。また画像認識には、画像の縮小変換等の前処理に当た

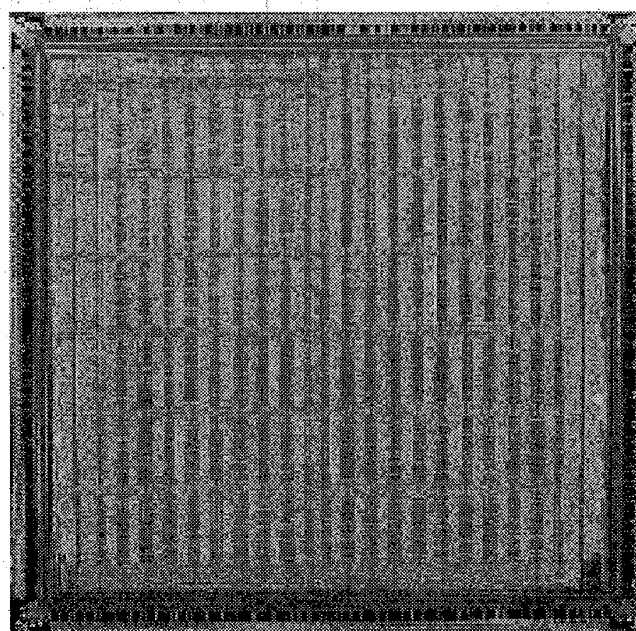


図2: RHW1チップ写真( $14.9 \times 14.9\text{mm}^2$ )

る部分も必要となるため、RHWを搭載したシステムでは、これらの複数の処理を、1個のRHWのコンフィギュレーションを書き換えながら実時間で実行させる予定である。例えばデバイスとして33MHzのPCIアドインボードを想定した場合、 $640 \times 480$  (300KB)の画像に対して50種以上の異なる処理が1個のRHWで実現可能である。

#### 5 まとめ

再構成可能適応型デバイスRHWの開発状況に関して報告した。RHWのプロトタイプチップであるRHW1に関して、コンフィギュレーション及び実動作において126MHzまでの動作を確認した。現在、RHW1の改良版であるRHW2を開発中であり、RHW2ではRHW1の3倍以上の集積度を見込んでいる。

今後、RHWを用いた複数の画像処理を行なうボードを試作し、RHWの高速なりコンフィギュレーションの評価を行ない、その評価結果をもとに、より汎用的な処理が可能システムを開発する。

#### 参考文献

- [1] <http://www.xilinx.com/>
- [2] <http://www.altera.com/>
- [3] 荒 宏視、戸川 望、柳澤 政生、大附 辰男、"ツリー構造を持つ論理ブロックを対象としたテクノロジーマッピング手法"、信学技報、VLD97-104(1997)