

負関数分解を用いた NOR・ワイヤード OR 回路の設計

1 R-4

熊沢 雅之[†] 江原 良典[†] 上林 彌彦[†]
[†]京都大学工学研究科 [†]京都大学工学部

1 はじめに

近年、半導体技術の進歩に伴い、ワンチップでより大規模な回路が実現できるようになった。そのため計算機による回路の自動設計技術が必要となり、さまざまな回路設計法の研究が行われてきた。その中で、1970年代前半に開発されたトランスダクション法^[1]は、許容関数という概念に基づき、回路の冗長部分の削除や回路変換を行う論理回路最適化手法であり、非常に強力なものとして知られている。しかし、トランスダクション法による回路変形は素子数を大幅に削減できる反面、回路の段数が増加しやすいという問題がある。

TTLやECLなどのバイポーラトランジスタにより構成される論理素子は、出力を結合するだけで論理関数を実現するWired-Logicを用いることが可能である。Wired-Logicは通常の素子に比べ遅延が小さいため、回路の実効的な段数を減少させるのに有用である。トランスダクション法による回路変形は、回路段数が増加しやすいという問題があるが、Wired-Logicを併用することで段数を大幅に削減した回路が設計できることが文献^[2]に示されている。これは、NOR素子の複数のファンインをWired-ORで統合することによりWired-Logicを導入し、段数を増加させずにファンイン制限を行う手法である。

本稿では、Wired-Logicを導入する新しい方法として、従来のMOS回路設計に用いられていた負関数分解法を利用する手法を提案する。本手法においては、まず負関数分解法で負関数ゲート網を生成し、そこからWired-Logicを併用した回路に変換する。NOR—Wired-ORの二段回路が負関数ゲートを実現しているため、この変換は簡単に行うことができる。こうして得た回路を初期回路としてトランスダクション法を適用する。

2 基本的事項

2.1 Wired-Logicの基本的性質

Wired-Logicは二つ以上の素子の出力を直接接続することにより、ANDやORなどの論理を実現するものである。

ここで設計対象とするのはTTLやECLで実装することを前提とした回路であり、この場合、一般的に回路はNOR素子によって構成する。また、NOR素子に対して実現されるWired-LogicはOR論理である。したがって、ここではWired-ORを併用したNOR回路のみを取り扱うことにする。NOR素子の入力線はWired-ORでまとめることで素子のファンイン数を減らすことができ

る。他の組み合わせ、例えばNAND素子とWired-ANDからなる回路に対して拡張するのは容易である。

Wired-Logicにより結線をまとめたものを仮想的な素子として、Wired-Logic素子と呼ぶことにする。Wired-Logic素子を通常の素子と同様に扱うためには以下の条件を満たす必要がある。

Wired-Logic素子の満たすべき条件

条件1 Wired-Logic素子の入力側に接続されている素子の出力は、他の素子の入力や回路出力へは接続されてはいけない。

条件2 Wired-Logic素子同士は接続されてはいけない。

条件3 Wired-Logic素子は回路の入出力端子に接続されてはいけない。

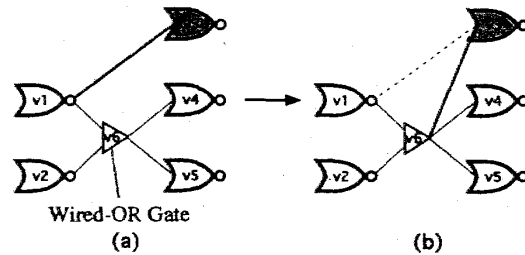


図1:Wired-Logic素子の制約

条件1は、回路のグラフ表現により導かれる素子の論理関数と実際に出力される関数との食い違いを防ぐためのものである。図1(a)に示す回路は、通常の素子による回路と見なした場合、 v_3 の入力に接続されている素子は v_1 だけであるが、Wired-Logicは結線を接続することで実現されているので、実際には図1(b)の回路と等価となる。

条件2は、Wired-Logicのファンイン数制限を適切に行うためのものである。互いに接続されたWired-Logicは、1つのWired-Logicと等価であるが、2つ以上のWired-Logic素子に分割することにより、制限数以上のファンイン数が実現されてしまう。

条件3は、設計対象の回路外での論理の食い違いを防ぐためのものである。

2.2 負関数分解

負関数とは、 $x_1 \cdot (x_2 + x_3)$ などのように、入力変数の否定形を含まないリテラルの接続による関数の否定で表すことができる関数である。MOS回路のセルは任意の負関数を実現できるため、MOS回路を設計する際には、いかに効率よく目的関数を負関数の組み合わせに分解するかが重要となる。そのための手法を負関数分解法と呼ぶ。

3 負関数分解を用いた回路設計

3.1 負関数ゲートからNOR素子への変換

前節で述べたように、任意の負関数は正リテラルの和積形で表すことができるため、負関数ゲートを仮想的に

Design of Logic Circuits with Wired-ORs by Negative Function Decomposition

Masayuki KUMAZAWA[†] Yoshinori EHARA[†]
 Yahiko KAMBAYASHI[†]

[†]Department of Information Science, Kyoto University

[†]Faculty of Engineering, Kyoto University

OR-NANDの二段回路と見なすことができる。これはNOR-ORの回路と等価である。このNOR-ORの回路の二段目のORをWired-ORとすることで、負関数ゲートをNORとWired-ORの回路に変換できることになる。

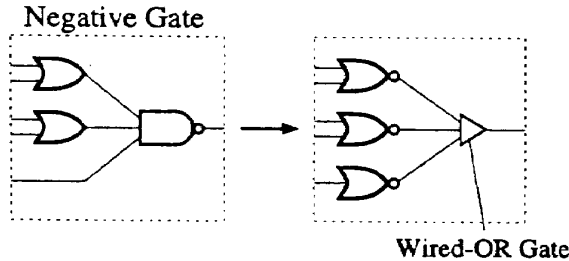


図2: 負関数ゲートのNOR-Wired-ORへの変換

この際、この二段回路はもともと単一のゲートであったため、一段目のNORの出力はこのゲート内のWired-OR以外の素子には接続されておらず、先に示したWired-Logic素子を通常の素子として扱うための条件1は、常に満たされることが保証される。条件2、3においても、Wired-logic同士の接続や回路入力との接続は起こり得ない。しかし、回路出力との接続は起きる可能性はあり、その点は考慮が必要である。必要な場合は該当するWired-ORを二段のNORに変換するなどして回避できる。また、初めに目的関数を否定しておき、回路変換後に最終段のWired-ORを通常のNORに変更する方法も考えられる。この際にも、回路出力に直結したゲートが回路内の他のゲートの入力にも接続されている場合は、そこに否定ゲートを加える必要がある。

また、この変換の際、変換前の負関数ゲートの複雑さと、変換後の回路の複雑さが必ずしも一致しないという問題がある。例えば同一のファンイン数を持つNANDゲートとNORゲートは、MOSゲートにおいては同一のトランジスタ数で実現されるが、変換後の回路においては、前者は元のファンイン数と同じ数のNOR素子が必要なのに対し、後者は1つのNOR素子で実現可能である。

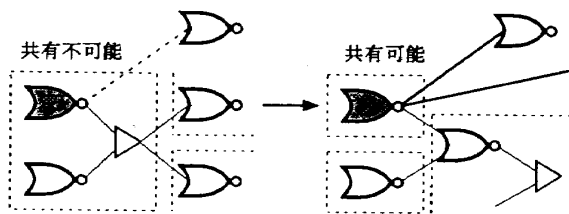


図3: 一段目ゲートの効率的な共有

この負関数分解を行う際、回路入力側の一段目の負関数ゲートが複雑である場合、ゲートの共有がうまく行われない可能性がある。通常のNOR回路においては、一段目の素子で実現される比較的単純な関数が、回路の多くの部分で利用されることがわかっている。しかし、負関数ゲートから変換した際に一段目のNOR素子がWired-OR素子に接続されていると、それらの出力を回路の他の部分で共有することが不可能である。そのため負関数分解を行う際、一段目の負関数ゲートのうち共有すべきものについては、図3に示すように、変換後にWired-ORを伴わない単純なNORゲートとなるようにする。

3.2 回路変換後の最適化

回路変換前の負関数ゲートの回路は、その生成手法にもよるが、冗長性が残されている可能性が高い。またその初

期回路がいかに最適化されたものであっても、相互の回路の性質の違いや変換による素子数の増加に伴い、回路の自由度が増加する。よって、負関数ゲート網から変換した後の回路をさらに最適化することで、よりコストの低い回路に変換できると考えられる。そこで、従来のトランスダクション法を用いて回路最適化を行うことにする。

この最適化を行う段階で、従来手法により新たなWired-OR素子の導入が可能であれば、併せて行う。あるNOR素子の入力に接続されているNOR素子のうち、ファンアウト数1のものが存在すれば、そのような素子の出力同士はWired-ORで統合可能であるし、また、同じNOR素子の入力に接続されている他のWired-ORに統合することも可能である。

3.3 Wired-Logic対応のトランスダクション法

トランスダクション法においては、回路出力を変化させないように、結線の追加、切断を繰り返して回路の最適化を行う。Wired-Logicを併用した回路にトランスダクション法を適用する場合、先に示したWired-Logic素子の満たすべき条件を常に満たすように変形を行う必要がある。

また、NOR素子の入力結線や、そのNOR素子の入力のみ接続されている複数のWired-OR素子の入力結線は、相互につながかえても回路出力は変化しない。このことを利用して、Wired-OR素子の出力を変化させることにより、回路変形の可能性を増やすことができる。

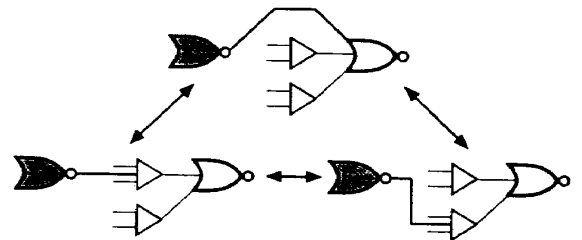


図4: 入力結線の相互変換

4 おわりに

本稿ではWired-Logicを併用した回路の新たな設計手法を提案した。今後、本手法をベンチマーク回路に適用し、従来手法による結果との比較・検討を行う予定である。また、今回は負関数ゲート網からNOR-Wired-OR回路への変換だけを取り扱ったが、相互変換を行うことにより、相互の関係を明らかにし、新たな負関数分解法についても考えていくつもりである。

謝辞

本研究に関し種々の有益な御助言をいただきました、幸田武範氏をはじめとする上林研究室の皆様へ感謝致します。

参考文献

[1] S.Muroga, Y.Kambayashi, H.C.Lai, J.N.Culliney: "The Transduction Method - Design of Logic Networks Based on Permissible Functions", IEEE Transactions on Computers, Vol.38, No.10, pp.1404-1424, 1989.
 [2] 山下茂, 上林彌彦, 室賀三郎: "トランスダクション法によるWired-Logicを併用した論理回路の最適化", 電子情報通信学会論文誌, Vol.J79-D-I, No.3, pp.132-139, 1996.