

3 状態 CMOS ゲートを用いたワイヤード論理による 省電力回路合成手法

1 R-2

熊沢雅之 上林彌彦
京都大学工学研究科

1 はじめに

近年、集積回路の高集積化により、単位面積当たりのチップ発熱量が増加してきており、その発熱対策が問題となっている。文献^[1]においてはMOSゲートが非対称素子である点に注目し、回路中の1つを除いた全ての負ゲートの出力が低電力状態となるように出力値の割り当てを行っている。また、文献^[3]ではCMOS素子がスイッチング時に多くの電力を消費することから、信号値遷移確率による評価関数を導入した回路最適化を行っている。その他にも、回路中の使用しない部分のクロックの供給を止める等の研究がなされている^[4]。

本稿では各時点で使用されない部位の動作を止める手法として、文献^[2]における3状態CMOSゲートのワイヤードオア回路を用いる手法について考察する。複数の3状態CMOS負ゲート回路網の出力を直接結線することにより、各時点において、高々一つの負ゲート回路網の出力以外が全てopen状態となっているような回路を構成することが可能である。この時、open状態となっているゲートには電流が流れないため電力は消費されない。従って、常に各時点で使用される部分回路網の電力のみが消費されるため、消費電力は大幅に低減されるものと考えられる。文献^[2]における関数の割り当てアルゴリズムに消費電力低減を考慮した変更を加えたアルゴリズムについても述べる。

2 3 状態 CMOS 回路

3 状態ゲートとは、出力状態として論理0,1の他に出力インピーダンスの十分大きいいわゆる open 状態を持つ論理ゲートのことである。

図1は3状態CMOSインバータの回路構成例である。

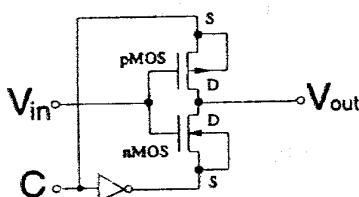


図1: 3 状態 CMOS インバータの回路例

図1の回路は制御信号 c, \bar{c} によってそれぞれ p-MOS, n-MOS のソース電位を直接に制御したものである。 $c = 1$ のとき通常のインバータとして動作し、 $c = 0$ のとき p-MOS, n-MOS はともにゲート-ソース間の電位差が0となり、この時遮断状態になって出力は open 状態を示す。以下では、適当な複雑さの CMOS ゲートのみを取り扱う限り、同様の構成で任意の3状態CMOSゲートが実現できると仮定しておく。また、CMOSゲートを用いた論理回路網において出力ゲートを3状態ゲートとすることによって3状態論理回路が得られると考える。

2.1 ワイヤードオア合成法

制御信号 c_1, c_2 を持つインバータ $\overline{A_1}, \overline{A_2}$ の出力端子を結ぶと、 $c_1 = c_2 = 1$ 、かつ、2つのインバータの出力が異なる時（例えば $\overline{A_1} = 1, \overline{A_2} = 0$ のとき）、図2に示すような電流が流れて回路は短絡状態になる。

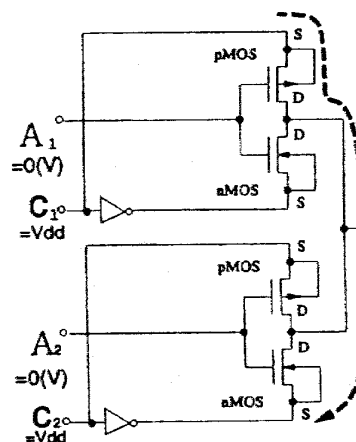


図2: 3 状態 CMOS インバータのワイヤードオアの結果、短絡回路になる例

また、 $c_1 = c_2 = 0$ のとき出力はフロートになる。ワイヤードオアの結果、定常状態において理論的に電流がながれず結線された出力端子がある論理関数を実現するための必要条件は、 $c_1 + c_2 = 1, c_1 = c_2 = 1 \rightarrow \overline{A_1} = \overline{A_2}$ の2条件が成り立つことである。一般に m 個の3状態論理回路のワイヤードオアについては次の命題が成立する。

命題1 n 変数論理関数 $f(x_1, \dots, x_n)$ が

$$f(x_1, \dots, x_n) = c_1 f_1 + \dots + c_m f_m$$

と表現できるとする。ここで、 $c_i, f_i (i = 1, \dots, m)$ は x_1, \dots, x_n の関数である。 f_i を実現する CMOS 回路網を F_i で表す。 F_i の制御信号を c_i とすることによって m 個の3状態論理回路を構成し、これらのワイヤードオアを行ったとき、出力端子が $f(x_1, \dots, x_n)$ を実現するための必要十分条件は任意の入力 $A = (a_1, \dots, a_n)$ に対して、

$$(a) \quad c_1(A) + \dots + c_m(A) = 1$$

$$(b) \quad c_i(A) = 1 \text{ ならば } f_i(A) = f(A) (i = 1, \dots, m)$$

(a) は出力が全て高インピーダンス状態にならないための条件であり、(b) は回路が短絡状態にならず、かつ、 $f(x_1, \dots, x_n)$ を実現するための条件である。

命題1に基づく論理回路の合成法をワイヤードオア合成法と呼ぶ。

ワイヤードオア合成法の手順の概略

- (1) 条件(a)を満たして適当に関数 c_1, \dots, c_m への出力割り当てを与える。これらを実現する回路(制御信号生成回路)を構成する。
- (2) 関数 $f_i (i = 1, \dots, m)$ は次のようにして決められる。任意の入力 A に対して、

$$f_i(A) = \begin{cases} f(A) & (c_i(A) = 1 \text{ のとき}) \\ \text{don't care} & (c_i(A) \neq 1 \text{ のとき}) \end{cases}$$

関数 f_i を実現する回路 F_i を負ゲート回路網で実現する。

(3) 回路 $F_i (i = 1, \dots, m)$ の制御信号を c_i とし、論理関数 $c_i f_i$ を実現する 3 状態論理回路を構成する。これら m 個の回路の出力端子を結線するとこの回路全体 (ワイヤードオア回路) は $f(x_1, \dots, x_n)$ を実現する。

(2) において, don't care 条件の利用により回路の単純化が図れる。

ワイヤードオア合成法によって得られる回路の一般形を図 3 に示す。

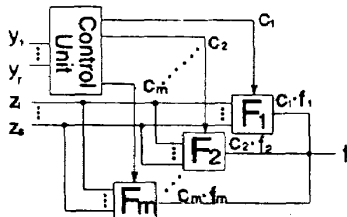


図 3: ワイヤードオア合成法による回路の一般形

図 3 において, $Y = \{y_1, \dots, y_r\}$, $Z = \{z_1, \dots, z_s\}$ は, $X = \{x_1, \dots, x_n\}$ の部分集合であり, それぞれ, 制御信号生成回路及びワイヤードオア回路への真の入力変数の集合を表す。

3 低消費電力向け関数割り当てアルゴリズム

本章では, 文献 [2] における関数割り当てアルゴリズムに対して CMOS における消費電力低減を考慮した変更を加えたアルゴリズムを示す。

CMOS ゲートでは, ゲートの出力値が遷移する際に生じる貫通電流, ゲートの負荷容量に対する充放電電流などにより電力が消費される。このことにより, CMOS ゲート g に対する平均的な消費電力 P_g は次式で近似できる [3]。

$$P_g = 0.5 \cdot f \cdot V_{dd}^2 \cdot C_g \cdot S_g \quad (1)$$

ここで f は動作周波数, V_{dd} は電源電圧, C_g はゲート g の負荷容量, S_g はゲートの出力値が遷移する確率 (信号値遷移確率) である。従って回路全体での消費電力 P は次式により近似できる。

$$P = 0.5 \cdot f \cdot V_{dd}^2 \cdot \sum (C_g \cdot S_g) \quad (2)$$

以下のアルゴリズムではこの評価式により最も消費電力の低い関数割り当てを選択することとするが, 全ての場合を行っているとは計算時間が非常に長くなる。従って, 制御信号生成回路の入力信号は, 信号値遷移確率の高いものを順に選んでいき, 調べる組み合わせの数をあらかじめ決定しておくこととする。信号値遷移確率の高いものから選ぶのは, 以下の理由によるものである。

- 制御信号生成回路は比較的簡単に実現でき, ゲート数も少ないため, 入力信号の信号値遷移確率が高くても影響が小さい。
- 図 3 におけるワイヤードオア回路では複数の $F_i (i = 1, \dots, m)$ の入力に端子が繋がっており, 各入力信号の与える影響は大きい。これは m が小さいときには各 F_i のサイズが大きいことと, m が大きいときには入力端子が繋がる F_i の数が大きいことなどから, m の大きさに関わらず言えると考えられる。

これらのことより, 以下のアルゴリズムにしたがって負ゲート回路網の出力関数を求める。目的とする関数を $f(x_1, \dots, x_n)$, 入力変数を $X = \{x_1, \dots, x_n\}$ とする。ただし, 制御信号生成回路への入力端子の数 r 及びアルゴリズム中で調査する入力信号の組み合わせの数 l はあらかじめ決定されているとする。

関数割り当てアルゴリズム

- (1) $l = 0$ なら終了。 P_l の最も小さい割り当てを用いて回路を構成する。
そうでないなら, $l \leftarrow l - 1$ として (2) へ。
- (2) X のなかから r 個の変数を選び, $Y = \{y_1, \dots, y_r\}$ とし, それ以外の $s = n - r$ 個の変数を $Z = \{z_1, \dots, z_s\}$ とする。
- (3) 2^r 以下の整数 $j (j = 1, \dots, 2^r)$ に対して, $j - 1$ の r 桁 2 進数表現を a_{j1}, \dots, a_{jr} として, $c_j(Y) = y_1^{a_{j1}} \dots y_r^{a_{jr}}$ (論理積) として定義する。ただし $a_{jk} = 1 \rightarrow y_k^* = y_k, a_{jk} = 0 \rightarrow y_k^* = \bar{y}_k (k = 1, \dots, r)$ である。
- (4) $f_j(Z) = f(y_1 = a_{j1}, \dots, y_r = a_{jr}) (j = 1, \dots, 2^r)$ と定義する。
- (5) $f(X) = c_1(Y) \dots f_1(Z) + \dots + c_{2^r}(Y) \cdot f_{2^r}(Z)$ と表現し, 各 $f_j (j = 1, \dots, 2^r)$ を負ゲート回路網 $F_j (j = 1, \dots, 2^r)$ で実現する。
- (6) 各ゲートの平均消費電力を求め, その和を P_l とする。ただし, $F_j (j = 1, \dots, 2^r)$ の出力の平均消費電力は式 (2) による値を P_{F_j} とすると, 制御信号 c_j の出力が 1 となる確率を $S_{c_j}^1$ として,

$$P_{F_j} = S_{c_j}^1 P_{F_j} \quad (3)$$

とする。その後 (1) へ。

上記のアルゴリズムは現在実装中である。

4 あとがき

本稿では文献 [2] における 3 状態 CMOS ゲートを直接結線してワイヤードオア回路を構成する手法の消費電力低減効果について考察した。また, 文献 [2] のアルゴリズムに変更を加え, より消費電力が低減されるようなアルゴリズムを提案した。今後はアルゴリズムの詳細な検討及び実装が課題となる。

謝辞

有益な御助言, 御指導下さった上林研究室の皆様へ深謝致します。

参考文献

- [1] 高倉, 稲垣, 上林, 矢島, “MOS ゲート論理回路網の低電力合成法”, 電子通信学会技術研究報告, EC74-39, 1974 年 11 月。
- [2] 矢島, 高倉, 上林: “3 状態 CMOS ゲートのワイヤードオアを利用した論理回路の合成”, 信学会 電子計算機研資, EC75-77, 1976 年 3 月
- [3] 上田, 樹下: “論理最適化手法を用いた消費電力の低減化手法”, 情報研報 Vol95, No.99, 95-DA-77, pp.129-135, 1995 年 10 月
- [4] L.Benini, G.De Micheli, “Automatic synthesis of low-power gated-clock finite-state machines”, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.15, no.6, pp.630-643, June. 1996