

ハードウェアスタック VLIW プロセッサ SBC のための コンパイラ*

5 N - 2

小松 齊一 酒居 敬一 阿江 忠†

広島大学 工学部 第二類(電気系)‡

はじめに

マルチメディアの普及に伴ってマルチメディアデータの利用が増大している。マルチメディアデータは、テキスト、音声、静止画、動画、コンピュータグラフィックス等が統合したもので、これを高速に処理するには多量の演算を必要とし、高速に処理するためには演算の並列化が不可欠である。演算の並列化を行うスケジューリングは、大きく分けて動的スケジューリングと静的スケジューリングとがある。

動的スケジューリングとは実行時に命令を並列化する手法でこれを実装するプロセッサとしてスーパースカラプロセッサがある。スーパースカラの長所として動的スケジューリングをハードウェアで行うため、高速で投機的実行も実行時に分岐予測できるので効率が良い。しかし、ハードウェア量が増大することやスケジューリングアルゴリズムの変更に伴うハードウェアの再設計が必要になる問題などがあり、並列度を上げることは必ずしも容易ではない。

また、静的スケジューリングはプログラムのコンパイル時に並列化をする手法であり、これを実装するプロセッサとして VLIW (Very Long Instruction Word) プロセッサがある。VLIW プロセッサは静的スケジューリングをもちいるため、投機的実行における分岐予測が難しいという問題があるが、コンパイラによって並列化を行うのでハードウェア量は少なくすむ。また、スケジューリングアルゴリズムの変更はコンパイラの再プログラミングで実現できる。

このような現状を考え、我々は VLIW アーキテクチャを採用し、ハードウェアスタックプロセッサを搭載した SBC (Stack-Based Computer) を設計し [1]、チップを製作中である [2]。本稿ではこの SBC に対するコンパイラの概要と設計について述べる。

1 SBC

SBC とは Stack-Based Computer の略で VLIW アーキテクチャにハードウェアスタックを搭載したものである。

SBC の構成を図 1 に示す。マルチメディアデータの処

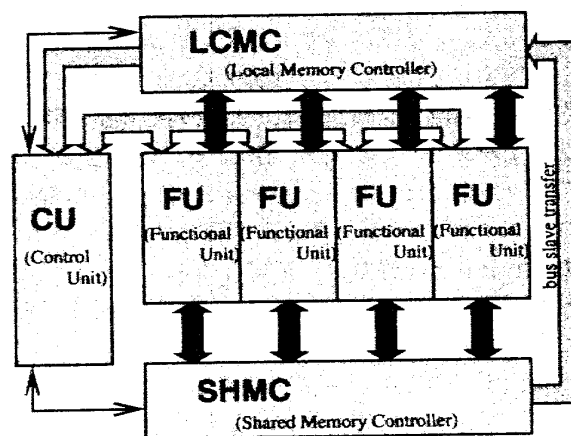


図 1: SBC の構成

理に SIMD (Single Instruction Stream Multiple Data Stream) 型並列処理は有効である。VLIW アーキテクチャにおいて SIMD 型の演算はデータ並列で実行することにより非常に高い並列度を得ることが可能である。このことから同一の機能を持つ演算器を複数搭載しそれぞれに処理を割り当てる方法が適していると考えられ、SBC では同一の機能を持つハードウェアスタックユニットを 4 つ搭載する。これはマルチメディアデータに有効な SIMD 型並列処理において、データのブロック数まで並列化が可能であるが、それ以外では並列度があまり得られないので 4 としている [1]。

またスタックはハードウェアスタックを搭載しており 20%~30% の性能向上が期待できる。

*A Compiler for Stack-Based VLIW processor

†Masakazu Komatsu Keiichi Sakai Tadashi Ae

‡Electrical Engineering, Faculty of Engineering, Hiroshima University, 1-4-1 Kagamiyama, Higashi-hiroshima, Hiroshima, 739-0046 JAPAN

2 コンパイラ

SBCではコンパイラが並列化を行うのでコンパイラが重要となる。コンパイラは、プログラム言語で書かれているもの(ソースプログラム)を実行形式プログラムに変換する。実際のコンパイラはコンパイラに付随して様々な機能に様々な機能(プリプロセッサ、アセンブラ、リンカ等)が付加される。コンパイラの機能を対象とする。出力はそのターゲットとなるコンピュータの命令セットで書かれたアセンブラを出力する。

以下では並列化を行うSBCのためのコンパイラについて記述する。

3 SBCコンパイラ

通常のVLIWコンパイラでは命令レベルの細粒度の並列性を検出して並列化を行う。しかし、これらのアルゴリズムでは明示的でないSIMD型のデータ並列性を検出するのは必ずしも容易ではない。よって、本稿では記述言語(プログラム)に並列記述子を導入しコンパイラの並列化処理を支援することを提案する。例えば、画像などのマルチメディアデータの処理は画像のドット(ピクセル)単位の処理となることが多い。画像の大きさ分の繰り返しでは一つのブロック内の並列化には限度があるが数ブロック同時に処理するようにすればその画像の大きさ分までハードウェアが許す範囲までの並列度が獲得できる。

したがって、並列記述子を検出した場合、データ並列で並列化を行い、それ以外の場合は従来の細粒度並列化を行うものとする。

コンパイラはプリプロセッサによって変えられたプログラムをアセンブラに翻訳するものである。そのコンパイラの中では

- 字句解析
- 構文解析
- 並列化

の構成になっている。並列化コンパイラでは、構文解析と並列化の部分により並列化を行う。それぞれ字句解析、構文解析では、lex、yaccというツールを使い実現する。

本稿のSBCコンパイラの対象とするプログラム言語はC言語であり、出力するアセンブラの命令セットは表1のようになっている。出力されるアセンブラは4並列になっているが、現在ではまだ決まった形(関数呼出など)の部分しか並列化されていないが、順次作成してゆく予定である。

表 1: 命令セット

プロセッサ制御、その他の命令							
nop	halt	lock	push	pop			
割り込み命令							
int							
データ転送命令							
push	pop						
キャリーフラグ操作命令							
andc	orc	xorc	push	pop			
条件分岐命令							
jump							
論理演算命令							
test	and	or	xor	ntest	nand	nor	xnor
算術演算命令							
cmp	inc	add	adc	sub	sbb	rsub	rsbb
シフト・ロテート命令							
shl	sha	shc	rot				
乗除算命令							
mul	div						
選択命令							
sel							
絶対アドレス命令・12bit 即値格納命令							
jump							

4 まとめ

SBCのコンパイラについて述べた。

マルチメディアデータに対しSIMD型並列処理は有効であり、SBCにおいて並列記述子によって高い並列度が得られる。このようなSBCのためのコンパイラ的设计について記述した。今後、シミュレーションを行いSIMD型でない部分でのスケジューリング法や並列記述子の効率の良い使い方を検討する必要がある。

参考文献

- [1] 中村浄重、酒居敬一、阿江忠：
"VLIW ハードウェアスタックプロセッサを用いたマルチメディアデータ処理"、信学論(掲載予定)
- [2] 酒居敬一、大谷健治、阿江忠：
"ハードウェアスタック VLIW プロセッサ SBC の概要"、信学全大(1998.3 発表予定)