

ハードウェアスタック VLIW プロセッサ SBC の概要*

5N-1

酒居 敬一 大谷 健治 阿江 忠†

広島大学 工学部 第二類(電気系)‡

はじめに

SIMD(Single Instruction stream Multiple Data stream)型演算はデータ並列で実行することで、高い性能を実現できる。そこで、SIMD型演算を効率よく処理するため、VLIWハードウェアスタックプロセッサを設計した。アーキテクチャとしてVLIW(Very Long Instruction Word)アーキテクチャを採用し、それぞれの機能ユニットにハードウェアスタックを搭載したもので、Stack-Based Computer(以下SBC)と呼ぶ。VLIWアーキテクチャを用いることでSIMD型演算を行い、ハードウェアスタックを用いることにより処理の高速化を目指す。

このSBCは、当研究室で開発している構造化ブレインコンピュータにおける補助プロセッサとして使われる。Verilog-HDLにより記述され、チップとして実現される。

本稿では、SBCについての概要を述べたのち、特徴について説明する。

1 Stack-Based Computer

SBCはSIMD型の処理をデータ並列で実行するVLIWアーキテクチャを採用し、効率良く処理する機構としてハードウェアスタックを搭載する[1]。

SIMD型演算を並列に実行するのに適している並列アーキテクチャにVLIWがある。VLIWアーキテクチャでは、命令の並列化をコンパイラにより行い、ハードウェアは並列化された命令に対応する演算器により実行する。このため、SIMD型の演算はデータ並列性をコンパイラで検出して、ハードウェアにおいて実行することにより高い並列度を得ることが可能である。従って、同一構成の演算器を複数搭載し各データの処理をそれぞれの演算器に割り当てる。

また、SIMD型の処理はプロシージャの集合としてとらえることが可能である。プロシージャの実行は処理データとともにそれを呼び出すことで行われ、一般的にサブルーチンへのパラメータの受渡しはスタックを使用する。処理の高速化手法としてハードウェアス

タックを導入する。

このSBCは、データ並列度の高いアプリケーションプログラムによる性能評価を行った結果、高い性能を示した[2]。

2 SBCの構成

前章で述べたように演算器の構成を同一にすることで、SIMD型演算の効率的な実行を可能とする。SBCは同一構成の機能ユニット(以下FU)を4つ搭載し、制御ユニット(以下CU)により順序制御を行う。SBCの構造を図1に示す。

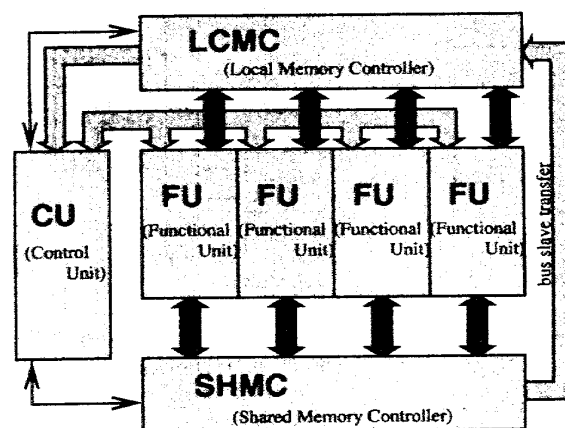


図1: The Structure of SBC

各FUの構成を図2に示す。各FUに、それぞれ演算器とデータスタックを実装する。演算はスタックトップに対して行われる。

3 チップ化

SBCはSIMD型データの処理を効率良く行うことができる。今回設計したSBCは、構造化ブレインコンピュータにおいて、SIMD型データ処理を行う補助プロセッサとして使われる。Verilog-HDLにより記述され、チップとして実現される。以下に、今回設計したSBCの特徴について示す。

4 演算器を持つVLIWプロセッサで、1オペランド形式の命令、各演算器への命令は16ビット固

*Outline of a Stack-Based Computer

†Keiichi Sakai Kenji Otani Tadashi Ae

‡Electrical Engineering, Faculty of Engineering, Hiroshima University, 1-4-1 Kagamiyama, Higashi-hiroshima, Hiroshima, 739-0046 JAPAN

表 1: Specification of SBC

外部クロック	33MHz
最小命令実行時間	2クロック
演算器ワード長	32ビット
演算器数	4
演算器内部スタックレジスタ数	64本
ローカルメモリデータバス幅	128ビット
ローカルメモリアドレスバス幅	24ビット
ローカルメモリベースレジスタ	ESP, EBP, ECP, EDP
共有バスデータ幅	32ビット
共有バスアドレス幅	30ビット
共有バスベースレジスタ	SSP, SDP
デバイス技術	0.5 μ m BiCMOS ゲートアレイ
ゲート数	148,357ゲート (250kゲート下地)
パッケージ	388ピンセラミックPGA
信号ピン数	295ピン
電源電圧	5V単一 (コアは3.3V動作)

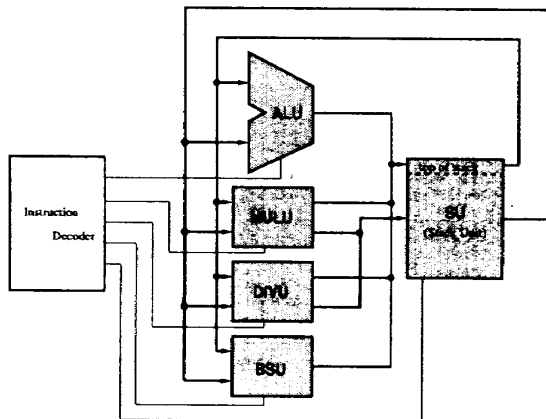


図 2: The Structure of Functional Unit

定、push/popによるメモリアクセス、演算の単位は4/8/16/32ビットが可能であるという特徴を持つ。

また、各種メモリを直結可能で、リフレッシュコントローラを内蔵しており、マルチプレックスしたアドレスを出力するという特徴を持つ。

バスブリッジを介してPCIバスに接続して使用する。プログラムをダウンロード可能(バススレーブ転送)である。演算器からPCIバスへのアクセスはバスマスター転送による。ホストPCのメモリを共有メモリとして使用する。

8チップまで直結でき、マルチプロセッサ構成が可能である。複数のチップを接続する際には、バリア同期機構によってプロセッサの同期をとり、バスロック機構によるメモリアクセスの相互排除を行う。共有バスの使用権調停回路は外付け回路によるものとする。また、バックオフによってバスアクセスのデッドロックを回避する。

このSBCの仕様を表1に示す。

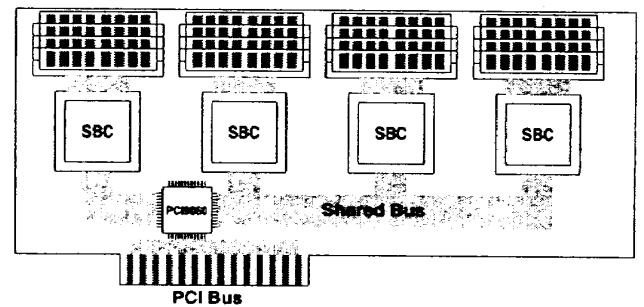


図 3: Application of SBC on Board

4 まとめ

ハードウェアスタックをもつVLIWプロセッサSBCを設計した。本稿では、SBCの概要を述べ、特徴について説明した。Verilog-HDLにより記述され、チップとして実現される。

今回設計したSBCは図3に示されるようにボード上に組み込まれ、構造化ブレインコンピュータの補助プロセッサとして使われる。

チップの製作に関してはFEDを通じNEDOからの委託研究の支援を受けており、深謝したい。

参考文献

- [1] Tadashi Ae, Kouji Nishimura, Reiji Aibara, Keiichi Sakai, and Kiyoshige Nakamura: "Real-Time Multimedia Network System using VLIW Hardware Stack Processor", Proc.IEEE Workshop on Parallel and Distributed Real-Time Systems, Santa Barbara, America, pp.84-89, April 1995.
- [2] 中村浄重, 酒居敬一, 阿江忠: "VLIW ハードウェアスタックプロセッサを用いたマルチメディアデータ処理" 信学論 (掲載予定).