

# 教育用 RISC 型マイクロプロセッサ MITEC-I の開発 及び、MITEC-I を用いた演習の実施

4N-3

豊嶋 俊      石川 知雄  
武蔵工業大学

## 1 はじめに

本学のコンピュータに関する講義・演習をサポートするものとして、FPGA を用いた論理回路 (LSI) 設計、特にマイクロプロセッサの設計・製作を通じて、ハードウェアの理解と経験を深めることを目的とした演習を実施することにした。本研究では、演習用のプロセッサとして MITEC-I を開発し、MITEC-I を中心とした演習環境を整備し、演習を実施することを目的とする。

## 2 演習の全体の計画

この演習は、プロセッサの設計・製作を通してコンピュータハードウェアを深く理解し、アーキテクチャ設計の技術を身に付けると共に、現代的な LSI 設計手法を経験させる事が目的である。

演習には段階を設け徐々に高度な内容を扱う。また、プロセッサの設計を全くゼロの状態からはじめる事は演習期間や被演習者の負担などを考慮すると、非常に困難であると思われる。よって、演習には基礎となるプロセッサを用意し、これを改造する為の設計を行なうこととした。

### 演習の各段階

演習は大きく学部生向けと院生向けにわかれる。学部生向けの演習では、まずプロセッサのアーキテクチャ (論理回路) を記述するための言語 VHDL の習得及びそれに伴う EDA ツール (VHDL シミュレータや論理合成ツールなど) の利用法の習得、プロセッサ COMET を用いたプロセッサアーキテクチャの基礎学習などが目的である。院生向けの演習では MITEC-I を用いてパイプライン処理など高度なプロセッサアーキテクチャの理解及び設計が目的の中心となる。演習の各段階は次の通りである。

#### 1. COMET を用いた演習 (学部生対象)

- 第一段階    VHDL 記述及び EDA ツールの利用法習得
- 第二段階    COMET の動作理解
- 第三段階    COMET の実装

#### 2. MITEC を用いた演習 (院生対象)

- 第 1 期 ... アーキテクチャの理解
- 第 2 期 ... MITEC-I の実装

本研究は院生向けの演習を対象としているので、学部生対象の演習についてはこれ以上触れない。

今年度は MITEC を用いた演習を半期で行なう予定である。

## 3 MITEC-I

MITEC-I は演習用として開発された RISC 型マイクロプロセッサで、アーキテクチャは VHDL によって記述され FPGA に実装される。

### 3.1 アーキテクチャ概要

MITEC-I は RISC アーキテクチャを基礎に設計されている。次にアーキテクチャの概要を示す。

- アドレスバス 16bit, データバス 16bit, 1ワード 16bit, ワードアドレッシング
- レジスタ (16bit)16 本 (汎用 10 本, システム 6 本), 16bit ALU
- 5 段パイプライン, 遅延分岐
- 16bit 固定長命令, 命令 39 種, ロードストアアーキテクチャ

MITEC-I を学習する場合、パイプラインによる命令の処理及びその実現方法が最も中心となる。図 1 にこのプロセッサのブロック図を示す。

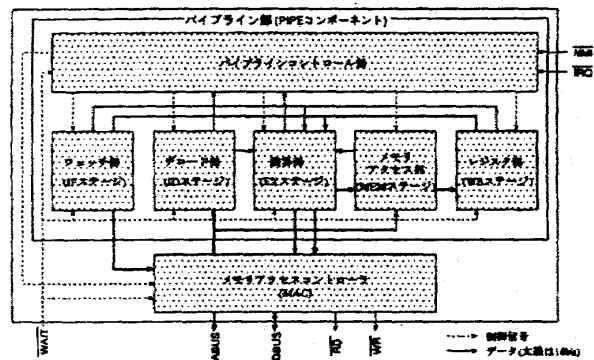


図 1: MITEC-I 内部ブロック図

### 3.2 パイプライン

MITEC-I は 5 段のパイプライン構造を採用しており、各段 (ステージ) は次のような意味を持つ。

1. 命令フェッチステージ (IF: Instruction Fetch stage) 命令をメモリからフェッチして、ID ステージへ送る。

2. 命令デコードステージ (ID:Instruction Decode stage) フェッチした命令をデコードする。
3. 実行ステージ (EX:EXecution stage) デコード結果に基づいて、演算などを実行する。
4. メモリアクセスステージ (MEM:MEMory access stage) 必要があればメモリへのアクセスを行なう。
5. ライトバックステージ (WB:Write Back stage) 必要があれば汎用レジスタへ値を書き込む。

パイプライン特有の問題である、構造・データ・制御の各ハザード及びそれらに対応する為の技術である、フォワーディング・遅延分岐などを盛り込んでおり、これらを学習することによってアーキテクチャ設計の深い理解が得られると考える。

ただし、フォワーディング機構はデータハザードの存在を隠してしまうため、意図的にフォワーディングに制限をもうけている。この制限によって、被演習者にパイプラインを意識させることができ学習効果が高まると考える。

### 3.3 VHDL&FPGA の使用によるメリット

MITEC-Iは再設計(改造)される事が前提であるので、プログラマブルなデバイスで実現されなければならない。旧来ではASICなどを用いる必要があった。しかし、ASICでは小量生産の場合チップ単価が高く、設計終了後チップ化にある程度期間がかかってしまうなど、教育の現場での使用には向いていない。また、従来のLSI設計に用いられてきた論理回路図による設計では、論理圧縮(論理式の単純化など)やデバイス固有のライブラリによる回路図入力など、アーキテクチャ設計の本質以外の部分で設計者にかかる負担が大きかった。

そこでこの演習では、近年登場した大規模FPGAをデバイスとして使用し、回路図入力に代わりVHDLを用いた言語によるハードウェア記述を使用することとした。VHDL&FPGAを用いることによるメリットを次に列挙する。

- VHDLを用いることによって...
  - 演習者を論理的な設計に集中させることができる。
  - 回路の変更が容易にできる。
  - デバイス非依存に出来る
- FPGAを用いることによって...
  - LSIへの実装を演習室内で行なうことが出来る。
  - 1つのデバイスを何度も利用することが出来る。

以上のような利点によって、学生による試行錯誤の演習を実施することが可能となる。ただし今までの経験上、VHDLをプログラミング言語と混同しやすい傾向があるように見受けられる。つまり論理回路を記述しているという意識が薄く、結果として実現不可能(又は困難)な論理を記述してしまうようなデメリットがあると思われる。この点は演習時に注意が必要である。

## 4 MITECを用いた演習

演習は週1コマ(90分)ゼミ形式を基本として行う。ただし、ゼミでは基本的な事項についての解説程度にとどめ、実際の演習は各演習者がそれぞれ行うものとした。そのため配布資料として、「MITEC-Iアーキテクチャリファレンス」を用意した。また、その他必要に応じて配布プリントを用意する。

### 演習の内容

#### 第1期 ... アーキテクチャの理解

- 目標 ... MITEC-IのアーキテクチャをRTLまで理解する
- 演習内容
  1. RISCについて(パイプライン, 遅延分岐他)
  2. プログラミングモデルについて(アセンブリ言語他)
  3. サポートシステムについて(アセンブラ, モニタ他)
  4. ハードウェアアーキテクチャについて(データフロー, RTL他)
- レポート課題
  1. VHDLシミュレーション  
MITEC-IのVHDLソースを用いてシミュレーションを行う。
  2. プログラムの作成  
アセンブリ言語によるプログラミング(実機上で実行)。
  3. 性能改善案の考察  
プロセッサアーキテクチャの改造案の考察。

#### 第2期 ... MITEC-Iの実装

- 目標 ... MITEC-Iの改造及び実装・動作確認
- 演習内容
  1. VHDL記述について(改造上の注意点など)
  2. 実装について(FPGAコンフィグレーションデータへの変換手順など)
- レポート課題
  1. MITEC-Iの改造  
各自の改造案に基づいて、改造を行い、実機上にて動作テストを行う。
  2. 改造結果の考察  
改造を行った結果を性能への影響などについて考察する。

### 今後の方針

1. MITECサポートシステムの充実
2. 演習で用いるドキュメント類の充実
3. 演習結果の考察及びシステムまたはアーキテクチャへのフィードバック