

HDL ベースのハードウェア進化システム — FPGA を用いた適応度評価 —

2AG-2

日景 智文 邊見 均 松本 信義 下原 勝憲

NTT ヒューマンインタフェース研究所

e-mail: {hikage, hemmi, nobu, katsu}@nttcvg.hil.ntt.co.jp

1 はじめに

我々はハードウェア記述言語 (HDL) を用いたハードウェア進化システム AdAM (Adaptive Architecture Methodology) を提案してきた ([1][2][3])。[1][2][3] ではハードウェアの適応度評価を HDL レベルでの動作シミュレータにより行っていた。本稿では FPGA (Field Programmable Gate Array) を用いてハードウェアの適応度評価を行うハードウェア進化システムを構築し、その動作確認を行った結果について報告する。

AdAM システムでは SFL という LSI 設計システム PARTHENON の HDL を用いている。この SFL の文法情報を染色体として用いることにより SFL プログラムの自動生成を可能とし、HDL ベースのハードウェア進化システムの構築が可能となった。

HDL ベースのハードウェア進化システムと異なるアプローチとしては、直接 FPGA のコンフィギュレーションビット列を染色体として用い、FPGA の基本ユニットの機能、接続を直接変更する手法がある ([4][5])。[5] ではその点を生かし、デジタル回路の制約を越えて回路のアナログ的挙動を進化させるという興味深い実験を行っている。反面、この手法では変化の粒度が小さすぎて複雑で大規模な回路を構築するのは困難であるように思われる。

一方、HDL ベースの AdAM システムは大規模な回路を進化させることが出来る。

2 ハードウェア進化システム

ハードウェア進化システム AdAM では HDL の文法情報を木構造染色体とすることにより HDL プログラムを進化的に扱うことが出来る。この染色体を解釈・展開すると文法的に正しい SFL プログラムが得られる。遺伝的操作としては、突然変異、重複、交叉、削除を用いる。

Hardware Evolution System based on HDL — Evaluation of Fitness using FPGA —
Tomofumi Hikage, Hitoshi Hemmi, Nobuyoshi Matsumoto and Katsunori Shimohara,
NTT Human Interface Laboratories,
1-1 Hikarinooka Yokosuka-Shi Kanagawa 239 Japan

2.1 シミュレータバージョン AdAM

図1に AdAM のシステムブロック図を示す。ブロック図に従ってシステムを説明する。まず、SFL のプロダクションルールに従って初期世代の染色体を生成する。次に、この染色体を解釈・展開して SFL プログラムを作成する。これらの SFL プログラム (個体) を評価するために動作シミュレータを動作させる。シミュレーションで得られた適応度に応じて次の世代に残す個体を選択する。次に、選択された個体に遺伝的操作を施し次の世代の個体を生成する。これら一連の遺伝的ループを繰り返して進化的に所望の回路を得ることが出来る。

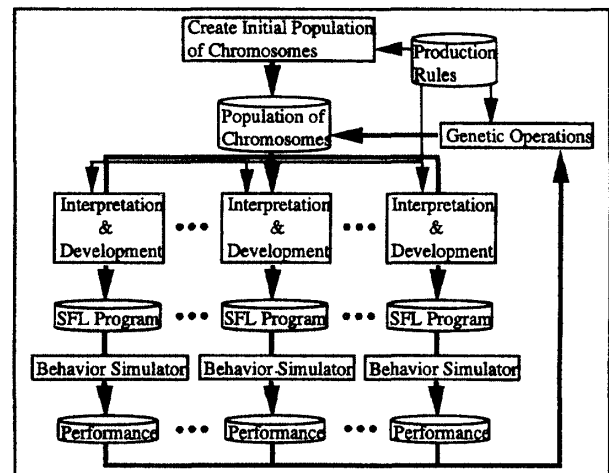


図1: System Block Diagram of AdAM

2.2 FPGA バージョン AdAM

FPGA バージョン AdAM は図1中の Behavior simulator の部分を FPGA を用いてハード化したシステムである。図2に FPGA ボードの写真を示す。ボードと PC 間はシリアルケーブルとデジタル I/O ケーブルで接続する。シリアルケーブルから FPGA のコンフィギュレーションデータを FPGA にダウンロードし、デジタル I/O ケーブルで FPGA の入出力を PC に伝える。

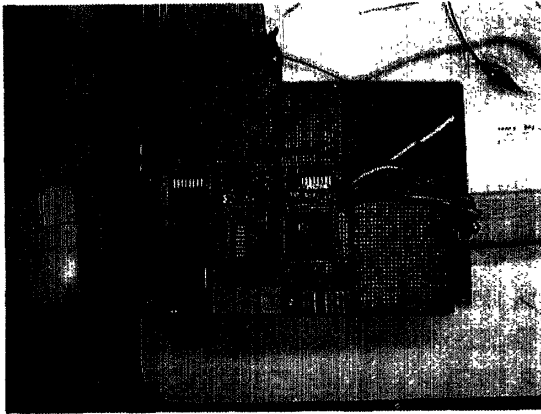


図 2: Experiment Systems: FPGA board

3 動作実験と結果

FPGA バージョン AdAM の動作を確認するため、シミュレータバージョン AdAM の動作テストで用いた人工蟻問題を解かせた。図 3 に人工蟻問題の環境を示す。この環境は 32×32 のトーラス空間である。図中の黒いマスが蟻の餌を示している。環境中の餌を集める人工蟻の制御回路を生成する。適応度は取った餌の数と動いたステップ数で計算する。良い個体は少ないステップ数で多くの餌を集めることが出来る人工蟻である。人工蟻の入出力条件は 5 入力、2 出力。図 4 は人工蟻の制御回路の入出力を示している。p_in(5bits) が入力端子、p_out(2bits) が出力端子である。p_reg1 がレジスタ、p_instin1 が入力制御端子、p_instout1 が出力制御端子である。

シミュレータバージョン AdAM では 1 個体あたり約 100msec かかる適応度評価プロセスがハードウェア化により約 0.25msec になり大幅な高速化が実現できた¹。

4 まとめ

これまでのシミュレータバージョンのハードウェア進化システムを一步進めて、FPGA を用いてハードウェアの動作評価を行うシステムを構築した。また、人工蟻問題を解くことでシステムの動作確認を行った。

リアルタイムハードウェア進化システムの実現の見通しを得ると同時に、HDL ベースの Intrinsic Hardware Evolution のフィージビリティを確認した。

¹シミュレータバージョン AdAM の場合、CM5 128 NODE 使用。FPGA バージョン AdAM は、1MHz で 250 ステップ動作の場合。

今後は、本システムの動作速度の改善に向け、FPGA ボードの複数化や並列化の検討を進める。

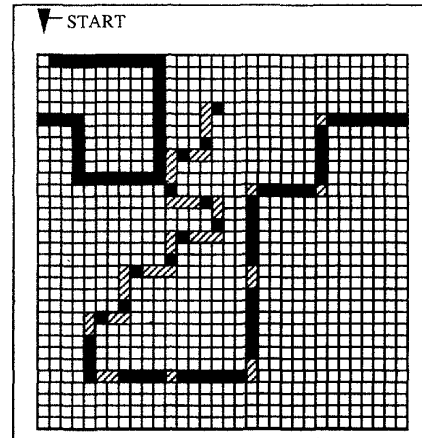


図 3: Environmental of Artificial Ant Problem

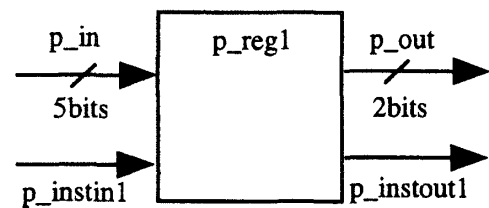


図 4: Outward of controller

参考文献

- [1] Tomofumi Hikage, Hitoshi Hemmi, and Katsunori Shimohara. Hardware evolution system introducing dominant and recessive heredity. In *International Conference on Evolvable Systems ICES96*, 1996.
- [2] Tomofumi Hikage, Hitoshi Hemmi, and Katsunori Shimohara. Progressive evolution model using a hardware evolution system. In *Artificial Life and Robotics AROB97*, pages 18-21, 1997.
- [3] Jun'ichi Mizoguchi, Hitoshi Hemmi, and Katsunori Shimohara. Production genetic algorithms for automated hardware design through an evolutionary process. In *IEEE Conference on Evolutionary Computation*, 1994.
- [4] Masahiro Murakawa, Shuji Yoshizawa, and Tetsuya Higuchi. Adaptive equalization of digital communication channels using evolvable hardware. In *International Conference on Evolvable Systems ICES96*, 1996.
- [5] Adrian Thompson. An evolved circuit, intrinsic in silicon, entwined with physics. In *International Conference on Evolvable Systems ICES96*, 1996.