

配線コストによる伝搬遅延を用いた並列経路探索法

6L-5

佐野雅彦 高橋義造

徳島大学工学部知能情報工学科

1. はじめに

配線領域を格子状にして、この格子単位で並列処理を行う経路探索手法は専用回路化に向けており、迷路法[1]を用いたL-マシンをはじめとする多くの並列配線マシン[2,3,4]で採用されている。VLSI等により専用回路化を行う場合、チップ内にどれだけの配線格子（グリッド）が実装実装できるかは回路規模に依存する。しかし、グリッドサイズが大きくなるにつれてゲート数の制約よりもパッド数の制約が顕著になる場合がある。特に迷路法ベースの経路探索手法では探索波にラベル値を使用して経路探索を行う。ラベル値の比較によりグリッドの更新が行われることから、高品質の配線経路を生成する配線コストの組み込みが容易であり、また配線グリッドを矩形領域に分割して並列処理または仮想化して処理する場合、領域周囲の何れかのグリッドのラベル値が概値であれば全体としての経路探索が正しく処理できる特長がある。しかしながら、1-2アルゴリズム[1]等を使用しても最低2ビットが必要となり、配線コストを考慮した経路探索法では更に多くのビット数が必要となる。

一方伝搬遅延を用いる経路探索では、各方向に対して1ビットの信号線で探索波を伝搬するため信号線の節約が期待でき、専用回路化により1クロック毎の伝搬を仮定すると、探索された配線経路長は探索に要したクロック数で表現できる。この点ではラベル値伝搬と同様であるが、各グリッドでは最初に到着した探索波が最短経路となるため、矩形領域分割による仮想化処理は困難である。幸い概略配線処理[5]により特定領域を通過するネットを決定できることから前述の欠点をカバーできると考えられる。

このような背景から本研究では配線コストを探索波伝搬遅延として表現し、専用回路による並列処理

を考慮した、VLSIやプリント基板における配線経路の並列自動配線処理のための経路探索手法を提案する。迷路法ベースの経路探索において探索波として用いられるラベル伝搬に代わり、配線コストを遅延で表現した信号の伝搬を探索波とすることにより経路探索を行うものである。

2. 伝搬遅延による並列経路探索

提案手法では、図1に示すように配線領域を格子状に分割し、各グリッド内部における探索波の伝搬方向に対して遅延ネットワークを構成する（配線方向が縦横に限定される例）。遅延ネットワークではそれぞれの接続に対して異なる遅延設定を可能とし、前進探索では探索波はネットワーク内部をそれぞれの遅延に従って伝搬する。探索波出力では接続されているネットワークから最初に到達する探索波をその出力方向の探索波とする。これにより配線方向や折れ曲がりだけでなく各種の配線コストの設定が可能となる。各グリッドでは図2に示すように使用された遅延ネットワークの記録により、後進探索のための情報とする。後進探索ではこの情報をもとに探索波伝搬を行う。遅延ネットワークは使用しないので後進探索に要したステップ数からその配線経路長が算出される。

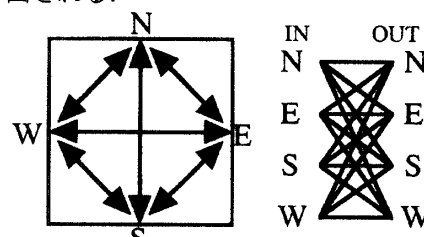


図1 グリッドと遅延ネットワーク

複数の解候補がある場合何れかを選択しなければならないが、提案手法では専用回路化を考慮して後進探索時に複数の候補から選択する方法を用いる。つまり図3に示すように各グリッドである出力方向に対して複数方向からの探索波が到着した場合、これらの探索コストは同じである。このため、後進探索後改めて経路確定する必要はなく、各グリッドに

於いて適宜選択すればよい。図4に探索例を示す。

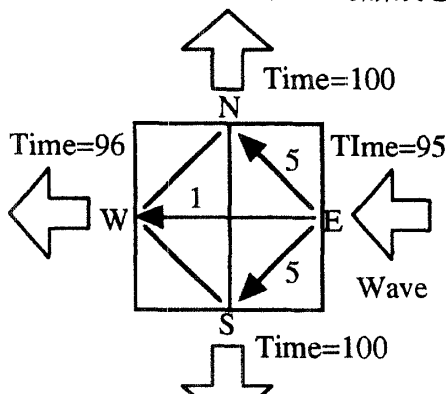


図2 探索波伝搬の様子

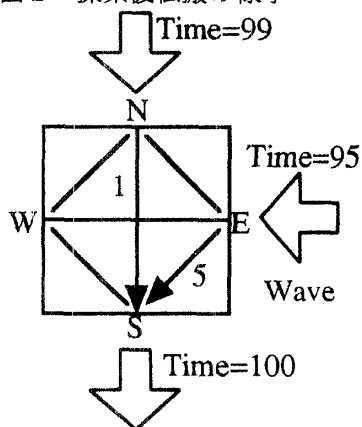


図3 複数候補がある場合の例

3. 専用回路のアーキテクチャ

提案手法を処理する専用回路について述べる。各グリッドに対してプロセッサ割り当てるSIMD方式とし、そのプロセッサアーキテクチャを図4に示す。基本的に前進探索ユニット、後進探索ユニットおよび制御回路から構成されており、前進探索ユニットでは各方向から入力された探索波は遅延ネットワークを経由して出力される。遅延ネットワークの構成方法には各種の方法が考えられ、単純なものではシフトレジスタを使用する方法や、カウンタを使用する方法が考えられる。

4. おわりに

迷路法ベースの経路探索において探索波伝搬の遅延を用いた経路探索手法を提案した。本手法ではラベル値伝搬による探索手法と同様に配線コストの設定が可能である。隣接グリッドとの通信は1ビットで済む特長から専用回路化に向いており、このSIMD型プロセッサのアーキテクチャを提案した。本稿では配線方向を4方向の場合について例を示し

たが、8方向の場合や多層の場合でも同様に処理することができる。また、引き剥がし再配線処理も可能であり、現在これらの性能評価のためのプログラムを作成中である。

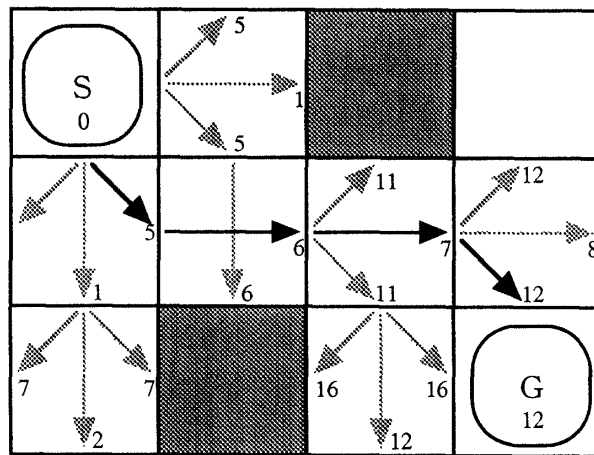


図4 経路探索の例
直線方向を1、折れ曲がり方向を5のコストとする。
図中の数値はスタートSからのコスト(遅延)の合計。

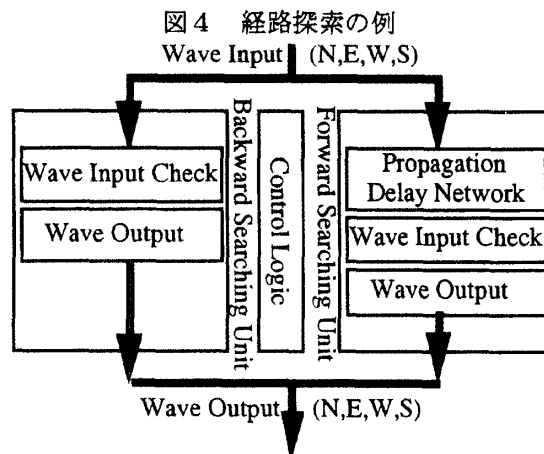


図5 プロセッサアーキテクチャ

参考文献

- [1] T. Otsuki, LAYOUT DESIGN AND VERIFICATION, Elsevier Science Publishers B. V., Ch.3 "Maze-running and Line-search Algorithms," pp.99-131,1986.
- [2] M. A. Breuer and K. Shamsa, "A Hardware Router," J. Digital Syst., no. 4, pp.393-408,1981.
- [3] T.Watanabe, H.Kitazawa and Y. Sugiyama, "A Parallel Adaptable Routing Algorithm and its Implementation on a Two-Dimensional Array Processor," IEEE Trans. on CAD, vol. 6,no.2,1987.
- [4] K. Kawamura, M. Ishii, H. Shiraishi, "MASSIVELY PARALLEL ROUTING SYSTEM", Denshi Tokyo, no.31, pp.90-95,1992.