

ディープサブミクロン配線設計の一手法

6L-2

渡邊 琢美* 大友 祐輔** 山越 公洋** 武井 雄一郎*
 NTT 入出力システム研究所*, システムエレクトロニクス研究所**

1. はじめに

プロセス微細化に伴い、配線のチップ性能に与える影響が大きくなり[1]、従来のチップ面積最小化を目的とした配線手法から、寄生容量や寄生抵抗を考慮した新たな配線手法が必須となってきている。本稿では、0.25 μm プロセスによるスループット 40Gb/s、内部動作速度 312.5MHz の ATM スイッチ[2]の設計に適用した配線手法と CAD ツールについて報告する。

2. 背景

微細化に伴いデバイス単体の性能は向上するが、配線幅・配線ピッチの縮小から、配線抵抗および隣接配線の影響に伴い配線遅延が増大する。このため、ディープサブミクロンでの配線設計においては、配線抵抗と配線容量の増加に対する対処が必須となる。この対処法として太幅配線と離反(孤立)配線がある。前者は、“長い” ネットに対して有効である(“短い” ネットでは配線容量の増加により遅延がかえって増大する)。後者は、隣接・上下層配線とのカップリング容量を減少させ、高速な信号が伝搬するネットに対して有効となる。

3. チップアーキテクチャ

図1にブロック図を示す。本LSIは、高速信号の入出力部分(2.5Gb/s $\times 2 \times 8$)と複数のスイッチングエレメントをカスケード接続した部分(312.5MHz)からなるシンプルな構造のrerouting banyan(RRB)タイプのネットワークをもつ ATM スイッチ LSI である。

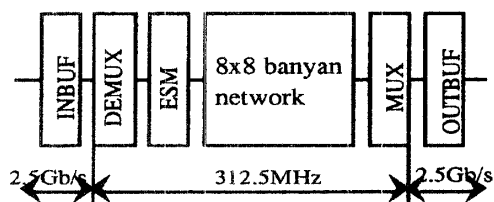


図1 ブロック図

4. 配線手法

本 LSI の配線設計で我々が用いた手法の特徴は、

An Effective Routing Methodology using Deep-Submicron Technology.

Takumi Watanabe, Yusuke Ohtomo, Kimihiro Yamakoshi, Yuichiro Takei

*NTT Integrated Information & Energy Systems Laboratories

**NTT System Electronics Laboratories

Atsugi, Kanagawa, 243-01, Japan

ATM スイッチのシンプルな構造を利用し、あらかじめ予測配線長によりネットを分類、クリティカルなネットに対して配線幅と配線スペーシングを制御し、できるだけ設計の手戻りが生じないトップダウン/ボトムアップな階層的手法を採用した点にある。また、配線処理には新たに開発した高機能ルータを用いた。以下に具体的な配線手法について述べる。

(1) ネット分類

まず、遅延評価において配線抵抗分を無視しうる配線長、 L_d を決定する。今回の設計では、 $L_d=3\text{mm}$ とした。仮想配線長が L_d よりも短いネットをタイプC、長いネットをタイプRとする。タイプCのネットの遅延評価は単純に配線長で行えばよい。一方タイプRのネットは配線抵抗が支配的となる。

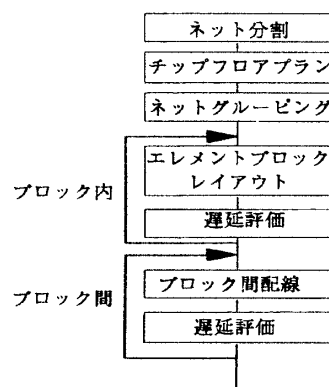


図2 レイアウトフロー

前述のように孤立配線化、太幅化によって同一遅延制約における許容配線長を見かけ上長くすることができる。特殊配線によって可能となったみかけの配線長増加分を ΔL とし、許容最大遅延 D_{pmax} が与えられた場合、デフォルト配線における配線長を L_{pmax} とすると、本LSIのネットは配線長と速度との関係から次の3種類のグループに分類することができる。

(a)タイプC、 $L_{pmax} < L < L_{pmax} + \Delta L$

(b)タイプC、 $L < L_{pmax}$

(c)タイプR、 $L_{pmax} < L < L_{pmax} + \Delta L$

グループ(a)のネットは、タイプCのネットで、通常の配線手法では、遅延制約を満足せず孤立配線が必要なネット。グループ(b)のネットは、遅延制約を満足しているため、デフォルトの配線幅、デフォルトの配線

スペーシングを用い、総配線長最小化を目的関数として配線することができるネット。グループ(c)のネットは、太幅配線により制約を満足するネットである。

(2)階層設計

トップダウン/ボトムアップな階層的アプローチを用いた。図2に設計フローを示す。最初のステップでは、エレメントブロックを決定する。エレメントブロックとは、レイアウト対象ネットを階層化した場合の基本ブロックで、ハードマクロセル、およびグループ(b)のみのネットから構成されるブロックを意味する。本LSIの場合、2x2のスイッチングエレメントがエレメントブロック(予想配線長が3mm以下)に相当する。レイアウト処理は、(エレメント)ブロック内、ブロック間の処理に分けることができる。次のステップでは、チップフロアプランの結果からブロック間ネットをグループ分けする。図3にフロアプランとその結果を示す。SWEは、2x2のswitching elementで、スタンダードセルとメモリマクロブロックから構成されている。

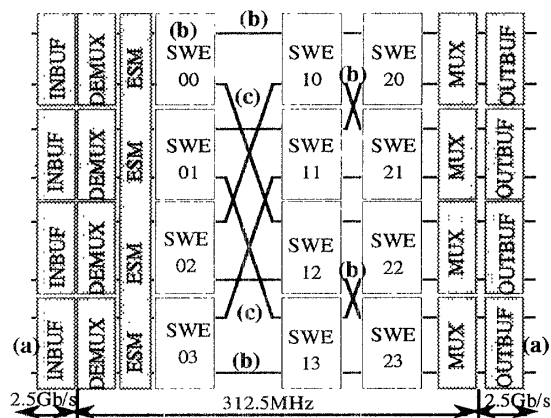


図3 チップフロアプラン
シェード部分はハードマクロセル

最後は、ボトムアップに配線幅、配線スペースを考慮しながら、配線処理を行う。通常の配線処理はメタル1層から4層の4層配線を用いた。太幅配線は予測配線長と遅延制約の関係からデフォルト配線幅の4倍とした。また、各階層で配線処理終了後、遅延評価を行い、必要に応じて前工程へ戻る。

○ブロック内配線:デフォルトの配線幅およびスペーシングで行われる。クロック系については、FFはドライバの位置に近接するように配置し、配線は他のネットに優先して配線される。

○ブロック間配線:I/O-MUX/DEMUX間配線は、2.5Gbpsの信号が伝搬する部分である(グループ(a))。従って、配線はデフォルト幅、孤立配線により、カップリング容量の増加を回避している。SWE間配線は、

グループ(b)とグループ(c)のネットが混在している。グループ(b)のネットは4倍幅で配線される。これにより、配線抵抗の影響を減少させ、信号レベルを確保している。配線領域の増加を防止するためにスペーシングはデフォルトが用いられている。

以上のように、チップ全体をエレメントブロックに分割することにより、レイアウト単位を配線処理上複雑な処理が必要なグループ(a),(c)ネットを含む(エレメント)ブロック間配線とグループ(b)のネットのみから構成されるブロック内配線に分割でき、高い配線密度を要求される後者の配線には総配線長最小化を目標とした従来のレイアウト手法が適用できることになる。

5. 配線CADツール

上記配線処理を自動化するために、ディープサブミクロン対応の高性能配線プログラムBlockArtを開発した。BlockArtは、variable-cost maze法をベースとした配線システムで、概略配線、特殊配線、詳細配線処理を行う。主な機能を以下に示す。

(a)可変幅配線

任意の配線幅の配線を複数のスペーシングルールのもとで行う。

(b)可変スペーシング配線

隣接nピッチ配線、配線層選択。

(c)低遅延配線

タイプCのネットは、配線容量(配線長)の最小化は、遅延最小化に近い解を与える。BlockArtでは、多端子ネット接続の場合、接続しようとする2点間の次の端子位置を考慮して、Steiner木に近い経路を選択することができる。また、駆動点を考慮することで、遅延を陽に計算して繰り返し改善することなく基本的に低遅延配線を実現している。

(d)配線形状制御

配線経路形状を制御するため、BlockArtでは、端子間に付加端子を定義し、そこを通過させることで任意形状の配線経路を得ることができる。

6. おわりに

ディープサブミクロン配線設計手法について述べた。本手法を0.25 μ mプロセスを用いたATMスイッチLSIに適用し、内部動作312.5MHz、スループット40Gb/sを確認した。今後、遅延評価ツールと配線ツールとのより密接なリンクを図る。

参考文献

- (1) L. Scheffer, "The convergence of structured custom and ASIC designs," CICC, pp. 23-27, 1995.
- (2) Y. Ohtomo et al., "A 40-Gbps 8x8 ATM-switch LSI using 0.25 μ m CMOS/SIMOX," ISSCC, pp. 154-155, 1997.